



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) **SU** (11) **1665399 A 1**

(51) **G 08 C 19/28**

ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГКНТ СССР

ВСЕСОЮЗНАЯ  
ПАТЕНТНО-ТЕХНИЧЕСКАЯ  
БИБЛИОТЕКА

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1  
(21) 4709135/24  
(22) 26.06.89  
(46) 23.07.91. Бюл. № 27  
(72) В.Л. Чураков, А.В.Кремнев,  
А.Н.Шахов и С.П.Никитина  
(53) 621.348(088.8)  
(56) Патент ЕПВ № 0110794,  
кл. G 08 F 15/20, 1984.  
(54) МНОГОКАНАЛЬНОЕ УСТРОЙСТВО ПЕРЕДАЧИ ИНФОРМАЦИИ СО СЖАТИЕМ  
(57) Изобретение относится к вычислительной технике и может найти применение в многоканальных системах передачи и приема информации. Цель

2  
изобретения - повышение коэффициента сжатия информации и быстродействия устройства. Устройство содержит генератор тактовых импульсов, счетчик, мультиплексор, аналого-цифровой преобразователь, первый и второй блоки памяти, первый и второй блоки формирования адреса, первый и второй блоки определения приоритета сигналов, элементы И, первый и второй вычислительные блоки, шинный формирователь, первый и второй блоки передачи и приема информации, блок вывода информации. 1 ил., 2 табл.

Изобретение относится к вычислительной технике и может найти применение в многоканальных системах передачи и приема информации.

Цель изобретения - повышение коэффициента сжатия информации и быстродействия устройства.

На чертеже представлена функциональная схема устройства.

Устройство содержит генератор 1 тактовых импульсов, счетчик 2, мультиплексор 3, аналого-цифровой преобразователь (АЦП) 4, первый блок 5 памяти, первый 6 и второй 7 блоки формирования адреса, второй блок 8 памяти, первый 9 и второй 10 блоки определения приоритета сигналов, первый 11 и второй 12 вычислительные блоки, шинный формирователь 13, первый 14 и второй 15 блоки передачи и приема информации, элементы И 16-21 и блок 22 вывода информации, информационные вхо-

ды 23, вход 24 начальной установки и выход 25 устройства.

Устройство работает следующим образом.

По сигналу "Сброс" на входе 24 устройства приводятся в исходное состояние счетчик 2 и блоки 11 и 12. Затем импульсы с генератора 1 запускают АЦП 4 и пересчитываются счетчиком 2 для оцифровки времени, при этом младшие разряды счетчика 2 используются для коммутации входных аналоговых каналов через мультиплексор 3.

Мультиплексор 3 опрашивает входные каналы, и информация с информационных входов 23 устройства последовательно поступает на вход АЦП 4.

С выхода АЦП 4 цифровой код, соответствующий значению параметра аналогового сигнала, записывается в последовательные ячейки первого блока 5 памяти в соответствии со структурой,

(19) **SU** (11) **1665399 A 1**

представленной в табл.1. Восемьразрядный двоичный код аналогового сигнала по каждому каналу записывается в 16-разрядные ячейки памяти по два канала в каждую ячейку. Нарастание адресов ячеек для записи цифрового кода производится с помощью счетчика 2. Для этого выходы счетчика 2 подключают к адресным входам первого блока 5 памяти через блок 6 формирования адреса. Блок 6 осуществляет подключение адреса или со счетчика 2, или с блока 11 на блок 5 памяти по разрешающим сигналам "Запись", формируемым блоком 9. Частота обращения на запись в блок 5 памяти определяется частотой генератора 1. При этом время подключения аналоговых каналов в АЦП 4 и для записи в блок 5 памяти, соответствующее периоду генератора 1, превышает возможное время ожидания обслуживания на блоке 9. В результате потери информации в процессе обработки не происходит. Одновременно с записью информации в блок 5 производится чтение информации из этого блока вычислительным блоком 11 для обработки. Для того, чтобы произвести считывание из блока 5, необходимо знать код времени и адрес записи аналогового параметра. Для этого производится считывание состояния счетчика 2 через шинный формирователь 13 обращением к последнему по команде INADR блока 11.

Разнесение во времени записи и считывания информации из блока 5 памяти производится блоком 9. Обработка информации, записанной в блок 5 памяти, производится вычислительным блоком 11.

В случае обнаружения существенного измерения по одному из каналов его новое измерение записывается на место предыдущего, а данное существенное измерение вместе с адресом и кодом времени записывается в блок 8 памяти по обращению от первого вычислительного блока 11 согласно структуре, представленной в табл.2. При этом код времени соответствует текущему значению времени, адрес считывания содержит информацию о номере канала и времени записи данной информации в блок 5 памяти. Так как период генератора известен -  $T_{\Gamma}$ , то

можно определить по коду ( $C_{22}$ ) счетчика 2 записи и адреса чтения  $ADR_4$  время запаздывания записи параметра по отношению к записанному коду времени  $\Delta = (C_{22} - ADR_4) \cdot T_{\Gamma}$ . Тогда время записи входного аналогового сигнала определится следующим образом:

$$T_{\text{зап}} = T_{\text{кода}} - \Delta.$$

Все приведенные вычисления по определению действительного времени записи параметра производятся вычислительным блоком 12, который формирует кадр выдачи информации, состоящий из времени записи информации и самого параметра. Этот кадр выдачи информации преобразуется в последовательный код с помощью блока 22 вывода информации. Разнесение во времени моментов обращений ко второму блоку памяти 8 от первого 11 и второго 12 вычислительных блоков производится с помощью блока 10. Обращение к второму 8 блоку памяти дешифруется с помощью элементов И 18 и 20, сигналы с которых поступают на второй блок 10, сигналы на входах блока 10 управляют работой блока 7 формирования адреса, который переключается на адресные входы блока 8 памяти или первого или второго вычислительных блоков, разделяя их во времени.

Для обработки и записи информации в блок 8 памяти первым вычислительным блоком 11 необходимо знать адрес считывания, который находится в регистрах общего назначения второго вычислительного блока 12, а для работы последнего необходимо знать адрес записи, который находится в регистрах общего назначения первого вычислительного блока 11. Для обмена такой информацией предназначены блоки 14 и 15, обращение к которым дешифруется на элементах И 19 и 20.

Пересылка адреса записи во второй вычислительный блок организована следующим образом. Обращением к блоку 15 блок 12 программирует его в режим "1" для регистра В и в режим "2" для регистра А, затем записывает в регистр В информацию, которая передается в блок 11 в качестве вектора прерывания. Отрабатывая это прерывание, блок 11 считывает адрес записи из своего регистра об-

шего назначения и передает в регистр А блока 14. Так как регистр 4 запрограммирован в режим 2 у обоих блоков 14 и 15, то информация, записанная в один регистр, передается в другой, следовательно, становится доступной для блока 12. Блок 12 после запроса прерывания через регистр В блока 15 переходит в режим сканирования признака записи информации в регистр А, этот признак располагается в регистре С этого блока. Как только появляется признак записи информации в регистр А, содержимое этого регистра считывается в блок 12, так этот блок "узнает" адрес записи информации в блоке 8 памяти. По такому же алгоритму блок 11 "узнает" адрес считывания информации из блока 8 памяти, только направление запроса и передачи информации меняется на противоположное.

В процессе сжатия информации блок 11 постоянно контролирует степень заполнения второго блока 8 памяти. Как только степень заполнения второго блока памяти превысит 80%, блок 11 переходит на более сложный алгоритм сжатия, например с алгоритма сравнения абсолютных значений параметров сигнала на алгоритм, использующий первую производную. Факт перехода на более сложный алгоритм, например, с использованием первой производной, фиксируется единицей в ячейке измерения канала на месте младшего разряда старшего байта (табл.2). Переход на еще более сложный алгоритм вызывает перемещение единицы в старшем байте этой ячейки еще на разряд вверх и т.д.

Таким образом, применение вычислительных блоков для обработки информации позволяет использовать алгоритм любой сложности и повысить быстродействие всего устройства.

#### Ф о р м у л а и з о б р е т е н и я

Многоканальное устройство передачи информации со сжатием, содержащее мультиплексор, информационные входы которого являются информационными входами устройства, выход мультиплексора подключен к информационному входу аналого-цифрового преобразователя, выходы которого подключены к информационным входам первого блока памяти,

выходы которого подключены к информационным входам-выходам первого вычислительного блока, генератор тактовых импульсов, выход которого подключен к тактовому входу аналого-цифрового преобразователя, счетчик, соответствующие выходы которого подключены к адресным входам мультиплексора, блок вывода информации, выход которого является выходом устройства, отличающееся тем, что, с целью повышения коэффициента сжатия информации и быстродействия, в него введены второй блок памяти, второй вычислительный блок, шинный формирователь, первый и второй блоки определения приоритета сигналов, первый и второй блоки формирования адреса, элементы И, первый и второй блоки передачи и приема информации, выход генератора тактовых импульсов подключен к тактовым входам первого блока определения приоритета сигналов и счетчика, вход "Сброс" последнего и входы "Сброс" первого и второго вычислительных блоков объединены и являются входом начальной установки устройства, соответствующие выходы счетчика подключены к входам первой группы адресных входов первого блока формирования адресных входов шинного формирователя, выходы которого; информационные входы второго блока памяти, входы группы входов и входы-выходы первой группы входов-выходов первого блока передачи и приема информации объединены и подключены к информационным входам-выходам первого вычислительного блока, выходы первой группы выходов последнего подключены к входам группы входов первого, второго, третьего и четвертого элементов И, входам второй группы адресных входов первого блока формирования адреса и входам первой группы адресных входов второго блока формирования адреса, соответствующий выход и выходы второй группы выходов первого вычислительного блока подключены к входам первого, второго, третьего, четвертого элементов И и к входам первой группы управляющих входов второго блока формирования адреса соответственно, выходы первого, второго, третьего и четвертого элементов И подключе-

ны к управляющему входу первого блока определения приоритета сигналов, к входу разрешения шинного формирователя, к первому управляющему входу второго блока определения приоритета сигналов и к входу разрешения первого блока передачи и приема информации соответственно, первый и второй выходы первого блока определения приоритета сигналов подключены к первому и второму управляющим входам первого блока формирования адреса соответственно, выходы группы, первый и второй выходы которого подключены к адресным входам, к входам чтения и записи первого блока памяти соответственно, выходы второго блока памяти, информационные входы блока вывода информации, входы группы и входы-выходы первой группы второго блока передачи и приема информации объединены и подключены к входам-выходам второго вычислительного блока, выходы первой группы второго вычислительного блока подключены к входам второй группы адресных входов второго блока формирования адреса, к адресным входам блока вывода информации и к входам групп пятого и шестого элементов И, соответствующий выход и выходы второй группы второго вычислительного блока подключены к входам пятого, шестого элементов И, к разрешающему

5 входу блока вывода информации и к входам второй группы управляющих входов второго блока формирования адреса соответственно, выходы пятого и шестого элементов И подключены к второму управляющему входу второго блока определения приоритета сигналов и к входу разрешения второго блока передачи и приема информации соответственно, первый и второй выходы второго блока определения приоритета сигналов подключены к первому и второму управляющим входам второго блока формирования адреса соответственно, выходы группы, первый и второй выходы которого подключены к адресным входам, к входам чтения и записи второго блока памяти соответственно, выходы первого и второго блоков определения приоритета сигналов объединены и подключены к входу "Готовность" первого вычислительного блока, четвертый выход второго блока определения приоритета сигналов подключен к входу "Готовность" второго вычислительного блока, выходы групп и выходы первого и второго блоков передачи и приема информации подключены к информационным входам и к входам прерывания второго и первого вычислительных блоков соответственно, входы-выходы вторых групп первого и второго блоков передачи и приема информации объединены.

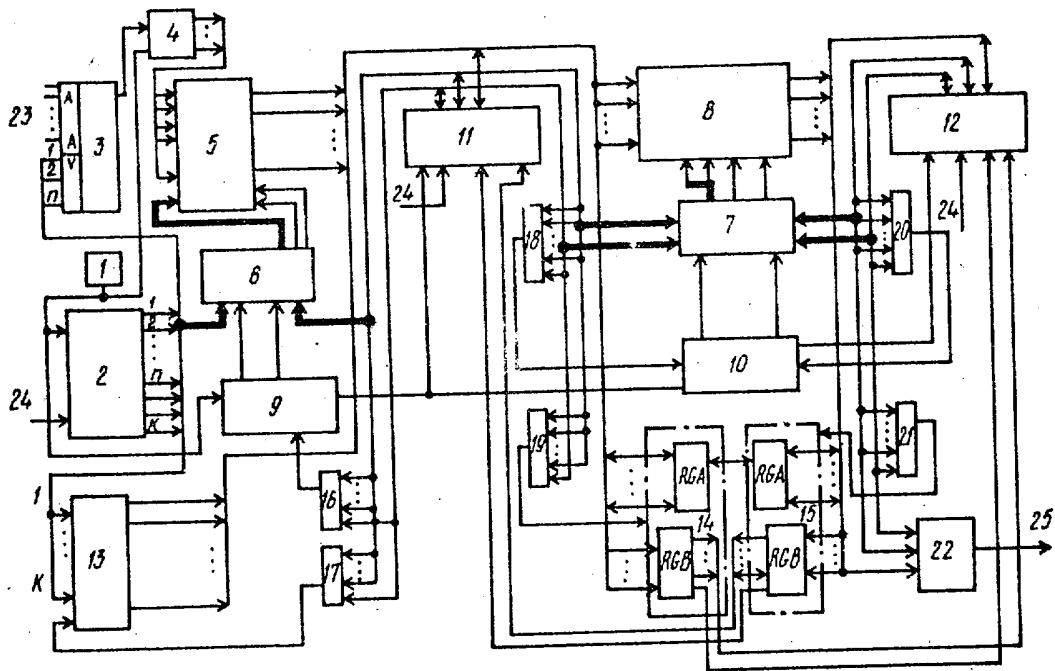
Т а б л и ц а 1

№ разр.	№ яч.															
	0	1	2	3	4	5	6	7	8	9	10	11	12	15	16	
1																
2																
3																
4																
5		1	3	5	7	9	11	13	15	17	19	21	23	31	1	
6																
7																
8																
9																
10																
11																
12																
13		2	4	6	8	10	12	14	16	18	20	22	24	32	2	
14																
15																
16																

Каналы

Т а б л и ц а 2

Время	дес.секунд	ед.минут	дес.минут	ед.часов
	ед.м.сек.	дес.мсек	сот.мсек	ед.секунд
счетчик записи				
адрес чтения				
Измерение канала			0 0 0 0	0 0 0 0
Время				
	счетчик записи			
адрес чтения				
Измерение канала			0(1) 0 0 0 0 0 0 0 0	



Составитель И.Кузнецов

Редактор И.Горная

Техред А.Кравчук

Корректор А.Обручар

Заказ 3982

Тираж

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г.Ужгород, ул. Гагарина, 101