



(12) 发明专利申请

(10) 申请公布号 CN 101977104 A

(43) 申请公布日 2011. 02. 16

(21) 申请号 201010542983. 3

(22) 申请日 2010. 11. 13

(71) 申请人 上海交通大学

地址 200240 上海市闵行区东川路 800 号

(72) 发明人 许雄 熊振华 朱向阳 盛鑫军

丁懋卿

(74) 专利代理机构 上海交达专利事务所 31201

代理人 王锡麟 王桂忠

(51) Int. Cl.

H04L 7/00 (2006. 01)

H04L 12/40 (2006. 01)

H04L 12/56 (2006. 01)

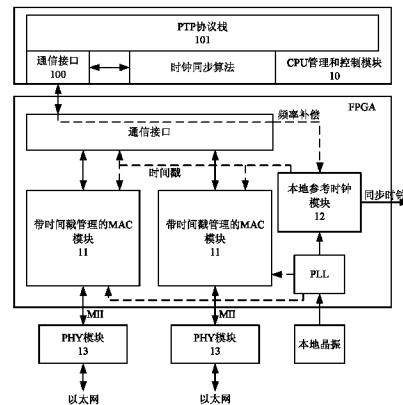
权利要求书 2 页 说明书 7 页 附图 4 页

(54) 发明名称

基于 IEEE1588 精确时钟同步协议系统及其同步方法

(57) 摘要

一种网络信息传输技术领域的基于 IEEE 1588 精确时钟同步协议系统及其同步方法, 使得主时钟在发送同步报文时就带有本次发送的精确时间戳, 无需再发送跟随报文, 极大减小了实现时钟同步所需的通信带宽。同时, 构建一个频率可调的时钟计数器, 再配合时钟同步算法, 实现频率补偿的功能, 达到高精度时钟同步的要求。



1. 一种基于 IEEE 1588 精确时钟同步协议系统,其特征在于,包括:CPU 管理和控制模块、带时间戳管理的以太网媒体访问控制器模块、本地参考时钟模块以及物理层收发器模块,其中:CPU 管理和控制模块通过总线与带时间戳管理的以太网媒体访问控制器模块相连,用于管理所述时间同步系统并实现 PTP 协议和时钟同步,带时间戳管理的以太网媒体访问控制器模块用于实现 PTP 消息的解析、时间戳的获取并根据通信标准 IEEE 802.3 完成带时间戳数据包的发送和接收,本地参考时钟模块与 CPU 管理和控制模块相连并传输报文以提供本地时钟的基准,物理层收发器模块通过标准的独立媒体接口与带时间戳管理的以太网媒体访问控制器模块相连,为设备之间的数据通信提供传输媒体及互连设备,提供可靠的数据传输环境。

2. 根据权利要求 1 所述的基于 IEEE 1588 精确时钟同步协议系统,其特征是,所述的 CPU 管理和控制模块包括:通信接口单元和 PTP 协议栈;其中:通信接口单元分别接收来自 PTP 协议栈的数据并通过事件中断的方式读取带时间戳管理的以太网媒体访问控制器模块中的数据包并打包后通过总线发送至带时间戳管理的以太网媒体访问控制器模块,PTP 协议栈判断当前节点在网络中所处的主时钟或者从时钟状态并发送报文至本地参考时钟模块。

3. 根据权利要求 1 所述的基于 IEEE 1588 精确时钟同步协议系统,其特征是,所述的发送报文是指:当 PTP 协议栈判断本节点为主时钟,则周期的发送同步报文,并在接收到从时钟发送过来的延迟请求报文后,发送延迟响应报文;当 PTP 协议栈判断本节点为从时钟,则在接收到从时钟发送过来的 Sync 报文后,启动时钟同步算法将计算出的频率补偿值传输至本地参考时钟模块,同时从时钟向主时钟发送 DelayReq 报文。

4. 根据权利要求 3 所述的基于 IEEE 1588 精确时钟同步协议系统,其特征是,所述的时钟同步算法是指:根据同步过程中的时间戳信息和测量得到的从时钟和主时钟之间的时间偏移量计算出相应的从时钟频率补偿值。

5. 根据权利要求 1 所述的基于 IEEE 1588 精确时钟同步协议系统,其特征是,所述的带时间戳管理的以太网媒体访问控制器模块包括:MII 接口单元、收发 FIFO 单元、地址缓冲器、地址过滤器、CRC 校验单元、数据包探测器、时间戳寄存器以及 MAC 传输控制器,其中:MII 接口单元与物理层收发器模块相连并传输与数据包相关的数据、时钟和控制信息,收发 FIFO 单元与 CPU 管理和控制模块以及 MAC 传输控制器相连并传输 PTP 数据包信息,实现待发送数据包和已接收到的数据包的存储,地址缓冲器和地址过滤器分别与 MAC 传输控制器相连并传输地址信息,实现存储目标节点的地址信息和对接收到的除广播包外数据包进行地址过滤,CRC 校验单元与 MAC 传输控制器相连并传输循环冗余码信息,实现产生 CRC 校验码和进行 CRC 校验,提高传输的可靠性,数据包探测器与时间戳寄存器相连并传输捕获到的时间戳信息,实现探测 MII 接口上数据包的帧起始标示标志,当探测到有数据包正在发送或者接收,则将当前时间锁存至时间戳寄存器中,从而获取到高精度的时间戳信息,时间戳寄存器与数据包探测器和 MAC 传输控制器相连并传输时间戳信息,实现记录发送和接收报文的时间戳,MAC 传输控制器与带时间戳管理的以太网媒体访问控制器模块中的其它单元相连并传输 PTP 数据包、地址、循环冗余码、时间戳等信息,实现基于标准 IEEE 802.3 的数据链路层的功能以及判断 PTP 数据包类型,控制所有 PTP 数据包的发送和接收过程,并在线的将捕获到的时间戳信息添加至正在发送的 Sync 数据包末端,一并发送出去,从而使整

个同步过程无需再发送 FollowUp 报文,减小了实现时钟同步所需的通信带宽。

6. 根据权利要求 1 所述的基于 IEEE 1588 精确时钟同步协议系统,其特征是,所述的本地参考时钟模块内置晶体振荡器以及频率补偿电路以生成工作时钟,当对应设备为主时钟且本地参考时钟模块被触发时,则本地参考时钟模块对应输出的系统时间增加一个时钟周期的数值;当对应设备为从时钟且本地参考时钟模块被触发时,该本地参考时钟模块启动内部的频率补偿电路。

7. 根据权利要求 6 所述的基于 IEEE 1588 精确时钟同步协议系统,其特征是,所述的频率补偿电路包括:p 位时钟计数器、q 位累加器和 r 位加数寄存器,其中:加数寄存器与 CPU 管理和控制模块相连并传输频率补偿信息,实现对时钟同步算法计算出的频率补偿值进行锁存,累加器与加数寄存器相连,实现对加数寄存器锁存的频率补偿值进行累加操作并产生进位标志位,时钟计数器与累加器相连,实现本地系统时间的输出,当累加器产生进位标志位,时钟计数器将系统时间增加一个时钟周期的数值。

8. 一种根据权利要求 1 所述系统的同步方法,其特征在于,包括以下步骤:

第一步、主设备通过自身内置的 CPU 管理和控制模块以组播的形式,周期发送 Sync 同步报文,该同步报文带有精确的发送时间戳 $t_{m1}[k]$,所述从设备接收该 Sync 报文并记录接收时间戳 $t_{s1}[k]$,其中 k 代表第 k 次时钟同步过程;从设备利用最近测量的线路时延值 Delay_latest,并按照预设的时间偏移量计算公式和频率补偿计算公式算出从设备与主设备之间的时间偏移量 Offset[k] 和频率补偿值 FreqCompValue[k],然后利用所述频率补偿值对从设备的本地参考时钟模块进行校正;

第二步、从设备向所述主设备发送 DelayReq 报文,记录发送时间戳 $t_{s2}[k]$,主设备接收并解析该 DelayReq 报文,并向所述从设备回复 DelayResp 报文,所述从设备在收到 DelayResp 报文后,记录该报文所带有的时间戳信息 $t_{m2}[k]$;然后依据相应公式得到新测量出的线路时延值 Delay_new。

9. 根据权利要求 8 所述的同步方法,其特征是,第一步中所述的最近测量的线路时延值 $Delay_new = ((t_{s1}[k]-t_{m1}[k])+(t_{s2}[k]-t_{m2}[k]))/2$,其中:k 为第 k 次时钟同步过程,且在该时钟同步过程中进行了线路时延测量;所述的预设的时间偏移量 $Offset[k] = t_{s1}[k]-t_{m1}[k]-Delay_latest$,其中:Delay_latest = Delay_new,初始值为 0, k 为第 k 次时钟同步过程,不论该时钟同步过程中是否进行线路时延测量;所述的频率补偿值 FreqCompValue[k] 通过以下方式获得:

$$\begin{cases} FreqCompValue[k] = \alpha \cdot FreqCompValue[k-1] \\ \alpha = \frac{(r[k]-r[k-1])-Offset[k]}{(y[k]-y[k-1])} \end{cases};$$

其中:r[k] 为从时钟第 k 次收到同步报文时所对应的主时钟系统时间,从时钟根据测量的线路时延值对其值进行估计,估计值为:r[k] = $t_{m1}[k]+Delay_latest$;y[k] 为从时钟第 k 次收到同步报文时的从时钟系统时间,其值为:y[k] = $t_{s1}[k]$;频率补偿值初始值 FreqCompValue[0] 的取值取决于频率补偿时钟中 q 和 r 的取值以及 PLL 的配置。

基于 IEEE1588 精确时钟同步协议系统及其同步方法

技术领域

[0001] 本发明涉及的是一种网络信息传输技术领域的系统及其同步方法,具体是一种不带跟随报文的基于 IEEE 1588 精确时钟同步协议系统及其同步方法。

背景技术

[0002] 近年来,以太网由于其开放性、技术成熟、高的传输速率、应用广泛以及价格低廉等特点,已受到越来越多的关注,且有进一步应用到工业现场的趋势。但是,由于其 MAC 层协议采用 CSMA/CD,具有排队延迟不确定的缺陷,使之无法在工业控制中得到有效使用。响应时间的“不确定性”(即实时性差)和系统内各模块的“不同步性”成为了阻碍以太网技术“一网到底”的瓶颈。其中:有些工业现场要求极高的时钟同步精度是以太网广泛应用于工业现场的关键障碍之一。

[0003] 常用于以太网 TCP/IP 网络的同步协议有:网络时间协议 NTP(Network Time Protocol) 和简单网络时间协议 SNTP(Simple Network Time Protocol)。NTP 是用于互联网中时间同步的标准互联网协议。NTP 的用途是把计算机的时间同步到某些时间标准。目前采用的时间标准是世界协调时 UTC(Universal Time Coordinated)。NTP 协议的时钟同步主要是在主从工作方式下实现的。由于 NTP 采用的是应用层同步方法,其时间同步精度不高,一般在 10ms 到 100ms 之间,不能满足高速高精的多轴运动控制系统的要求。SNTP 则是一个简化了的 NTP 服务器和 NTP 客户策略,其时间精度依赖于客户端和服务端网络的情况。但由于其采用的是与 NTP 相同的时钟同步机制,因此时钟同步精度也不高。

[0004] 和 NTP, SNTP 相比, IEEE 1588 协议是以太网中一种较为精确的时钟同步解决方案,其基本功能是使分布式网络内的其他时钟与最精确时钟保持同步。IEEE 1588 协议中定义了一种精确时间协议 (PTP, Precision Time Protocol),用于对标准以太网或其他采用多播技术的分布式总线系统中的传感器、执行器以及其他终端设备中的时钟进行亚微秒级同步。

[0005] 经过对现有技术文献的检索发现,中国发明专利申请号为 200810059859,公开号为 CN101232457A,名称为“一种基于 IEEE 1588 协议的高精度实时同步方法”的专利,给出了一种基于 IEEE 1588 的 PTP 精确时钟同步协议的硬件实现方式。中国发明专利申请号为 200810187676.0,公开号为 CN 101447861A,名称为“IEEE 1588 时间同步系统及其实现方法”的专利,给出了一种 IEEE 1588 时间同步系统,通过增设时间戳处理模块,再结合交换机模块、物理层模块以及实时时钟模块等外围部件形成一个具备时钟同步的硬件系统。

[0006] 但上述技术虽然时钟同步技术采用的都是硬件的实现方式,但由于数据链路层采用的都是商用集成芯片,时间戳处理模块没有和数据链路层集成在一起,所以每次同步过程主节点都需要发送一个跟随报文 (FollowUp),里面包含发送同步报文 (Sync) 时的精确时间戳信息,从而增加了网络的通信量;当不发送跟随报文,传统的同步系统只能在 Sync 报文中包含一个估计的发送时间戳信息,这样就会使同步精度降低。再者,上述技术中实现时钟同步的方法仅仅是周期性的校正从时钟,使校正瞬时时刻主从时钟的偏差为零,而没

有进行频率补偿,导致从时钟和主时钟的偏差随时间的变化逐渐增加,这种漂移在高精度同步的情况下是不能容许的。

发明内容

[0007] 本发明针对现有技术存在的上述不足,提供一种基于 IEEE 1588 精确时钟同步协议系统及其同步方法,使得主时钟在发送同步报文时就带有本次发送的精确时间戳,无需再发送跟随报文,极大减小了实现时钟同步所需的通信带宽。同时,构建一个频率可调的时钟计数器,再配合时钟同步算法,实现频率补偿的功能,达到高精度时钟同步的要求。

[0008] 本发明是通过以下技术方案实现的:

[0009] 本发明涉及一种基于 IEEE 1588 精确时钟同步协议系统,包括:CPU 管理和控制模块、带时间戳管理的以太网媒体访问控制器模块、本地参考时钟模块以及物理层收发器模块,其中:CPU 管理和控制模块通过总线与带时间戳管理的以太网媒体访问控制器模块相连,用于管理所述时间同步系统并实现 PTP 协议和时钟同步,带时间戳管理的以太网媒体访问控制器模块用于实现 PTP 消息的解析、时间戳的获取并根据通信标准 IEEE 802.3 完成带时间戳数据包的发送和接收,本地参考时钟模块与 CPU 管理和控制模块相连以在传输报文时提供本地时钟的基准,物理层收发器模块通过标准的独立媒体接口(media independent interface,MII)与带时间戳管理的以太网媒体访问控制器模块相连,为设备之间的数据通信提供传输媒体及互连设备,提供可靠的数据传输环境。

[0010] 所述的 CPU 管理和控制模块包括:通信接口单元和 PTP 协议栈;其中:通信接口单元分别接收来自 PTP 协议栈的数据并打包后通过总线发送至带时间戳管理的以太网媒体访问控制器模块,并通过事件中断的方式读取带时间戳管理的以太网媒体访问控制器模块中的数据包,PTP 协议栈判断当前节点在网络中所处的主时钟或者从时钟状态并发送报文至带时间戳管理的以太网媒体访问控制器模块。

[0011] 所述的发送报文是指:当 PTP 协议栈判断本节点为主时钟,则周期的发送同步(Sync)报文,并在接收到从时钟发送过来的延迟请求(DelayReq)报文后,发送延迟响应(DelayResp)报文;当 PTP 协议栈判断本节点为从时钟,则在接收到从时钟发送过来的 Sync 报文后,启动时钟同步算法将计算出的频率补偿值传输至本地参考时钟模块,同时从时钟向主时钟发送 DelayReq 报文。

[0012] 所述的时钟同步算法是指:根据同步过程中的时间戳信息和测量得到的从时钟和主时钟之间的时间偏移量计算出相应的从时钟频率补偿值。

[0013] 所述的带时间戳管理的以太网媒体访问控制器模块包括:MII 接口单元、收发 FIFO 单元、地址缓冲器、地址过滤器、CRC 校验单元、数据包探测器、时间戳寄存器以及 MAC 传输控制器,其中:MII 接口单元与物理层收发器模块相连并传输与数据包相关的数据、时钟和控制信息,收发 FIFO 单元与 CPU 管理和控制模块以及 MAC 传输控制器相连并传输 PTP 数据包信息,实现待发送数据包和已接收到的数据包的存储,地址缓冲器和地址过滤器分别与 MAC 传输控制器相连并传输地址信息,实现存储目标节点的地址信息和对接收到的除广播包外数据包进行地址过滤,CRC 校验单元与 MAC 传输控制器相连并传输循环冗余码信息,实现产生 CRC 校验码和进行 CRC 校验,提高传输的可靠性,数据包探测器与时间戳寄存器相连并传输捕获到的时间戳信息,实现探测 MII 接口上数据包的帧起始标示

(start-of-frame delimiter, SFD) 标志,当探测到有数据包正在发送或者接收,则将当前时间锁存至时间戳寄存器中,从而获取到高精度的时间戳信息,时间戳寄存器与数据包探测器和 MAC 传输控制器相连并传输时间戳信息,实现记录发送和接收报文的时间戳,MAC 传输控制器与带时间戳管理的以太网媒体访问控制器模块中的其它单元相连并传输 PTP 数据包、地址、循环冗余码、时间戳等信息,实现数据链路层(基于标准 IEEE 802.3)的功能以及判断 PTP 数据包类型,控制所有 PTP 数据包的发送和接收过程,并在线的将捕获到的时间戳信息添加至正在发送的 Sync 数据包末端,一并发送出去,从而使整个同步过程无需再发送 FollowUp 报文,减小了实现时钟同步所需的通信带宽。

[0014] 所述的本地参考时钟模块内置晶体振荡器以及频率补偿电路以生成工作时钟,当对应设备为主时钟且本地参考时钟模块被触发时,则本地参考时钟模块对应输出的系统时间增加一个时钟周期的数值;当对应设备为从时钟且本地参考时钟模块被触发时,该本地参考时钟模块启动内部的频率补偿电路,实现了频率补偿功能,克服了晶振漂移,使得普通的廉价晶振也能用于精确的时钟同步。

[0015] 所述的频率补偿电路包括:p 位时钟计数器、q 位累加器和 r 位加数寄存器,其中:

[0016] 加数寄存器与 CPU 管理和控制模块相连并传输频率补偿信息,实现对时钟同步算法计算出的频率补偿值进行锁存,累加器与加数寄存器相连,实现对加数寄存器锁存的频率补偿值进行累加操作并产生进位标志位,时钟计数器与累加器相连,实现本地系统时间的输出,当累加器产生进位标志位,时钟计数器将系统时间增加一个时钟周期的数值。

[0017] 当从时钟的本地参考时钟模块被触发时,累加器将自身的值与存储在加数寄存器中的值相加,结果存储在累加器中,同时产生一个进位标志位表示这次的加法操作是否溢出,当发生溢出,系统时间需要增加一个时钟周期的数值。单位时间内时钟计数器数值增加的次数是由加数寄存器的值和晶振频率共同决定的,改变存储在加数寄存器中的加数,就改变了累加器进行加法操作时发生溢出的频率,从而改变了时钟计数器增加的频率,实现了对晶振频率的补偿。

[0018] 本发明涉及上述系统的同步方法,包括以下步骤:

[0019] 第一步、主设备通过自身内置的 CPU 管理和控制模块以组播的形式,周期发送 Sync 同步报文,该同步报文带有精确的发送时间戳 $t_{m1}[k]$,所述从设备接收该 Sync 报文并记录接收时间戳 $t_{s1}[k]$,其中 k 代表第 k 次时钟同步过程;从设备利用最近测量的线路时延值 Delay_latest,并按照预设的时间偏移量计算公式和频率补偿计算公式算出从设备与主设备之间的时间偏移量 Offset[k] 和频率补偿值 FreqCompValue[k],然后利用所述频率补偿值对从设备的本地参考时钟模块进行校正;

[0020] 第二步、从设备向所述主设备发送 DelayReq 报文,记录发送时间戳 $t_{s2}[k]$,主设备接收并解析该 DelayReq 报文,并向所述从设备回复 DelayResp 报文,所述从设备在收到 DelayResp 报文后,记录该报文所带有的时间戳信息 $t_{m2}[k]$;然后依据相应公式得到新测量出的线路时延值 Delay_new。

[0021] 所述的最近测量的线路时延值 $Delay_new = ((t_{s1}[k] - t_{m1}[k]) + (t_{s2}[k] - t_{m2}[k])) / 2$,其中:k 为第 k 次时钟同步过程,且在该时钟同步过程中进行了线路时延测量。

[0022] 所述的预设的时间偏移量 $Offset[k] = t_{s1}[k] - t_{m1}[k] - Delay_latest$,其中: $Delay_latest = Delay_new$,初始值为 0,k 为第 k 次时钟同步过程,不论该时钟同步过程中

是否进行线路时延测量。

[0023] 所述的频率补偿值 $\text{FreqCompValue}[k]$ 通过以下方式获得：

[0024]

$$\begin{cases} \text{FreqCompValue}[k] = \alpha \square \text{FreqCompValue}[k-1] \\ \alpha = \frac{(r[k]-r[k-1])-\text{Offset}[k]}{(y[k]-y[k-1])} \end{cases} ;$$

[0025] 其中： $r[k]$ 为从时钟第 k 次收到同步报文时所对应的主时钟系统时间，从时钟根据测量的线路时延值对其值进行估计，估计值为： $r[k] = t_{m}[k] + \text{Delay_latest}$ ； $y[k]$ 为从时钟第 k 次收到同步报文时的从时钟系统时间，其值为： $y[k] = t_{s1}[k]$ ；频率补偿值初始值 $\text{FreqCompValue}[0]$ 的取值取决于频率补偿时钟中 q 和 r 的取值以及 PLL 的配置。假设从时钟内置晶体振荡器经 PLL 后的频率为 f_{PLL} ，而从时钟和主时钟系统时间的标称频率为 f_{norm} ，记： $\text{Ratio} = f_{\text{PLL}}/f_{\text{norm}}$ ，频率补偿精度为 CompPrecision （比如 1×10^{-9} ），主时钟发送同步报文的周期为 T_{sync} ，则有如下关系式： $\text{FreqCompValue}[0] = 2^q/\text{Ratio}$ ， $\text{CompPrecision} \leq 1/(T_{\text{sync}} \square f_{\text{norm}})$ ， $2^q \geq \text{Ratio}/\text{CompPrecision}$ ， $2^r \geq 2^q/\text{Ratio}$ 和 $2^p \geq 2^q$ 。

[0026] 本发明具有以下优点：

[0027] 本发明通过采用硬件形式的时间戳管理，并使用带时间戳管理的以太网媒体访问控制器模块，使数据链路层和时钟同步的时间戳处理模块集成在一起，从而主时钟在发送同步报文 (Sync) 时就带有本次发送的精确时间戳，无需再发送跟随报文，极大减小了实现时钟同步所需的通信带宽。

[0028] 另外，本发明系统中采用数字电路，构建一个频率可调的时钟计数器，再结合一种实时性好、容易在嵌入式系统中实现的时钟同步算法，实现频率补偿的功能，达到高精度时钟同步的要求；既保证本地时刻与标准时刻的相位同步，又保证频率同步。

附图说明

[0029] 图 1 为实施例中 IEEE 1588 时间同步系统的结构示意图。

[0030] 图 2 为实施例中带时间戳管理的以太网媒体访问控制器模块示意图。

[0031] 图 3 为实施例主时钟的本地参考时钟模块示意图。

[0032] 图 4 为实施例从时钟的本地参考时钟模块示意图。

[0033] 图 5 为实施例 IEEE 1588 时间同步方法的实现过程示意图。

具体实施方式

[0034] 下面对本发明的实施例作详细说明，本实施例在以本发明技术方案为前提下进行实施，给出了详细的实施方式和具体的操作过程，但本发明的保护范围不限于下述的实施例。

[0035] 如图 1 所示，本实施例包括：CPU 管理和控制模块 10、带时间戳管理的以太网媒体访问控制器模块 11、本地参考时钟模块 12 以及物理层收发器 (PHY) 模块 13；其中：所述 CPU 管理和控制模块 10 还包括通信接口单元 100 和 PTP 协议栈 101。

[0036] 通信接口单元 100，用于实现 PTP 数据包的打包发送和接收，完成 CPU 管理和控制模块 10 与带时间戳管理的以太网媒体访问控制器模块 11 之间的数据交互工作；其通过事

件中断的方式读取带时间戳管理的以太网媒体访问控制器模块中的数据包,并接收 PTP 协议栈的数据,打包后通过总线发送至带时间戳管理的以太网媒体访问控制器模块。

[0037] PTP 协议栈 101,用于实现 IEEE 1588 协议,完成同步过程和线路时延测量,通过通信接口单元 100 从带时间戳管理的以太网媒体访问控制器模块 11 中读取所需的时间戳信息,再将这些时间戳信息交由时钟同步算法处理。

[0038] 所述时钟同步算法,用于实现线路时延值、从时钟相对于主时钟的时间偏移量和频率补偿值的计算公式,再将计算得到的频率补偿值,经由通信接口单元 100 传输给本地参考时钟模块 12 处理。

[0039] 带时间戳管理的以太网媒体访问控制器模块 11,用于实现 PTP 消息的解析、时间戳的获取,并根据通信标准 IEEE 802.3 完成带时间戳数据包的发送和接收。

[0040] 本地参考时钟模块 12,与 CPU 管理和控制模块 10 相连以在传输报文时提供本地时钟的基准,其主要结构为时钟计数器,而采用 IEEE 1588 的目的就是使从时钟的本地参考时钟模块 12 和主时钟的本地参考时钟模块 12 保持同步。

[0041] 物理层收发器模块 13,通过标准的独立媒体接口(media independent interface, MII)与带时间戳管理的以太网媒体访问控制器模块 11 相连,为设备之间的数据通信提供传输媒体及互连设备,提供可靠的数据传输环境。

[0042] 本实施例的物理层收发器模块 13 采用 Intel 公司的 LXT973 芯片,负责实现以太网总线的物理层协议,该芯片带有 2 个通信端口,且支持双绞线和光纤通信两种通信媒介。

[0043] 本实施例的带时间戳管理的以太网媒体访问控制器模块 11 和本地参考时钟模块 12,都为在 FPGA 中实现,FPGA 采用 Altera 公司的 Cyclone III 系列芯片,型号为 EP3C10E144C8N。FPGA 负责实施通信卡的逻辑电路设计,包括:通信接口单元,实现与 DSP 模块交互的内存映射机制和译码电路;完成多时钟信号产生的锁相环电路(PLL);带时间戳管理的以太网数据链路层;实施本地参考时钟的数字电路。扩展的串行配置芯片 EPCS16 作为 FPGA 模块的程序存储空间。

[0044] 本实施例的 CPU 管理和控制模块 10 在 DSP 上实现,DSP 采用 Texas Instruments 公司的 TMS320F2812 芯片,负责对 FPGA 芯片的初始化、访问和通信,完成所述时间同步系统的管理和控制,实施 PTP 协议栈和时钟同步算法等功能;芯片自带的 FLASH 存储器运行 DSP 模块的系统程序;扩展的 SRAM-1S61LV51216 作为 DSP 模块运行的数据存储区,存放时钟同步精度测试所需的数据。

[0045] 如图 2 所示,所述的带时间戳管理的以太网媒体访问控制器模块 11 的具体实施包括以下模块:MII 接口单元 110,发送 FIFO 单元 111,接收 FIFO 单元 112,地址缓冲器 113,地址过滤器 114,CRC 校验单元 115,数据包探测器 116,时间戳寄存器 117,MAC 发送控制器 118 以及 MAC 接收控制器 119。MII 接口单元 110 与物理层收发器模块 13 相连并传输与数据包相关的数据、时钟和控制信息,收发 FIFO 单元 111 和 112 与 CPU 管理和控制模块 10 以及 MAC 传输控制器 118 和 119 相连并传输 PTP 数据包信息,实现待发送数据包和已接收到的数据包的存储,地址缓冲器 113 和地址过滤器 114 分别与 MAC 传输控制器 118 和 119 相连并传输地址信息,实现存储目标节点的地址信息和对接收到的除广播包外数据包进行地址过滤,CRC 校验单元 115 与 MAC 传输控制器 118 和 119 相连并传输循环冗余码信息,实现产生 CRC 校验码和进行 CRC 校验,提高传输的可靠性,数据包探测器 116 与时间戳寄存器 117 相连

并传输捕获到的时间戳信息,实现探测 MII 接口上数据包的帧起始标示 (start-of-frame delimiter, SFD) 标志,当探测到有数据包正在发送或者接收,则将当前时间锁存至时间戳寄存器中,从而获取到高精度的时间戳信息,时间戳寄存器 117 与数据包探测器 116 和 MAC 传输控制器 118、119 相连并传输时间戳信息,实现记录发送和接收报文的时间戳,MAC 传输控制器 118 和 119 与带时间戳管理的以太网媒体访问控制器模块中的其它单元相连并传输 PTP 数据包、地址、循环冗余码、时间戳等信息,实现数据链路层 (基于标准 IEEE 802.3) 的功能以及判断 PTP 数据包类型,控制所有 PTP 数据包的发送和接收过程,并在线的将捕获到的时间戳信息添加至正在发送的 Sync 数据包末端,一并发送出去,从而使整个同步过程无需再发送 FollowUp 报文,减小了实现时钟同步所需的通信带宽。

[0046] PTP 消息的发送过程可以概括为:首先 PTP 协议栈通过通信接口单元将 PTP 消息数据包写入发送 FIFO 111 中,写入完毕后通知 MAC 发送控制器 118 开始启动发送状态机进行数据包的发送,发送顺序依次为以太网前导符,数据帧的起始定界符,地址缓冲器 113 中的目标地址,发送 FIFO 111 中的源地址、以太网帧类型和其他有效数据,最后发送由 CRC 校验单元 115 产生 32 位的 CRC 值。在数据包发送的过程当中,数据包探测器 116 探测到 MII 接口上数据包的 SFD 标志,并将当前时间锁存至时间戳寄存器 117 中,从而获取到精确的发送时间戳信息。MAC 发送控制器 118 通过判断 PTP 数据包类型,在线的将捕获到的时间戳信息添加至正在发送的 Sync 报文有效数据的后面,一并发送出去,从而使整个同步过程无需再发送 FollowUp 报文,减小了实现时钟同步所需的通信带宽。报文数据流经由 MII 接口单元 110 发送至物理层收发器模块 13。

[0047] PTP 消息的接收过程可以概括为:首先物理层收发器模块 13 经由 MII 接口单元将报文数据流传输至 MAC 接收控制器 119,经过地址过滤器 114 和 CRC 校验 115 通过后,启动接收状态机进行 PTP 数据包的接收,并将其有效数据保存至接收 FIFO112 中。在数据包接收的过程当中,数据包探测器 116 探测到 MII 接口上数据包的 SFD 标志,并将当前时间锁存至时间戳寄存器 117 中,从而获取到精确的接收时间戳信息。

[0048] 如图 3 所示,本发明方法针对主时钟本地参考时钟模块 12 的具体实施方式详细描述为:当模块被触发时,在原有的系统时间基础上增加一个时钟周期的数值,此时钟周期取决于本地晶振和对锁相环电路 (PLL) 的配置,在本实施例中,本地晶振采用 50MHz 的有源晶振,而时钟周期配置为 20ns。

[0049] 如图 4 所示,本发明方法针对从时钟本地参考时钟模块 12 的具体实施方式详细描述为:对于从时钟,除了要完成系统时间计数功能以外,还有进行频率补偿,以期达到和主时钟相位同步和频率同步。在本实施例中,从时钟的本地参考时钟模块实质为一个频率补偿时钟,主要由一个 64 位时钟计数器、一个 32 位累加器和一个 32 位加数寄存器构成。本地晶振和与主时钟相同,为 50MHz,再经过 PLL 倍频成 100MHz 的时钟信号提供给频率补偿时钟模块。当模块被触发时,累加器将自身的值与存储在加数寄存器中的值相加,结果存储在累加器中,同时产生一个进位标志位表示这次的加法操作是否溢出,当发生溢出,系统时间需要增加一个时钟周期的数值。单位时间内时钟计数器数值增加的次数是由加数寄存器的值和时钟信号共同决定的,通过时钟同步算法得到的频率补偿值改变存储在加数寄存器中的加数,相当于调整了累加器进行加法操作时发生溢出的频率,从而改变时钟计数器增加的频率,实现了对晶振频率的补偿。

[0050] 图 5 为实施例中 IEEE 1588 时间同步方法的实现过程示意图,如图 5 所示,具体实施方式包括以下步骤:

[0051] A、主时钟以组播方式每隔 2 秒周期性的向从时钟发送 Sync 同步报文,由于本发明提出了一种数据链路层和时钟同步的时间戳处理模块集成在一起的硬件实现方式,因此 Sync 同步报文中包含精确的发送时间戳信息(即 Sync 同步报文发送时的主时钟本地时间),记为 $t_{m1}[k]$,其中 k 代表第 k 次同步过程;

[0052] B、从时钟收到 Sync 同步报文,记录接收时的本地时间 $t_{s1}[k]$,并从 Sync 同步报文中提取出 Sync 同步报文的发送时间 $t_{m1}[k]$,然后通过调用时钟同步算法,得到从时钟相对于主时钟的时间偏移量 $Offset[k]$ 和频率补偿值 $FreqCompValue[k]$ 。时间偏移量 $Offset[k]$ 的计算公式为:

[0053] $Offset[k] = t_{s1}[k] - t_{m1}[k] - Delay_latest$;

[0054] 其中: $Delay_latest$ 为最近一次的线路时延测量值。频率补偿值 $FreqCompValue[k]$ 的计算公式为:

[0055]

$$\begin{cases} FreqCompValue[k] = \alpha \cdot FreqCompValue[k-1] \\ \alpha = \frac{(r[k] - r[k-1]) - Offset[k]}{(y[k] - y[k-1])} \end{cases};$$

[0056] 其中: $r[k]$ 为从时钟第 k 次收到同步报文时所对应的主时钟系统时间,从时钟根据测量的线路时延值对其值进行估计,估计值为: $r[k] = t_{m1}[k] + Delay_latest$; $y[k]$ 为从时钟第 k 次收到同步报文时的从时钟系统时间,其值为: $y[k] = t_{s1}[k]$; 频率补偿值初始值 $FreqCompValue[0]$ 的取值取决于频率补偿时钟中 q 和 r 的取值以及 PLL 的配置。在本实施例中, $FreqCompValue[0] = 0x80000000$ 。每个同步过程计算得到的频率补偿值 $FreqCompValue[k]$,将直接作用于所述的频率补偿时钟模块 12。

[0057] C、从时钟并不需要在每个同步过程都进行线路时延测量,相邻两次测量之间的时间间隔为随机的,从而避免子网中的多个从时钟同时向主时钟请求发送 DelayReq 报文,造成主时钟接收时发生拥塞。当本次同步过程允许进行线路时延测量时,从时钟在时钟同步算法结束后,发送 DelayReq 请求报文,并记录下该报文的发送时间戳信息 $t_{s2}[k]$ 。主时钟在接收 DelayReq 请求报文时,记录接收时间戳信息 $t_{m2}[k]$ 以及该从时钟的地址信息,然后以单播形式向相应的从时钟发送 DelayResp 响应报文。从时钟在接收到 DelayResp 响应报文后,提出出时间戳信息 $t_{m2}[k]$,然后依据相应公式得到新测量出的线路时延值 $Delay_new$ 。该计算公式为:

[0058] $Delay_new = ((t_{s1}[k] - t_{m1}[k]) + (t_{s2}[k] - t_{m2}[k])) / 2$; $Delay_latest = Delay_new$;

[0059] 其中: k 为第 k 次时钟同步过程,且在该时钟同步过程中进行了线路时延测量。

[0060] 经过所述的 IEEE 1588 时间同步方法的三个步骤后,就能保证从时钟和主时钟之间的相位同步和频率同步。

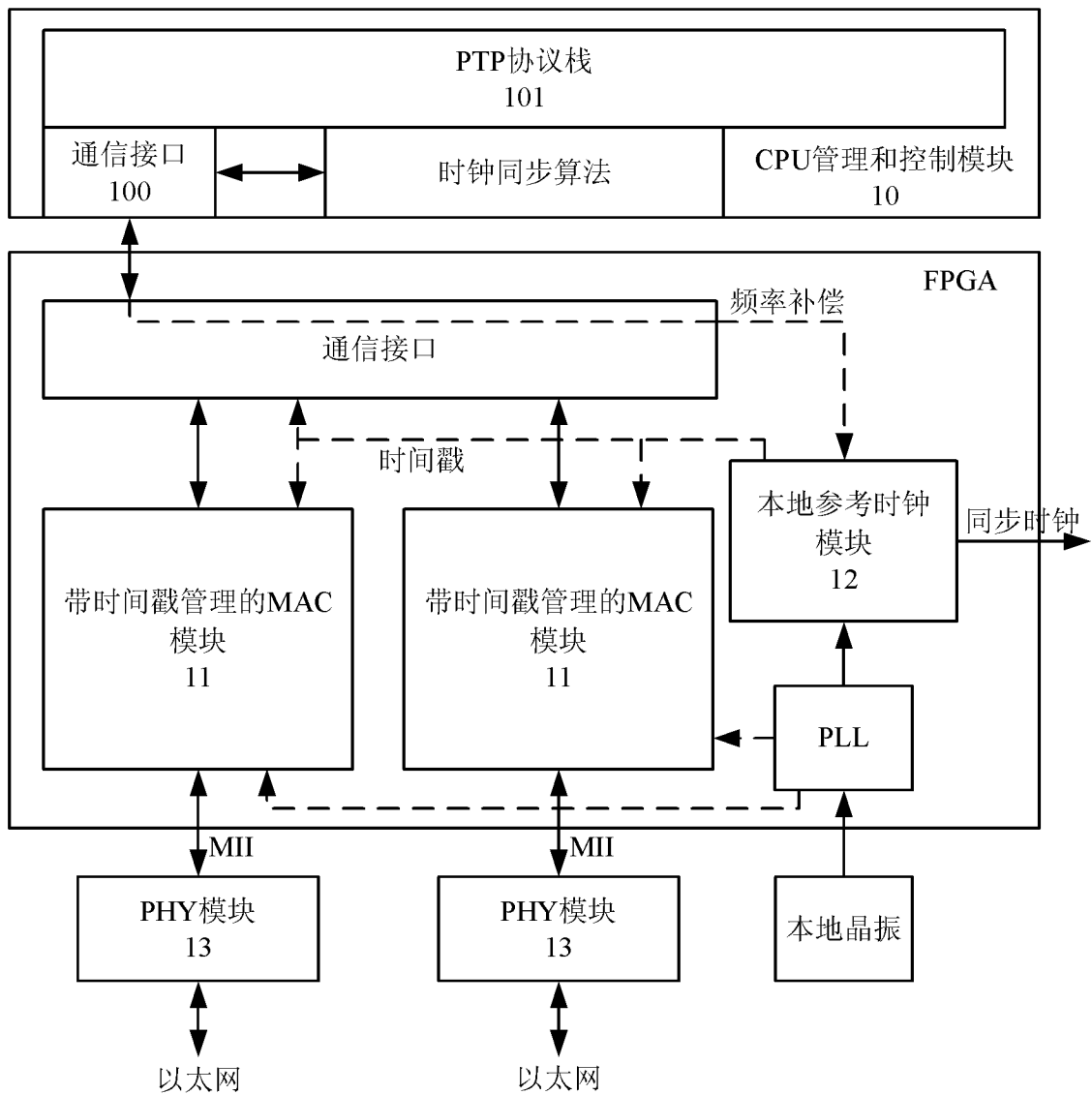


图 1

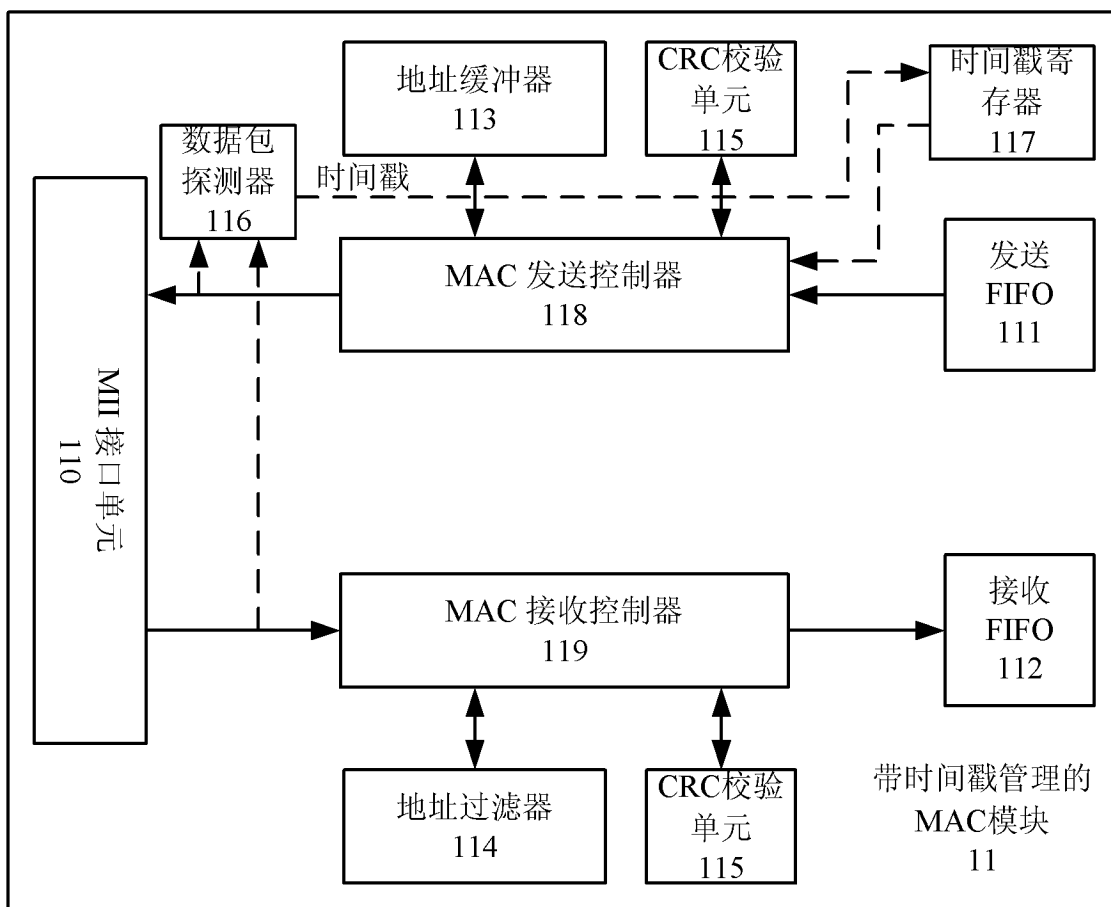


图 2

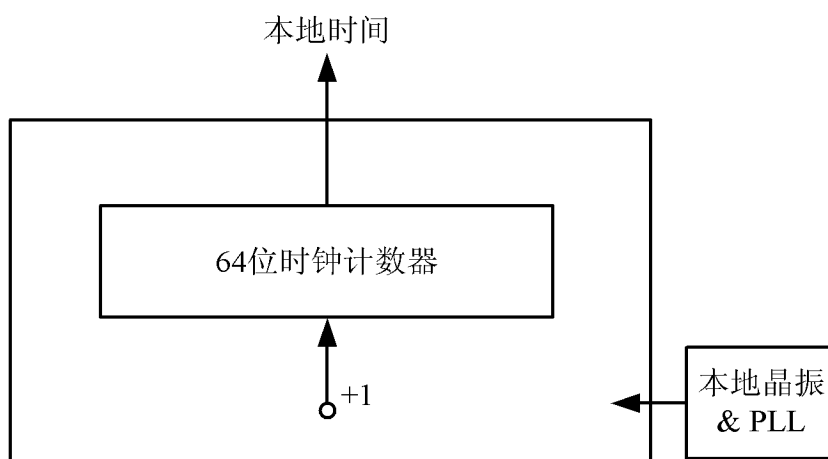


图 3

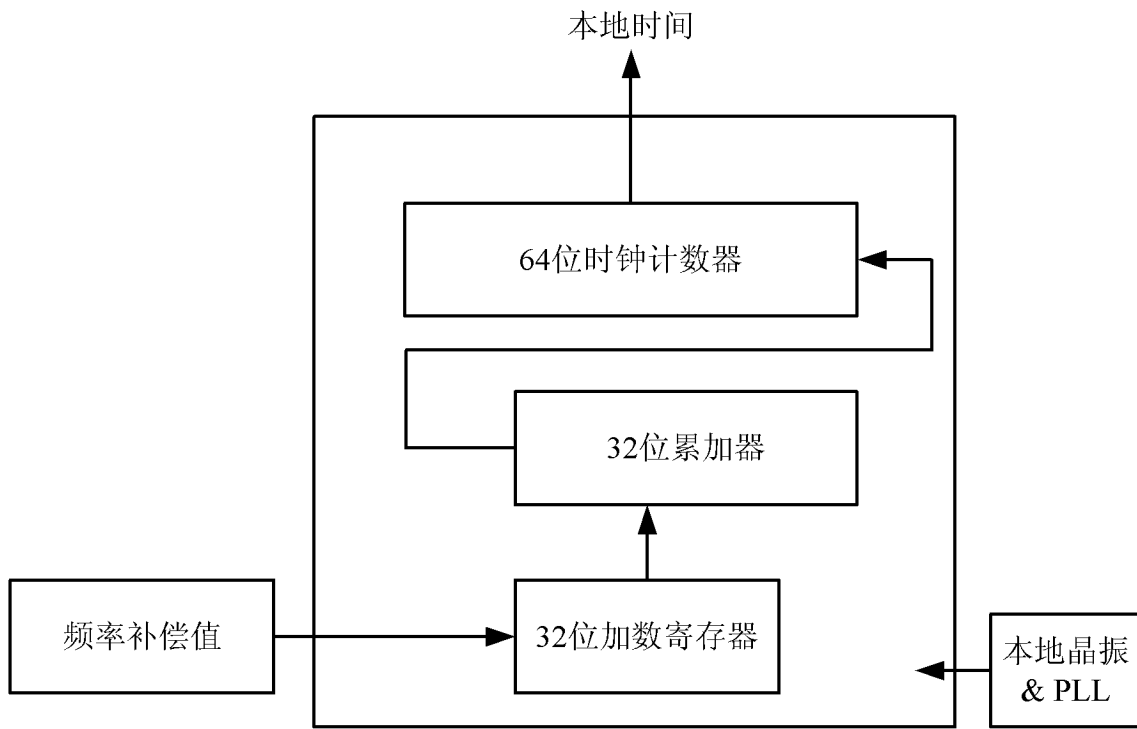


图 4

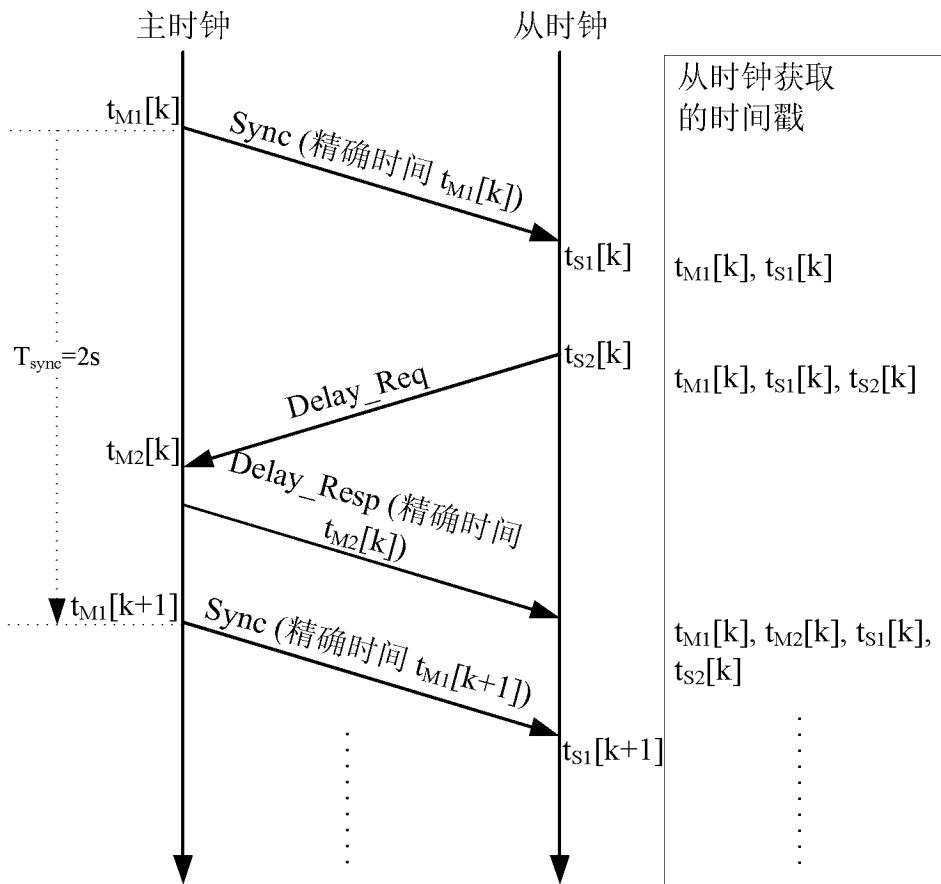


图 5