



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I575537 B

(45)公告日：中華民國 106 (2017) 年 03 月 21 日

(21)申請案號：104134632

(22)申請日：中華民國 104 (2015) 年 10 月 22 日

(51)Int. Cl. : G11C7/24 (2006.01)

G11C8/08 (2006.01)

(71)申請人：華邦電子股份有限公司(中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市大雅區科雅一路8號

(72)發明人：顏定國 YEN, TING KUO (TW)；許增鉅 HSU, TZENG JU (TW)；張尚文 CHANG, SHANG WEN (TW)；陳建隆 CHEN, CHIEN LUNG (TW)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

TW 311225

TW 200841342

US 5572458

US 2008/0175056A1

US 2009/0296466A1

WO 2005/112038A1

審查人員：劉耀允

申請專利範圍項數：8 項 圖式數：4 共 24 頁

(54)名稱

快閃記憶體與增進快閃記憶體可靠性的方法

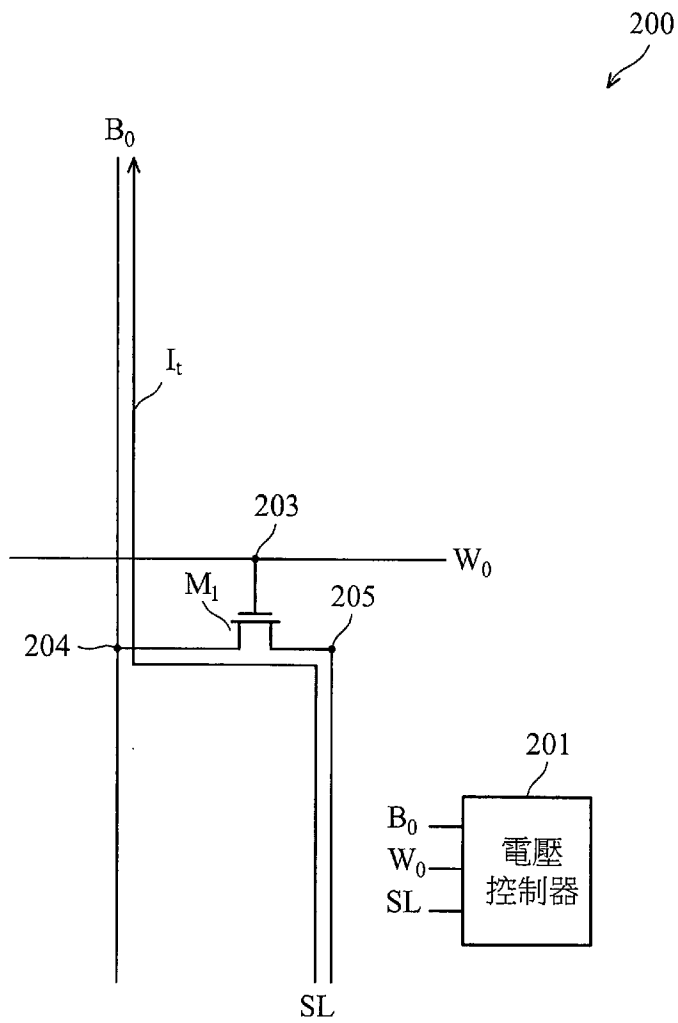
FLASH MEMORY AND METHOD FOR IMPROVING RELIABILITY OF THE SAME

(57)摘要

一種增進快閃記憶體可靠性的方法，包括在寫入期間，透過字元線、位元線及參考位準線，分別施加第一開啟電壓、第一電壓及第二電壓至電晶體之閘極結構、第一源/汲極和第二源/汲極，以對快閃記憶體單元執行寫入動作；於寫入期間之後的測試期間，透過字元線、位元線及參考位準線，分別施加第二開啟電壓、第三電壓及第四電壓至電晶體之閘極結構、第一源/汲極和第二源/汲極，以執行測試動作；其中，第一開啟電壓大於第二開啟電壓、第一電壓大於第二電壓，且第四電壓大於第三電壓。

This disclosure provides a method for improving reliability of flash memory, including applying a first turn-on voltage, first voltage, and second voltage to a gate structure, first electrode, and second electrode of a transistor through a word line, bit line, and reference line respectively in order to perform writing in a writing period. During the testing period subsequent to the writing period, applying a second turn-on voltage, third voltage, and fourth voltage to the gate structure, first electrode, and second electrode through the word line, bit line, and reference line respectively in order to perform testing. Wherein the first turn-on voltage is larger than second turn-on voltage, first voltage is larger than second voltage, and fourth voltage is larger than third voltage.

指定代表圖：



符號簡單說明：

200 . . . 快閃記憶體
區塊

201 . . . 電壓控制器

203 . . . 控制閘

204 . . . 第一源/汲
極

205 . . . 第二源/汲
極

M_1 . . . 快閃記憶體
單元

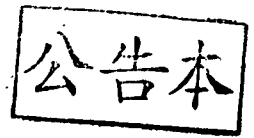
B_0 . . . 位元線

W_0 . . . 字元線

SL . . . 參考位準線

I_t . . . 測試電流

第 2B 圖



發明摘要

※ 申請案號： 104134632

※ 申請日： 104. 10. 22

※IPC 分類：

G11C 7/14
8/08

(2006:01)
(2006:01)

【發明名稱】快閃記憶體與增進快閃記憶體可靠性的方法

FLASH MEMORY AND METHOD FOR IMPROVING
RELIABILITY OF THE SAME

【中文】

一種增進快閃記憶體可靠性的方法，包括在寫入期間，透過字元線、位元線及參考位準線，分別施加第一開啓電壓、第一電壓及第二電壓至電晶體之閘極結構、第一源/汲極和第二源/汲極，以對快閃記憶體單元執行寫入動作；於寫入期間之後的測試期間，透過字元線、位元線及參考位準線，分別施加第二開啓電壓、第三電壓及第四電壓至電晶體之閘極結構、第一源/汲極和第二源/汲極，以執行測試動作；其中，第一開啓電壓大於第二開啓電壓、第一電壓大於第二電壓，且第四電壓大於第三電壓。

【英文】

This disclosure provides a method for improving reliability of flash memory, including applying a first turn-on voltage, first voltage, and second voltage to a gate structure, first electrode, and second electrode of a transistor through a word line, bit line, and reference line respectively in order to perform writing in a writing period. During the testing period subsequent to the

writing period, applying a second turn-on voltage, third voltage, and fourth voltage to the gate structure, first electrode, and second electrode through the word line, bit line, and reference line respectively in order to perform testing. Wherein the first turn-on voltage is larger than second turn-on voltage, first voltage is larger than second voltage, and fourth voltage is larger than third voltage.

【代表圖】

【本案指定代表圖】：第(2B)圖。

【本代表圖之符號簡單說明】：

200~快閃記憶體區塊

201~電壓控制器

203~控制閘

204~第一源/汲極

205~第二源/汲極

M_1 ~快閃記憶體單元

B_0 ~位元線

W_0 ~字元線

SL~參考位準線

I_t ~測試電流

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 快閃記憶體與增進快閃記憶體可靠性的方法

FLASH MEMORY AND METHOD FOR IMPROVING
RELIABILITY OF THE SAME

【技術領域】

【0001】 本發明係有關於快閃記憶體，特別係有關於增進快閃記憶體可靠性的方法。

【先前技術】

【0002】 快閃記憶體是一種允許在操作中被多次寫入或讀取的記憶體，可用於電子裝置之間傳輸或交換所儲存的資料，例如記憶卡與隨身硬碟的應用。而快閃記憶體亦為目前非揮發性固態儲存領域中相當重要且被廣為應用的技術，也由於快閃記憶體是非揮發性的記憶體，快閃記憶體在儲存資料的運用上不需要消耗電力，此為快閃記憶體之優勢。

【0003】 快閃記憶體所使用之電晶體的閘極結構具備一控制閘(control gate)和一浮閘(floating gate)，浮閘係介於控制閘與電晶體的通道之間，透過浮閘的使用，快閃記憶體可完成讀取、寫入以及抹除之三種基本操作模式。在一些應用中，當浮閘被注入電荷時，快閃記憶體所儲存之位元即為「0」，相對的，當上述電荷從浮閘中移除後，上述位元即為「1」，而快閃記憶體就是透過上述將電荷注入或移除於浮閘的原理，而使得本身具有重複讀寫的特性。

【0004】 而在一些實際應用中，快閃記憶體寫入動作之測試過程，會受到測試溫度以及電荷捕獲(trapping)現象的影響，

使測試結果對於浮閘所儲存之電荷量產生誤判，而造成測試結果錯誤，進而導致快閃記憶體之製造良率下降。

【發明內容】

【0005】 有鑑於此，本發明提供一種快閃記憶體以及增進快閃記憶體可靠性的方法，以克服前述問題。

【0006】 本發明提供一種增進快閃記憶體可靠性的方法，該快閃記憶體包括一字元線、一位元線、一參考位準線及一由電晶體構成的快閃記憶體單元，該電晶體具有一連接該字元線的閘極結構、一連接該位元線的第一源/汲極和一連接該參考位準線的第二源/汲極。而該方法包括於一寫入期間，透過該字元線、位元線及參考位準線，分別施加一第一開啓電壓、一第一電壓及一第二電壓至該閘極結構、第一源/汲極和第二源/汲極，以對該快閃記憶體單元執行一寫入動作；於該寫入期間之後的一測試期間，透過該字元線、位元線及參考位準線，分別施加一第二開啓電壓、一第三電壓及一第四電壓至該閘極結構、第一源/汲極和第二源/汲極，以執行一測試動作，該測試動作為測試該寫入期間寫入該快閃記憶體單元的資料；其中，該第一開啓電壓大於該第二開啓電壓、該第一電壓大於該第二電壓，且該第四電壓大於該第三電壓。

【0007】 如上述增進快閃記憶體可靠性的方法，其中該快閃記憶體單元於該測試期間會產生一測試電流，且該方法更包括當該測試電流的電流量低於一第一預定電流量時，結束該測試動作；以及當該測試電流的電流量高於該第一預定電流量時，重新執行該寫入動作。

【0008】 本發明提供一種快閃記憶體，包括至少一電壓控制電路；至少一字元線，耦接對應之一電壓控制電路；至少一位元線，耦接該電壓控制電路；至少一參考位準線，耦接該電壓控制電路；以及至少一快閃記憶體單元。該快閃記憶體單元包括一電晶體，該電晶體之閘極結構耦接該字元線，該電晶體之第一源/汲極耦接該位元線，且該電晶體之第二源/汲極耦接該參考位準線；其中，在一寫入期間，該電壓控制電路透過該字元線提供一第一開啓電壓於該閘極結構、透過該位元線提供一第一電壓於該第一源/汲極以及透過該參考位準線提供一第二電壓於該第二源/汲極，以對該快閃記憶體單元執行一寫入動作；其中，在該寫入動作執行之後的一測試期間，該電壓控制電路透過該字元線提供一第二開啓電壓於該閘極結構、透過該位元線提供一第三電壓於該第一源/汲極以及透過該參考位準線提供一第四電壓於該第二源/汲極，以執行一測試動作，該測試動作爲測試該寫入期間寫入該快閃記憶體單元的資料；其中，該第一開啓電壓大於該第二開啓電壓、該第一電壓大於該第二電壓，且該第四電壓大於該第三電壓。

【0009】 如上述之快閃記憶體以及增進快閃記憶體可靠性的方法，其中該電晶體之閘極結構具備一控制閘以及一浮閘。

【圖式簡單說明】

【0010】

第1A圖係依據本發明一實施例之快閃記憶體之一電晶體的示意圖。

第1B圖係依據本發明一實施例之快閃記憶體之一電晶體

的示意圖。

第2A圖係依據本發明一實施例之一快閃記憶體之寫入動作的示意圖。

第2B圖係依據本發明一實施例之一快閃記憶體之測試動作的示意圖。

第3A圖係依據本發明一實施例之一反或閘快閃記憶體之寫入動作的示意圖。

第3B圖係依據本發明一實施例之一反或閘快閃記憶體之測試動作的示意圖。

第4圖係依據本發明一實施例之增進快閃記憶體可靠性的方法流程圖。

【實施方式】

【0011】 為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉出本發明之具體實施例，並配合所附圖式，作詳細說明如下。

【0012】 第1A圖係依據本發明一實施例之一快閃記憶體之一電晶體100的示意圖。電晶體100包括一閘極結構101，一第一源/汲極102，以及一第二源/汲極103。閘極結構101形成於該P型基板104上，具有一控制閘101a、一浮閘101c以及氧化層101b與101d。第一和第二源/汲極102、103，係由N型摻雜區所構成，並設置於該閘極結構101兩側的P型基板104中。於閘極結構101中，控制閘101a和浮閘101c之間以氧化層101b而電性隔離，浮閘101c和P型基板104間有氧化層101d。

【0013】 在本實施例中，該快閃記憶體在一寫入期間執行

一寫入動作，電晶體100之控制閘101a連接一第一開啓電壓；第一源/汲極102連接一第一電壓；以及第二源/汲極103連接一第二電壓，在本實施例中，該第一電壓大於該第二電壓。在一些實施例中，該第一開啓電壓可爲9伏特；該第一電壓可爲4伏特；以及該第二電壓可爲0伏特，但本發明並不以此爲限制。

【0014】 由於該第一電壓大於該第二電壓，該寫入動作施加至控制閘101a、第一源/汲極102與第二源/汲極103之電壓會造成熱電子注入到浮閘101c中，電晶體100將會具有對應於浮閘101c中電荷的一臨界電壓。在此同時，由於電荷捕獲現象的發生，氧化層101d亦具備複數負電荷107，複數負電荷107主要會屏蔽部分控制閘101a與第二源/汲極103之間的電場(亦即主要會屏蔽第一源/汲極102、第二源/汲極103中電壓較低者以及控制閘101a之間的電場)，進而影響該臨界電壓。其中，氧化層101d中的複數負電荷107會受到環境溫度的影響，例如在一高溫測試之後，複數負電荷107會部分散逸或從氧化層101d中移除。

【0015】 在本實施例中，在該寫入動作執行之後的一測試期間，該快閃記憶體進而執行一測試動作，該測試動作用以測試該寫入動作是否已完成。透過施加電壓於控制閘101a、第一源/汲極102以及第二源/汲極103，以偵測於第一源/汲極102以及第二源/汲極103之間導通之一測試電流是否小於一預定電流量，若該測試電流小於該預定電流量則該寫入動作已完成。

【0016】 根據以往的操作方式，以往測試動作係將控制閘101a連接一第二開啓電壓；第一源/汲極102連接一第三電壓；

以及第二源/汲極103連接一第四電壓，其中該第三電壓大於該第四電壓且該第一開啓電壓大於該第二開啓電壓，也就是說，在以往測試動作中，第一源/汲極102以及第二源/汲極103之電壓大小關係與該寫入動作相同。上述習知操作方式使電晶體100之該臨界電壓會明顯受到複數負電荷107的影響(如前述之現象，複數負電荷107主要會屏蔽第一源/汲極102、第二源/汲極103中電壓較低者以及控制閘101a之間的電場)，造成電晶體100在以往測試動作完成後，再進一步經過該高溫測試之狀況下，電晶體100之該臨界電壓可能還會發生明顯之變化，此現象可能導致該快取記憶體之讀取錯誤。舉例而言，當以往測試動作已偵測該測試電流小於該預定電流量時，亦即該寫入動作已完成，該快取記憶體之讀取值應為「0」，但在進一步經過該高溫測試後，電晶體100之該臨界電壓因為複數負電荷107的減少而下降，造成電晶體100於第一源/汲極102以及第二源/汲極103之間導通的電流大於預期之電流量，導致該快取記憶體之讀取值變為「1」，因此產生讀取錯誤。

【0017】 而在本實施例中，該測試動作係將電晶體100之控制閘101a連接一第二開啓電壓；第一源/汲極102連接一第三電壓；以及第二源/汲極103連接一第四電壓，且該第四電壓係大於該第三電壓、該第一開啓電壓係大於該第二開啓電壓。在一些實施例中，該第二開啓電壓可為6伏特；該第三電壓可為0伏特；以及該第四電壓可為1伏特，但本發明並不以此為限制。

【0018】 由於本實施例之該第四電壓大於該第三電壓，亦即該測試動作之第一源/汲極102以及第二源/汲極103之電壓大

小關係與該寫入動作相反，因此電晶體 100 之該臨界電壓明顯較不受複數負電荷 107 所影響，因此，本實施例之該測試動作將較以往測試動作更能抵抗複數負電荷 107 所造成的影響，且明顯更能避免讀取錯誤。

【0019】 第 2A 圖係依據本發明一實施例之一快閃記憶體區塊 200 中一快閃記憶體單元 M_1 之一寫入動作的示意圖。一快閃記憶體可透過連接複數個快閃記憶體區塊 200 來組成。快閃記憶體區塊 200 包括一電壓控制器 201、快閃記憶體單元 M_1 、一位元線 B_0 、一參考位準線 SL 以及一字元線 W_0 ，其中快閃記憶體單元 M_1 為具有和前述電晶體 100 相同結構的電晶體。快閃記憶體區塊 200 之快閃記憶體單元 M_1 於一寫入期間執行該寫入動作，快閃記憶體單元 M_1 之一控制閘 203 透過字元線 W_0 耦接電壓控制器 201 所提供之該第一開啓電壓；快閃記憶體單元 M_1 之一第一源/汲極 204 透過位元線 B_0 耦接電壓控制器 201 所提供之該第一電壓；以及快閃記憶體單元 M_1 之一第二源/汲極 205 透過參考位準線 SL 耦接電壓控制器 201 所提供之該第二電壓，其中該第一電壓大於該第二電壓，且快閃記憶體單元 M_1 產生一寫入電流 I_w 。當該寫入動作完成時，快閃記憶體單元 M_1 內的電荷分佈如第 1A 圖所示，且快閃記憶體區塊 200 進而執行一測試動作，如第 2B 圖所示。

【0020】 第 2B 圖係依據本發明一實施例之一快閃記憶體區塊 200 中一快閃記憶體單元 M_1 之該測試動作的示意圖。在該寫入期間之後的該測試期間，快閃記憶體區塊 200 之快閃記憶體單元 M_1 執行該測試動作，快閃記憶體單元 M_1 之控制閘 203 透過

字元線 W_0 耦接電壓控制器 201 所提供之該第二開啓電壓；快閃記憶體單元 M_1 之一第一源/汲極 204 透過位元線 B_0 耦接電壓控制器 201 所提供之該第三電壓；以及快閃記憶體單元 M_1 之一第二源/汲極 205 透過參考位準線 SL 耦接電壓控制器 201 所提供之該第四電壓，其中該第四電壓大於該第三電壓且該第一開啓電壓大於該第二開啓電壓。其中，快閃記憶體單元 M_1 產生一測試電流 I_t 。

【0021】 在一些實施例中，快閃記憶體區塊 200 執行該測試動作時，快閃記憶體單元 M_1 內的電荷分佈如第 1A 圖所示，且該測試動作所產生之控制閘 203 與第一源/汲極 204 之間的一臨界電壓不會受複數負電荷 107 所影響。

【0022】 在一些實施例中，當測試電流 I_t 低於一預定電流時，快閃記憶體區塊 200 結束該測試動作，反之，當測試電流 I_t 高於該預定電流時，快閃記憶體區塊 200 重新執行該寫入動作。

【0023】 上述快閃記憶體區塊 200 之寫入與測試動作，亦可擴展至一反或閘快閃記憶體 (Nor Flash)，如第 3A 圖與 3B 圖所示。第 3A 圖係依據本發明一實施例之一反或閘快閃記憶體區塊 300 中一反或閘快閃記憶體單元 M_{14} 之一寫入動作的示意圖。一反或閘快閃記憶體可透過連接複數個反或閘快閃記憶體區塊 300 來組成。反或閘快閃記憶體區塊 300 包括一電壓控制器 301、開關元件 $M_{11} \sim M_{13}$ 以及 $M_{21} \sim M_{23}$ 、反或閘快閃記憶體單元 M_{14} 與 M_{24} 、位元線 B_0 與 B_1 、一參考位準線 SL 以及一字元線 W_0 ，其中反或閘快閃記憶體單元 M_{14} 以及 M_{24} 各為具有和前述電晶

體100相同結構的電晶體。反或閘快閃記憶體區塊300於一寫入期間執行該寫入動作，開關元件 $M_{11}\sim M_{13}$ 之閘極 $S_{11}\sim S_{13}$ 耦接電壓控制器301所提供之一高電壓以導通開關元件 $M_{11}\sim M_{13}$ 之電流路徑，而反或閘快閃記憶體單元 M_{14} 之一控制閘303透過字元線 W_0 耦接電壓控制器301所提供之該第一開啓電壓；反或閘快閃記憶體單元 M_{14} 之一第一源/汲極304透過位元線 B_0 耦接電壓控制器301所提供之該第一電壓；以及反或閘快閃記憶體單元 M_{14} 之一第二源/汲極305透過參考位準線SL耦接電壓控制器301所提供之該第二電壓，其中該第一電壓大於該第二電壓，且反或閘快閃記憶體單元 M_{14} 產生一寫入電流 I_w 。當該寫入動作完成時，反或閘快閃記憶體單元 M_{14} 內的電荷分佈如第1A圖所示，且反或閘快閃記憶體區塊300進而執行一測試動作，如第3B圖所示。

【0024】 在該寫入期間之後的該測試期間，反或閘快閃記憶體區塊300執行該測試動作，開關元件 $M_{11}\sim M_{13}$ 之閘極 $S_{11}\sim S_{13}$ 耦接電壓控制器301所提供之該高電壓以導通開關元件 $M_{11}\sim M_{13}$ 之電流路徑，而反或閘快閃記憶體單元 M_{14} 之控制閘303透過字元線 W_0 耦接電壓控制器301所提供之該第二開啓電壓；反或閘快閃記憶體單元 M_{14} 之第一源/汲極304透過位元線 B_0 耦接電壓控制器301所提供之該第三電壓；以及反或閘快閃記憶體單元 M_{14} 之第二源/汲極305透過參考位準線SL耦接電壓控制器301所提供之該第四電壓，其中該第四電壓大於該第三電壓且該第一開啓電壓大於該第二開啓電壓。其中，反或閘快閃記憶體單元 M_{14} 產生一測試電流 I_t 。

【0025】 在一些實施例中，反或閘快閃記憶體區塊300執行該測試動作時，反或閘快閃記憶體單元 M_{14} 內的電荷分佈如第1A圖所示，且該測試動作所產生之控制閘303與第一源/汲極304之間的一臨界電壓不會受複數負電荷107所影響。

【0026】 當測試電流 I_t 低於一預定電流時，反或閘快閃記憶體區塊300結束該測試動作，反之，當測試電流 I_t 高於該預定電流時，反或閘快閃記憶體區塊300重新執行該寫入動作。

【0027】 在一些實施例中，透過複數快閃記憶體區塊200所構成之快閃記憶體，或透過複數反或閘快閃記憶體區塊300所構成之反或閘快閃記憶體，該反或閘快閃記憶體或快閃記憶體之複數參考位準線皆連接至一相同電壓位準。

【0028】 第4圖係依據本發明一實施例之增進快閃記憶體可靠性的方法流程圖400。在步驟401中，一快閃記憶體單元之一電晶體之一控制閘耦接一第一開啓電壓；該電晶體之一第一源/汲極耦接一第一電壓；以及該電晶體之一第二源/汲極耦接一第二電壓，藉此執行一寫入動作，其中該第一電壓大於該第二電壓。在步驟402中，該控制閘耦接一第二開啓電壓；該第一源/汲極耦接一第三電壓；以及該第二源/汲極耦接一第四電壓，藉此執行一測試動作並產生一測試電流，其中該第四電壓大於該第三電壓且該第一開啓電壓大於該第二開啓電壓。在步驟403中，若該測試電流大於一預定電流量，回到步驟401；若該測試電流小於該預定電流量，進入到步驟404。流程圖400結束於步驟404。

【0029】 本發明雖以較佳實施例揭露如上，然其並非用以

限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】**【0030】**

100~電晶體

101~閘極結構

101a~控制閘

101b~氧化層

101c~浮閘

101d~氧化層

102~第一源/汲極

103~第二源/汲極

104~P型基板

106、107~複數負電荷

200~快閃記憶體區塊

201~電壓控制器

203~控制閘

204~第一源/汲極

205~第二源/汲極

M₁ ~快閃記憶體單元

B₀、B₁~位元線

W₀~字元線

SL~參考位準線

300~反或閘快閃記憶體區塊

M_{11} - M_{13} 、 M_{21} - M_{23} ~開關元件

S_{11} - S_{23} ~閘極

M_{14} 、 M_{24} ~反或閘快閃記憶體單元

301~電壓控制器

303~控制閘

304~第一源/汲極

305~第二源/汲極

I_w ~寫入電流

I_t ~測試電流

400~流程圖

401-404~步驟

申請專利範圍

1. 一種增進快閃記憶體可靠性的方法，該快閃記憶體包括一字元線、一位元線、一參考位準線及一由電晶體構成的快閃記憶體單元，該電晶體具有一連接該字元線的閘極結構、一連接該位元線的第一源/汲極和一連接該參考位準線的第二源/汲極，

該方法包括：

於一寫入期間，透過該字元線、位元線及參考位準線，分別施加一第一開啓電壓、一第一電壓及一第二電壓至該閘極結構、第一源/汲極和第二源/汲極，以對該快閃記憶體單元執行一寫入動作；

於該寫入期間之後的一測試期間，透過該字元線、位元線及參考位準線，分別施加一第二開啓電壓、一第三電壓及一第四電壓至該閘極結構、第一源/汲極和第二源/汲極，以執行一測試動作，該測試動作為測試該寫入期間寫入該快閃記憶體單元的資料；

其中，該第一開啓電壓大於該第二開啓電壓、該第一電壓大於該第二電壓，且該第四電壓大於該第三電壓。

2. 如申請專利範圍第1項所述之方法，其中該快閃記憶體單元於該測試期間會產生一測試電流，

該方法更包括：

當該測試電流的電流量低於一第一預定電流量時，結束該測試動作；以及

當該測試電流的電流量高於該第一預定電流量時，重新執

行該寫入動作。

3. 如申請專利範圍第1項所述之方法，其中該電晶體之該閘極結構包括一控制閘和一浮閘(floating gate)。

4. 一種快閃記憶體，包括：

至少一電壓控制電路；

至少一字元線，耦接對應之一電壓控制電路；

至少一位元線，耦接該電壓控制電路；

至少一參考位準線，耦接該電壓控制電路；以及

至少一快閃記憶體單元，包括一電晶體，該電晶體之閘極結構耦接該字元線，該電晶體之第一源/汲極耦接該位元線，且該電晶體之第二源/汲極耦接該參考位準線；

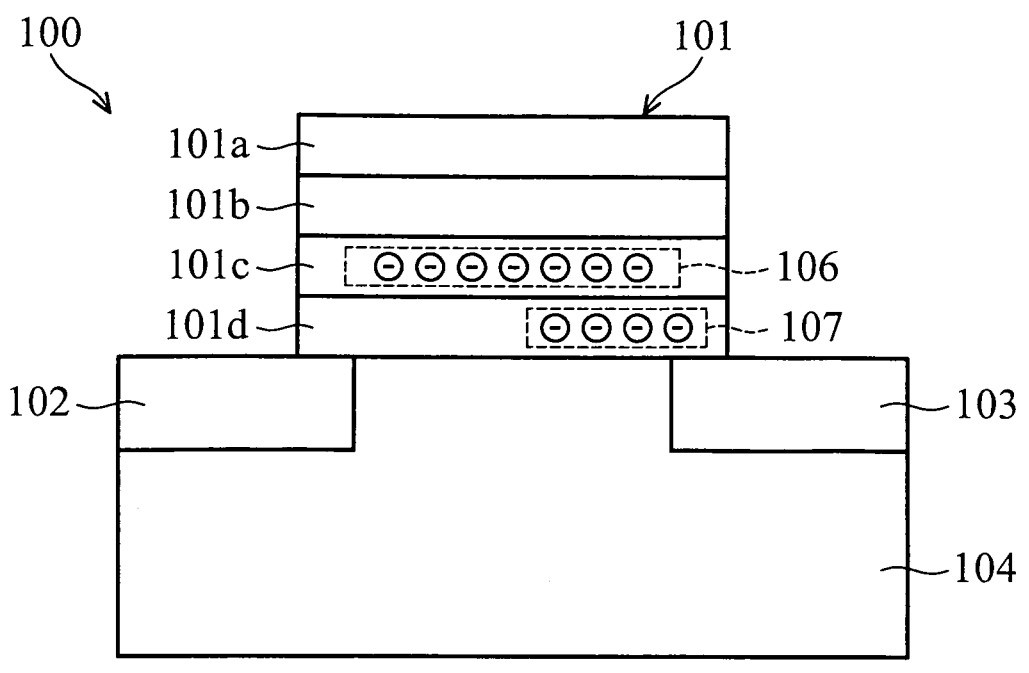
其中，在一寫入期間，該電壓控制電路透過該字元線提供一第一開啓電壓於該閘極結構、透過該位元線提供一第一電壓於該第一源/汲極以及透過該參考位準線提供一第二電壓於該第二源/汲極，以對該快閃記憶體單元執行一寫入動作；

其中，在該寫入動作執行之後的一測試期間，該電壓控制電路透過該字元線提供一第二開啓電壓於該閘極結構、透過該位元線提供一第三電壓於該第一源/汲極以及透過該參考位準線提供一第四電壓於該第二源/汲極，以執行一測試動作，該測試動作爲測試該寫入期間寫入該快閃記憶體單元的資料；

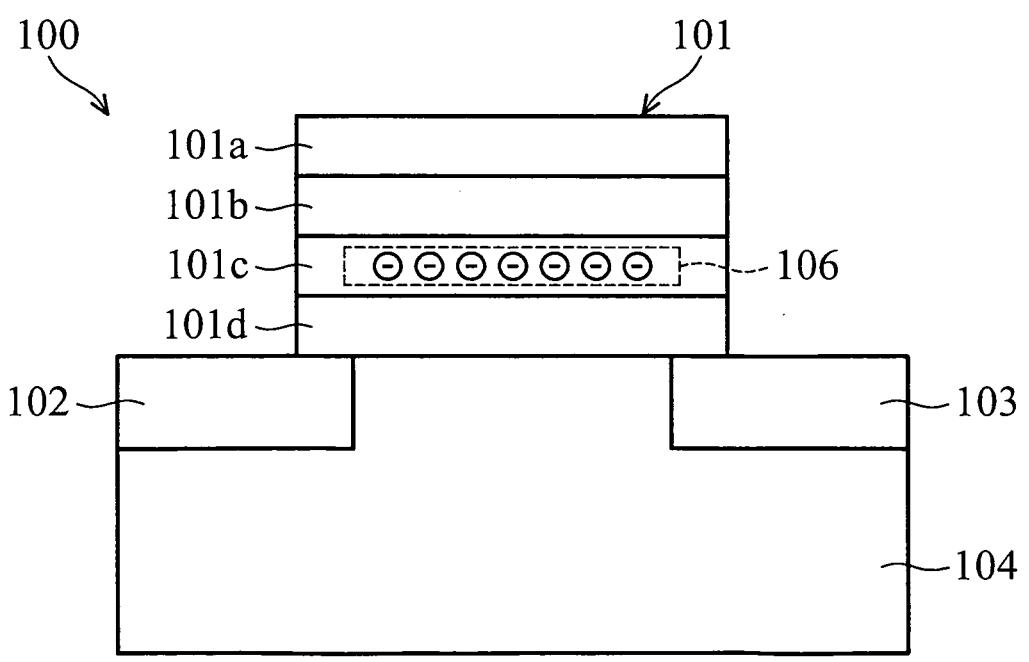
其中，該第一開啓電壓大於該第二開啓電壓、該第一電壓大於該第二電壓，且該第四電壓大於該第三電壓。

5. 如申請專利範圍第 4 項所述之快閃記憶體，該快閃記憶體單元更包括：
一 第二電晶體，該第二電晶體之閘極結構連接該字元線，該第二電晶體之第一源/汲極耦接一第二位元線，且該電晶體之第二源/汲極耦接該參考位準線；
其中，該第二位元線，耦接對應之該電壓控制電路或對應的一第二電壓控制電路。
6. 如申請專利範圍第 4 項或第 5 項所述之快閃記憶體，其中該等參考位準線係耦接於同一電壓。
7. 如申請專利範圍第 4 項所述之快閃記憶體，其中該電晶體之閘極結構具備一控制閘以及一浮閘。
8. 如申請專利範圍第 5 項所述之快閃記憶體是 NOR 型快閃記憶體。

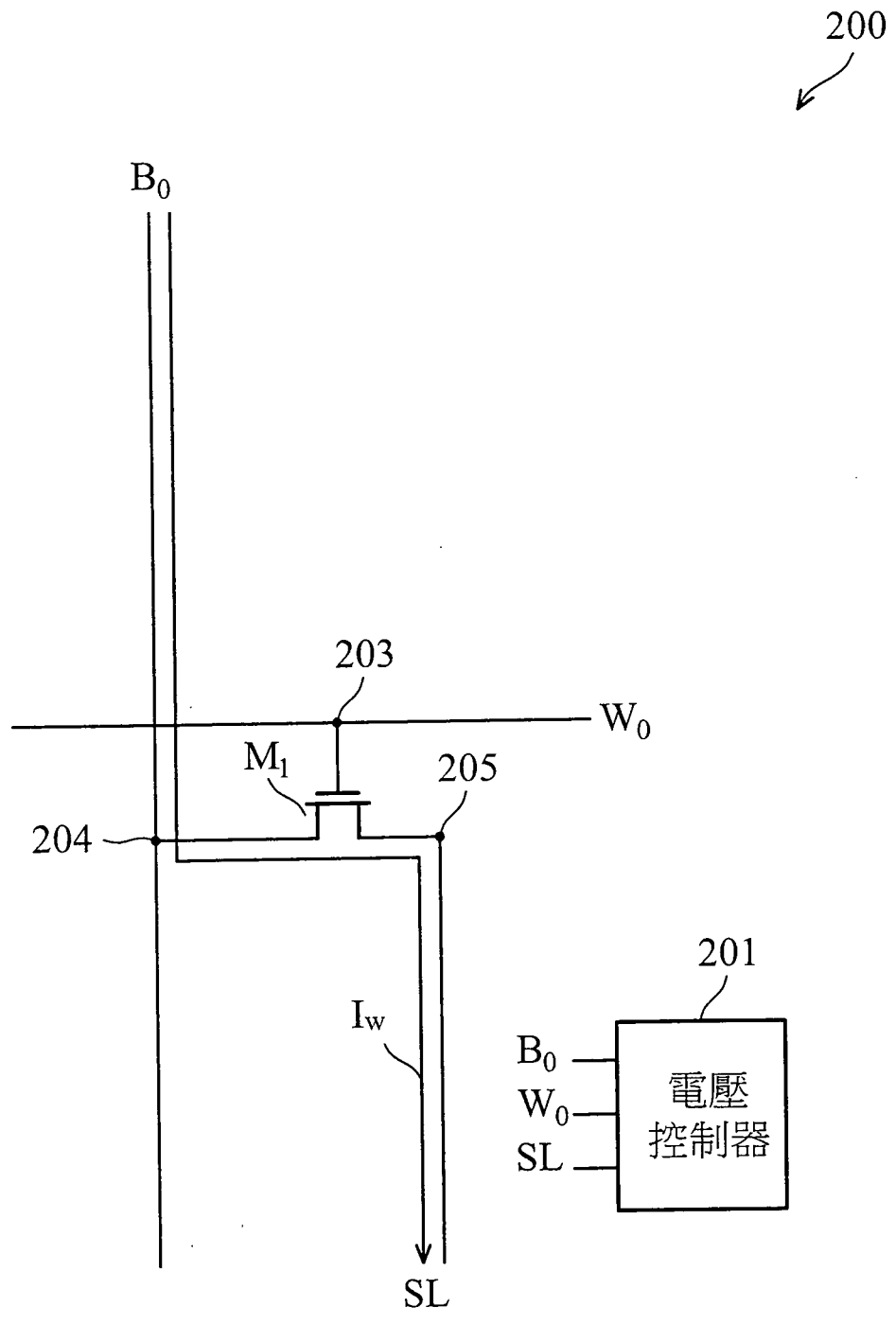
圖式



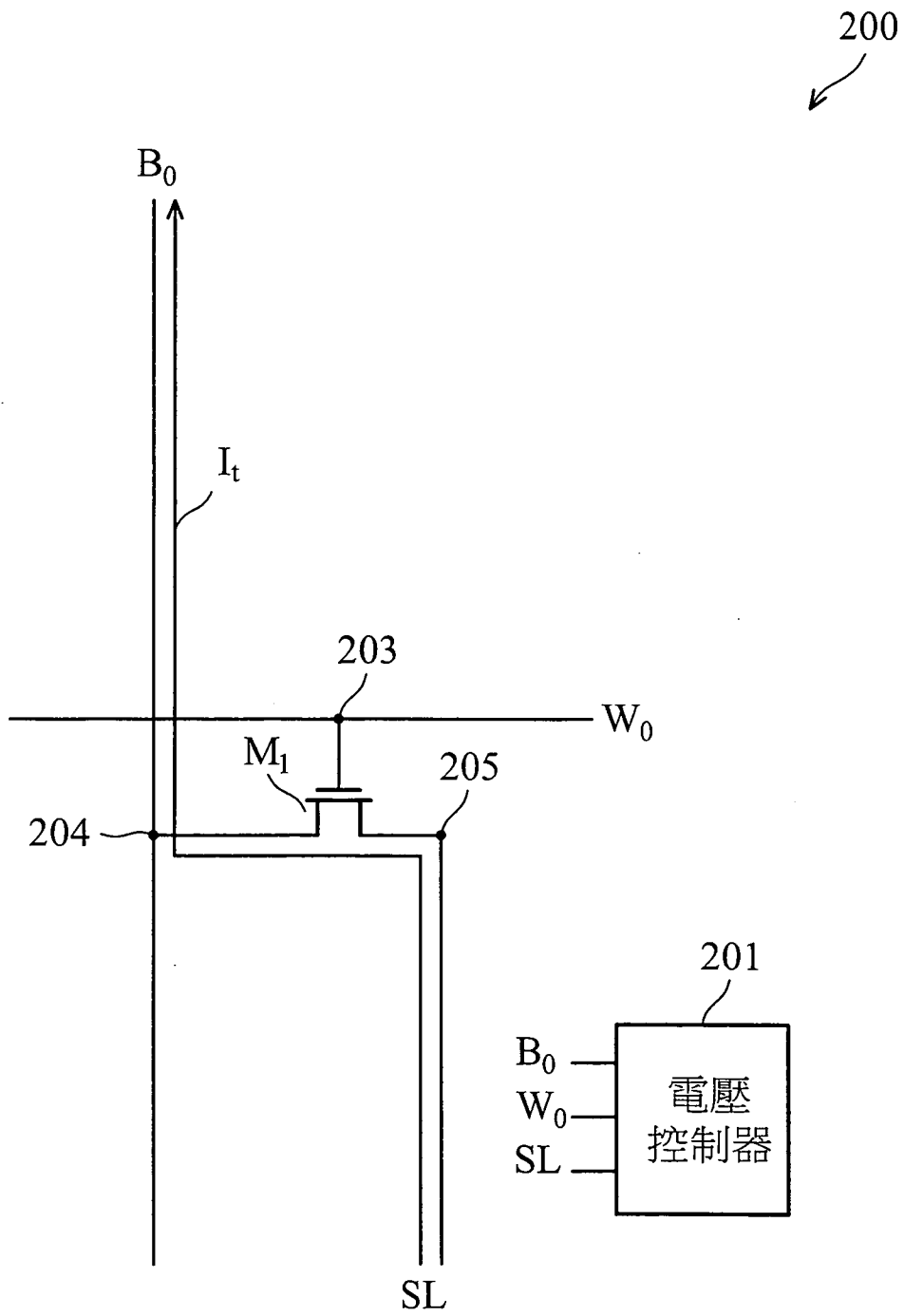
第 1A 圖



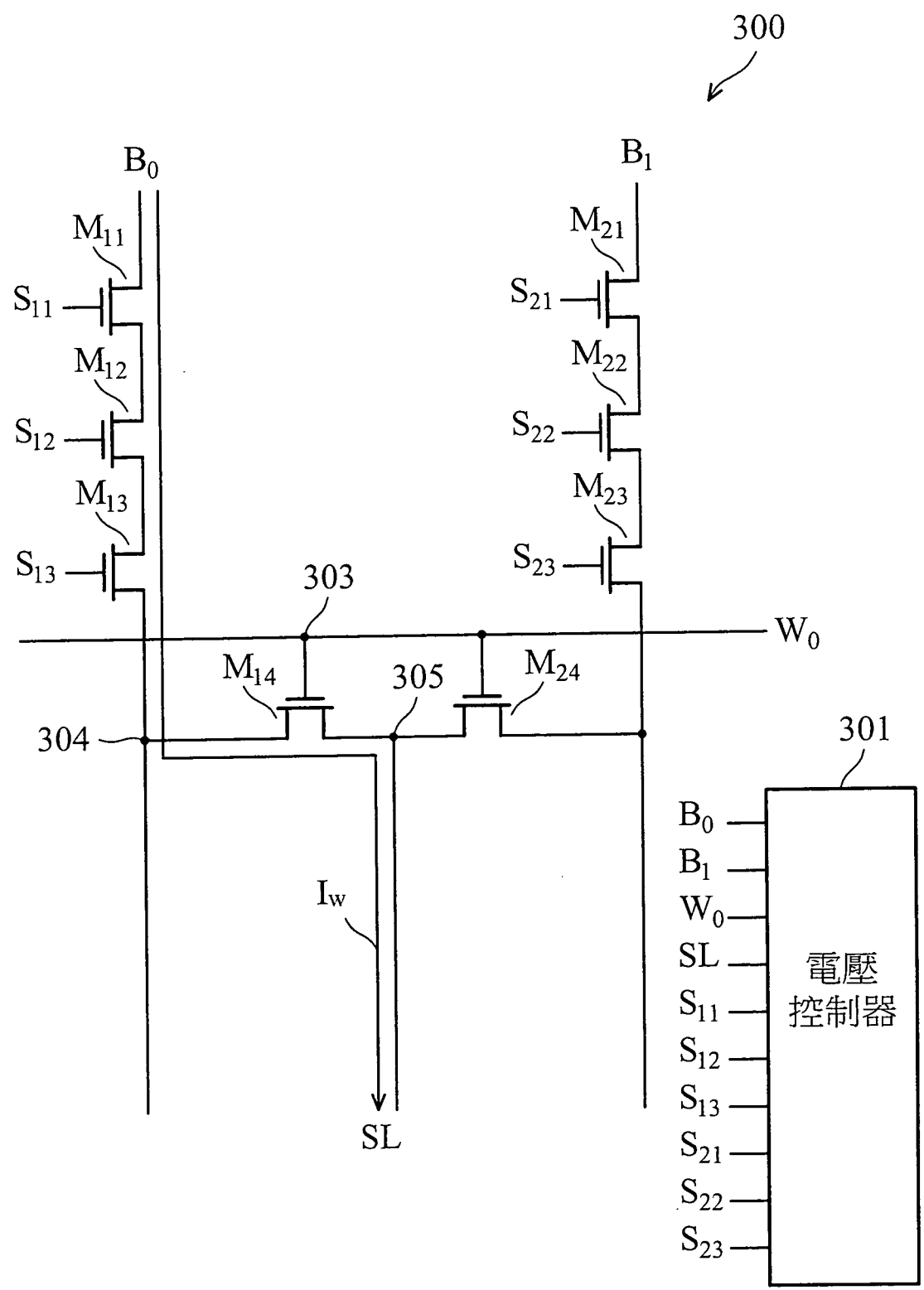
第 1B 圖



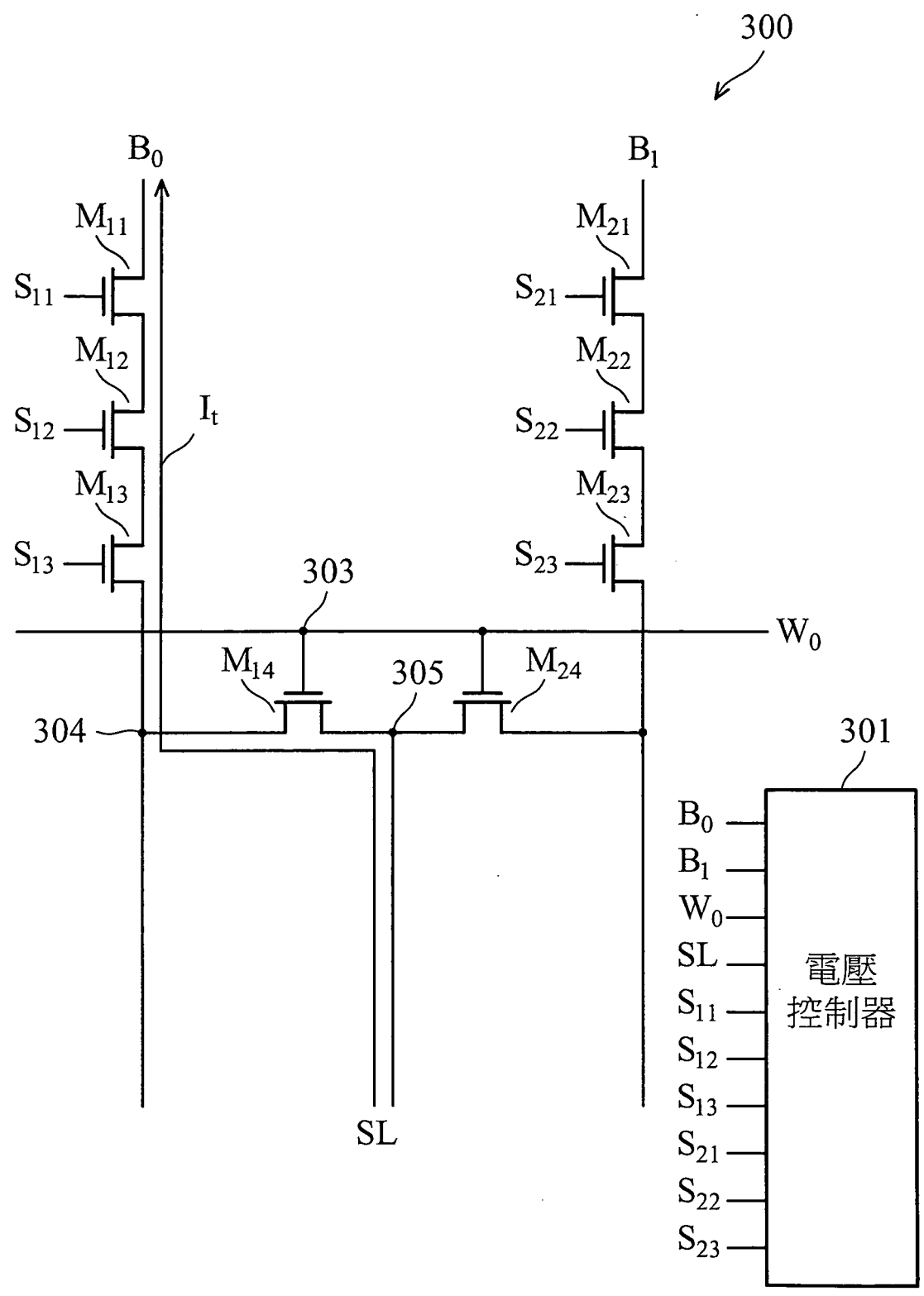
第 2A 圖



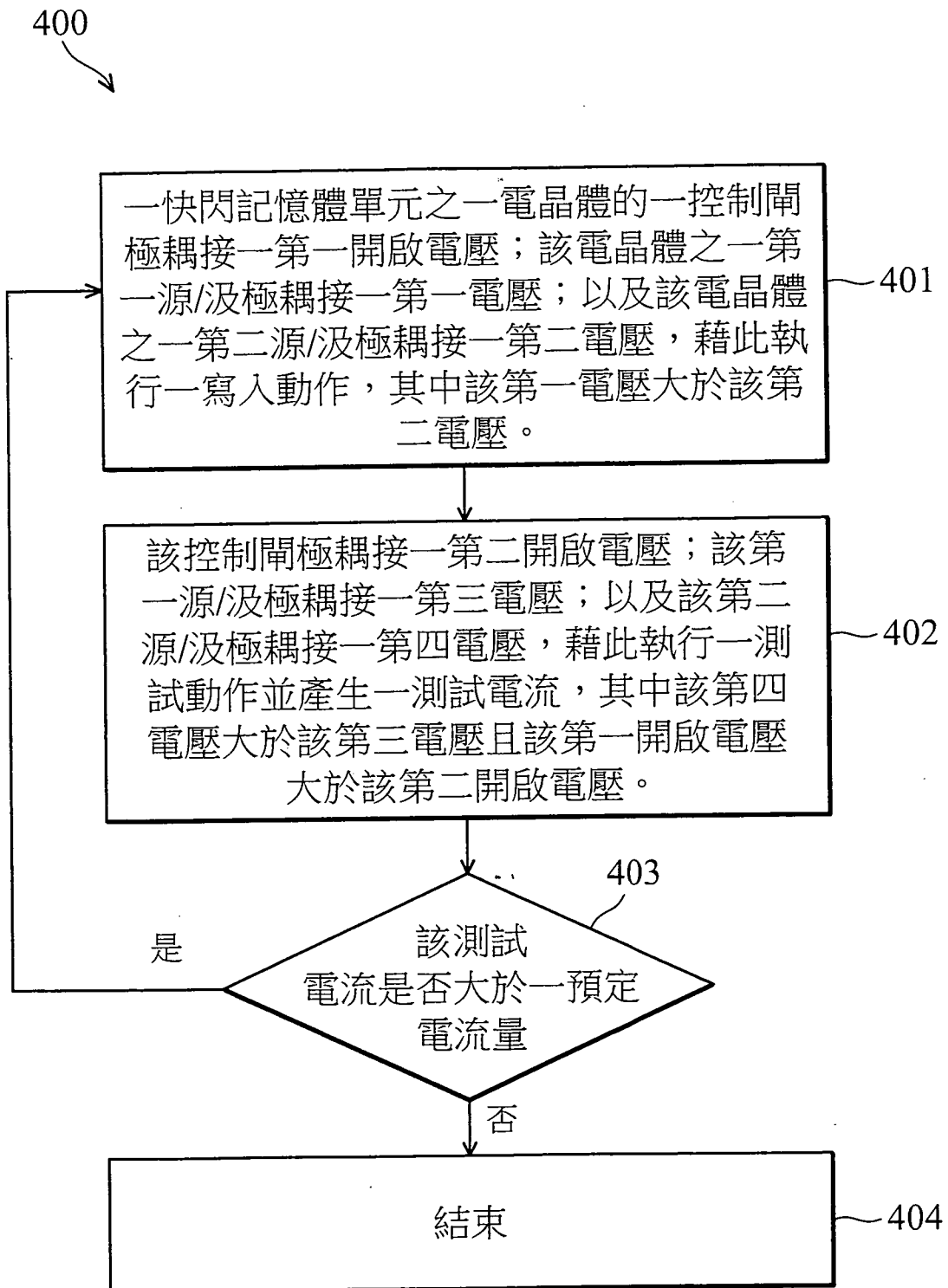
第 2B 圖



第3A圖



第 3B 圖



第 4 圖