

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(43) 국제공개일
2011년 1월 6일 (06.01.2011)

PCT

(10) 국제공개번호
WO 2011/002208 A2

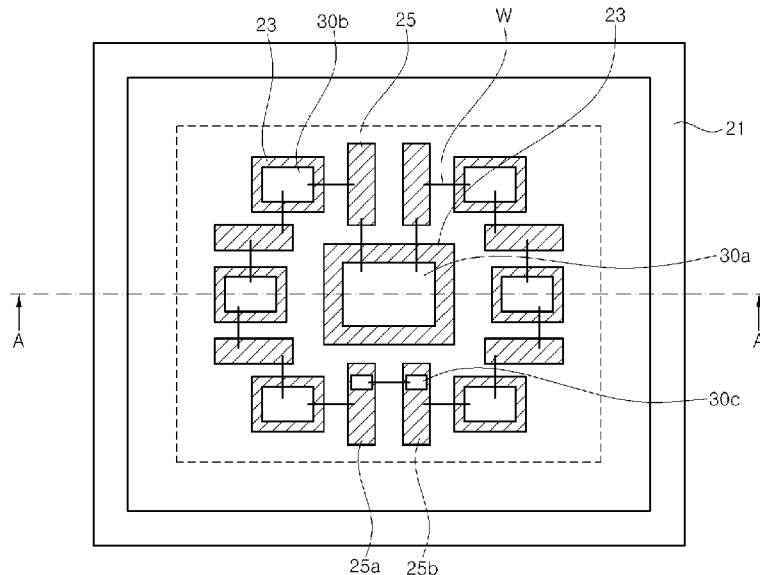
- (51) 국제특허분류: H01L 33/62 (2010.01) H01L 33/64 (2010.01)
H01L 33/48 (2010.01)
- (21) 국제출원번호: PCT/KR2010/004222
- (22) 국제출원일: 2010년 6월 30일 (30.06.2010)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2009-0060429 2009년 7월 3일 (03.07.2009) KR
10-2010-0000724 2010년 1월 6일 (06.01.2010) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): 서울반도체 주식회사 (SEOUL SEMICONDUCTOR CO., LTD.) [KR/KR]; 서울 금천구 가산동 148-29, 153-801 Seoul (KR).
- (72) 발명자: 곁
- (75) 발명자/출원인 (US 에 한하여): 정정화 (JUNG, Jung Hwa) [KR/KR]; 경기도 안산시 단원구 원시동 727-5 1B-36, 425-851 Gyeonggi-do (KR). 오희탁 (OH, Hee Tak) [KR/KR]; 경기도 안산시 단원구 원시동 727-5 1B-36, 425-851 Gyeonggi-do (KR). 김도형 (KIM, Do Hyung) [KR/KR]; 경기도 안산시 단원구 원시동 727-5 1B-36, 425-851 Gyeonggi-do (KR). 권유진 (KWON, You Jin) [KR/KR]; 경기도 안산시 단원구 원시동 727-5 1B-36, 425-851 Gyeonggi-do (KR). 김오석 (KIM, Oh Sug) [KR/KR]; 경기도 안산시 단원구 원시동 727-5 1B-36, 425-851 Gyeonggi-do (KR).
- (74) 대리인: 특허법인에이아이피 (AIP PATENT & LAW FIRM); 서울 강남구 역삼동 823-14 신원빌딩 8층, 135-933 Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[다음 쪽 계속]

(54) Title: LIGHT-EMITTING DIODE PACKAGE

(54) 발명의 명칭 : 발광 다이오드 패키지

[Fig. 1]



(57) Abstract: Disclosed is a light-emitting diode package, comprising: a package body having a cavity; a light-emitting diode chip having a plurality of light-emitting cells connected in serial with each other; a fluorescent body for converting the wavelength of light emitted by the light-emitting diode chip; and a pair of lead electrodes. The light-emitting cells are connected together in series between the pair of lead electrodes.

(57) 요약서: 여기에서는 캐비티를 갖는 패키지 본체와, 직렬 연결된 복수개의 발광셀들을 갖는 발광 다이오드 칩과, 상기 발광 다이오드 칩에서 방출된 광을 파장 변환시키는 형광체와, 한 쌍의 리드 전극들을 포함하고, 상기 발광셀들은 상기 한 쌍의 리드 전극들 사이에서 직렬 연결되는 발광 다이오드 패키지가 개시된다.

WO 2011/002208 A2



(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM,

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

명세서

발광 다이오드 패키지

기술분야

- [1] 본 발명은 발광 다이오드 패키지에 관한 것으로, 특히, 고전압하에서 구동할 수 있는 고전압 발광 다이오드 패키지에 관한 것이다.

배경기술

- [2] 발광 다이오드를 실장한 발광 소자, 예컨대 발광 다이오드 패키지는 컬러 구현이 가능하여 표시등, 전광판 및 디스플레이용으로 널리 사용되고 있으며, 백색광을 구현할 수 있어 일반 조명용으로도 사용되고 있다. 발광 다이오드는 효율이 높고 수명이 길며 친환경적이어서 그것을 사용하는 분야가 계속해서 증가하고 있다.
- [3] 한편, 백색 발광 소자는 주로 청색광을 방출하는 발광 다이오드와 황색 형광체의 조합으로 이루어진다. 그러나 청색 발광 다이오드와 황색 형광체의 조합에 의한 백색광은 일반적으로 적색 영역이 결핍되어 색온도가 높은 백색광이 구현되며, 일반 조명용에 적합하지 않다.
- [4] 색온도가 낮은 온백색(warm white)을 구현하기 위해 적색 형광체가 사용될 수 있으나, 적색 형광체는 일반적으로 광 효율이 높지 않아 그 적용에 한계가 있다. 더욱이, 형광체는 시간이 경과함에 따라 외부에서 유입된 수분과 반응하여 효율이 떨어져 발광 소자의 수명을 단축시키는데, 적색 형광체는 녹색 또는 황색 형광체에 비해 효율이 상대적으로 더 빠르게 떨어지기 때문에 발광 소자의 수명을 더욱 단축시킨다.
- [5] 한편, 가정용 전원 등을 이용하여 일반 조명용으로 발광 소자를 사용하기 위해서는 고전압하에서 구동할 수 있는 발광 다이오드 패키지를 제공할 필요가 있다. 일반적인 발광 다이오드 칩은 구동 전압이 2~4V 범위 내에 있어, 단일 발광 다이오드 칩을 고전압하에서 구동하는 것은 곤란하다. 따라서, 고전압 구동을 위해 복수개의 발광 다이오드 칩들을 직렬 연결하여 사용하게 된다. 그러나, 복수개의 발광 다이오드 칩들을 사용함에 따라 와이어 본딩 공정이 증가하며, 패키지의 크기가 증가하는 문제가 있다. 또한, 고전압하에서 구동할 경우, 발생하는 열이 많아 방열 대책이 필수적이며, 고전압 인가에 따른 누설전류를 방지할 필요가 있다. 특히, 적색 형광체를 대신하여 적색 발광 다이오드 칩을 청색 발광 다이오드 칩과 함께 사용할 경우, GaAs이나 InP와 같은 화합물 반도체를 기판으로 사용하는 적색 발광 다이오드 칩에서 기판을 통한 누설전류가 발생되기 쉽다. 이러한 누설전류는 전기적 안정성을 훼손하여 발광 다이오드 사용을 제한한다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명이 해결하고자 하는 과제는, 패키지의 크기를 소형화할 수 있는 고전압의 발광 다이오드 패키지를 제공하는 것이다.
- [7] 본 발명이 해결하고자 하는 다른 과제는, 백색광, 특히 온백색광을 구현할 수 있는 발광 다이오드 패키지를 제공하는 것이다.
- [8] 본 발명이 해결하고자 하는 또 다른 과제는, 발광 다이오드 칩들에서 발생될 수 있는 누설 전류를 방지하여 전기적 안정성을 제공할 수 있는 발광 다이오드 패키지를 제공하는 것이다.
- [9] 본 발명이 해결하고자 하는 또 다른 과제는, 수분 침투를 완화시킬 수 있는 발광 다이오드 패키지를 제공하는 것이다.
- [10] 본 발명이 해결하고자 하는 또 다른 과제는 광 손실이 적고, 발광 다이오드의 실장 및/또는 와이어본딩의 제약이 적으면서도, 방열 효율은 높은 발광 다이오드 패키지를 제공하는 것이다.

기술적 해결방법

- [11] 상기 과제를 해결하기 위해, 본 발명에 따른 발광 다이오드 패키지는 캐비티를 갖는 패키지 본체, 직렬 연결된 복수개의 발광셀들을 갖는 발광 다이오드 칩 및 한 쌍의 리드 전극들을 포함한다. 상기 발광셀들은 상기 한 쌍의 리드 전극들 사이에서 직렬 연결된다. 복수개의 발광셀들을 갖는 발광 다이오드 칩을 실장함으로써 패키지 크기 증가를 완화할 수 있는 고전압 발광 다이오드 패키지를 제공할 수 있다.
- [12] 한편, 상기 캐비티의 바닥면에 랜딩 패드가 위치할 수 있으며, 상기 발광 다이오드 칩은 상기 랜딩 패드 상에 실장될 수 있다. 또한, 상기 랜딩 패드와 이격되어 와이어들을 연결하기 위한 본딩 패드들이 상기 캐비티의 바닥면 상에 위치할 수 있다. 이들 중 두개의 본딩 패드들은 상기 한 쌍의 리드 전극들에 각각 연결된다.
- [13] 또한, 상기 발광 다이오드 패키지는 제너 다이오드를 더 포함할 수 있다. 상기 제너 다이오드는 상기 발광 다이오드 칩에 병렬 연결된다. 나아가, 상기 두 개의 본딩 패드들 상에 각각 제너 다이오드들이 실장될 수 있다. 상기 제너 다이오드들은 서로 반대 극성으로 연결되어, 상기 발광 다이오드 칩에 병렬 연결될 수 있다. 이에 따라, 순방향 또는 역방향의 정전 방전을 방지할 수 있다.
- [14] 한편, 상기 랜딩 패드는 반사율이 높은 금속 물질로 형성될 수 있다. 따라서, 상기 랜딩 패드를 이용하여 상기 발광 다이오드 칩에서 방출된 광을 반사시킬 수 있으며, 그 결과 고효율의 발광 다이오드 패키지를 제공할 수 있다.
- [15] 한편, 상기 발광 다이오드 패키지는 상기 복수개의 발광셀들을 갖는 발광 다이오드 칩과 다른 파장의 광을 방출하는 적어도 하나의 발광 다이오드 칩을 더 포함할 수 있다. 이들 발광 다이오드 칩들 및 상기 형광체의 조합에 의해 다양한 색상의 광, 예컨대, 백색광을 구현할 수 있다.
- [16] 한편, 몰딩부가 상기 복수개의 발광셀들을 갖는 발광 다이오드 칩과 상기

- 적어도 하나의 발광 다이오드 칩을 덮을 수 있으며, 상기 형광체는 상기 몰딩부 내에 분포될 수 있다.
- [17] 상기 발광 다이오드 패키지는 서로 이격되어 상기 캐비티의 바닥면에 위치하는 복수개의 랜딩 패드들을 포함하고, 상기 복수개의 발광셀들을 갖는 발광 다이오드 칩 및 상기 적어도 하나의 발광 다이오드 칩이 각각 상기 랜딩 패드들 상에 실장될 수 있다. 또한, 이들 칩들은 상기 한 쌍의 리드 전극들 사이에서 서로 직렬 연결될 수 있다.
- [18] 상기 복수개의 발광셀들을 갖는 발광 다이오드 칩은 청색광을 방출할 수 있으며, 상기 적어도 하나의 발광 다이오드 칩은 적색광을 방출할 수 있다.
- [19] 복수개의 발광셀들이 직렬 연결된 청색 발광 다이오드 칩과 복수개의 적색 발광 다이오드 칩들을 직렬 연결함으로써 고전압 구동이 가능하며, 또한, 서로 이격된 랜딩 패드들 상에 각각 상기 발광 다이오드 칩들을 실장함으로써, 발광 다이오드 칩들에서 발생될 수 있는 누설전류를 방지할 수 있다. 나아가, 청색 발광 다이오드 칩 및 복수개의 적색 발광 다이오드 칩들과 형광체를 조합하여 고전압하에서 온백색광을 구현할 수 있다.
- [20] 상기 형광체는 상기 청색 발광 다이오드 칩 및 상기 적색 발광 다이오드 칩들 상부에 배치되어, 상기 청색 발광 다이오드 칩에서 방출된 광을 파장 변환시킴과 아울러 상기 청색 발광 다이오드 칩에서 방출된 광 및 적색 발광 다이오드 칩들에서 방출된 광을 산란시키어 광을 균일하게 혼합한다.
- [21] 본 발명의 몇몇 실시예들에 있어서, 상기 캐비티는 서로 단차진 제1 캐비티와 제2 캐비티를 포함할 수 있다. 여기서, 상기 제1 캐비티가 제2 캐비티의 아래쪽에 위치하며, 상기 랜딩패드들은 상기 제1 캐비티의 바닥면에 배치된다.
- [22] 또한, 상기 고전압 발광 다이오드 패키지는 상기 제1 캐비티에서 상기 발광 다이오드 칩들을 덮는 몰딩부, 상기 제2 캐비티의 바닥면 및 상기 몰딩부 상에 형성된 렌즈 접착제 및 상기 렌즈 접착제에 의해 패키지 본체에 접착된 렌즈를 더 포함할 수 있다. 상기 렌즈에 의해 광의 지향각을 조절할 수 있다.
- [23] 이때, 상기 형광체는 상기 몰딩부 내에 분포될 수 있다. 또한, 상기 몰딩부는 겔 타입 실리콘이고, 상기 렌즈 접착제는 듀로미터 쇼어 값이 60 이상인 고경도 실리콘일 수 있다. 겔 타입 실리콘 몰딩부와 고경도 실리콘 접착제의 조합에 의해 몰딩부와 접착제, 접착제와 렌즈 사이의 계면 특성을 강화할 수 있으며, 특히 계면 박리 및 수분 침투를 방지할 수 있다. 나아가, 수분 침투를 방지하기 위해 상기 렌즈는 글래스 렌즈인 것이 바람직하다.
- [24] 일 실시예에 따라, 상기 패키지 본체는 기판들의 적층 구조인 패키지 하부와, 그 위에 적층되고 캐비티가 형성된 패키지 상부를 포함하며, 상기 리드 전극들은 상기 패키지 하부와 상기 패키지 상부 사이에 형성된 도전성 패턴들과 전기적으로 연결되며, 상기 리드 전극들은 상기 패키지 본체의 측면을 거쳐 상기 패키지 본체의 저면까지 연장될 수 있다. 또한, 상기 패키지 본체의 측면 외곽에는 홈들이 형성되며, 상기 리드 전극들 각각은 상기 홈들 각각을 따라

상기 패키지 본체의 저면까지 연장될 수 있다. 이때, 상기 홈들은 상기 패키지 본체의 측면 모서리들에 형성될 수 있다. 또한, 상기 패키지 하부는 2층 이상으로 적층된 세라믹 기판을 포함하며, 상기 리드 전극들은 상기 2층 이상으로 적층된 세라믹 기판들을 감싸 고정하는 형태를 갖는 것이 바람직하다. 상기 패키지 하부의 저면에는 상기 한 쌍의 리드 전극들이 서로 이격된 채 넓게 형성되고, 상기 리드 전극들 사이에는 금속 방열부가 형성될 수 있다.

- [25] 일 실시예에 따라, 상기 패키지 본체는 상부 절연 기판과 상기 하부 절연 기판 상에 적층된 상부 절연 기판을 포함하며, 상기 상부 절연 기판의 상면에는 상부 도전 패턴들이 형성되고, 상기 상부 절연 기판과 상기 하부 절연 기판 사이에는 상부 비아들에 의해 상기 상부 도전 패턴들과 연결되는 중간 도전 패턴들이 형성되며, 상기 하부 절연 기판의 저면에는 하부 비아들에 의해 상기 중간 도전 패턴들과 연결되는 하부 도전 패턴들이 형성될 수 있다. 상기 상부 절연 기판과 상기 하부 절연 기판 사이 및 상기 하부 절연 기판의 저면에는 방열 히트싱크 패턴들이 각각 형성되고 상기 방열 히트싱크 패턴들은 상기 하부 절연 기판을 관통하는 열전달 비아에 의해 연결될 수 있다.
- [26] 본 발명의 다른 측면에 따라, 패키지 본체와, 상기 패키지 본체 상에 실장되는 발광 다이오드 칩을 포함하는 발광 다이오드 패키지가 제공되며, 이 발광다이오드 패키지의 패키지 본체는, 상면에 복수의 상부 도전 패턴들을 갖는 상부 절연 기판과, 저면에 복수의 하부 도전 패턴들을 갖는 하부 절연 기판과, 상기 상부 절연 기판과 상기 하부 절연 기판 사이에 개재되는 복수의 중간 도전 패턴들과, 상기 상부 도전 패턴들 각각을 상기 중간 도전 패턴들 각각에 연결하도록 상기 상부 절연 기판에 형성된 상부 비아들과, 상기 중간 도전 패턴들 각각을 상기 하부 도전 패턴들 각각에 연결하도록 상기 하부 절연 기판에 형성된 하부 비아들을 포함한다.
- [27] 일 실시예에 따라, 상기 발광 다이오드 패키지는, 상기 상부 절연 기판의 상면에 전체적으로 형성되어, 상기 발광 다이오드 칩과 상기 상부 도전 패턴들을 덮는 투광성 봉지재를 더 포함할 수 있다. 상기 투광성 봉지재는 상기 발광 다이오드 칩과 중심이 일치하는 렌즈부를 포함할 수 있다. 상기 중간 도전 패턴들 중 적어도 하나는 상기 상부 절연 기판 또는 상기 하부 절연 기판의 측면까지 연장되어 외부로 노출될 수 있다. 일 실시예에 따라, 상기 상부 절연 기판의 측면과 상기 하부 절연 기판의 측면은 동일 절단면 상에 있되, 상기 중간 도전 패턴들 중 적어도 하나는 상기 동일 절단면까지 연장되어 외부로 노출되며, 상기 상부 도전 패턴들 모두와 상기 하부 도전 패턴들 모두는 상기 동일 절단면에 미치지 않도록 영역들이 제한될 수 있다. 상기 상부 비아들 중 적어도 하나 상부 비아와 상기 하부 비아들 중 적어도 하나의 하부 비아는 상기 중간 도전 패턴들 중 적어도 하나의 중간 도전 패턴에 서로 엇갈린 채로 연결될 수 있다. 상기 상부 절연 기판의 상면에는 2개의 상부 도전 패턴이 형성될 수 있다. 상기 상부 절연 기판과 상기 하부 절연 기판 사이에는 제1 히트싱크 패턴이 형성되고, 상기 하부

절연 기판의 저면에는 제2 히트싱크 패턴이 형성되며, 상기 하부 절연 기판에는 상기 제1 히트싱크 패턴과 상기 제2 히트싱크 패턴을 연결하는 열전달 비아가 형성될 수 있다. 상기 상부 도전 패턴들은 중앙의 제1 상부 도전 패턴과 양측의 제2 상부 도전 패턴 및 제3 상부 도전 패턴을 포함할 수 있다. 상기 상부 도전 패턴들 중 적어도 하나의 상부 도전 패턴에 상기 발광 다이오드 칩의 열라인 마크가 제공되며, 상기 열라인 마크는 상기 상부 절연 기판의 상면이 상기 상부 도전 패턴 내에서 영역적으로 노출되어 형성될 수 있다. 상기 상부 절연 기판 상에는 상기 렌즈부의 위치 확인을 위한 식별 마크가 형성될 수 있다. 상기 복수의 상부 도전 패턴들, 상기 복수의 중간 도전 패턴들 및 상기 복수의 하부 도전 패턴들은 영역적인 금속 도금에 의해 형성될 수 있다.

- [28] 본 발명의 또 다른 측면에 따라, 패키지 본체와, 상기 패키지 본체 상에 실장되는 발광 다이오드 칩을 포함하는 발광 다이오드 패키지가 제공되며, 상기 패키지 본체는, 금속 도금에 의해 절연 기판의 상면에 형성되며, 상기 발광 다이오드 칩이 다이 어태칭되거나 본딩 와이어에 의해 상기 발광 다이오드 칩과 전기적으로 연결되는 복수의 상부 도전 패턴들과, 금속 도금에 의해 상기 절연 기판의 저면에 형성되는 복수의 하부 도전 패턴들과, 상기 상부 도전 패턴들 각각으로부터 상기 절연 기판의 내부를 지나 상기 하부 도전 패턴들 각각에 연결되는 도전 재료들과, 금속 도금에 의해 상기 절연 기판의 저면에 형성되며, 상기 상부 도전 패턴들과는 전기적으로 분리되어 있는 히트싱크 패턴을 포함할 수 있다. 또한, 상기 절연 기판은 상면에 상기 상부 도전 패턴들이 형성되고 저면에 상기 하부 도전 패턴들이 형성된 단일 세라믹 기판으로 이루어진다. 일 실시예에 따라, 상기 절연 기판은, 상면에 상기 상부 도전 패턴들이 형성되는 상부 세라믹 기판과, 저면에 상기 하부 도전 패턴들이 형성된 하부 세라믹 기판의 적층 구조를 포함할 수 있다.

- [29] 본 발명의 또 다른 측면에 따른 발광 다이오드 패키지는, 랜딩 패드를 포함하는 도전성 패턴들이 세라믹 기판과 상기 세라믹 기판 아래에 배치되는 하나 이상의 다른 세라믹 기판을 포함하는 패키지 본체와, 상기 랜딩 패드 상에 실장되는 발광 다이오드 칩과, 상기 도전성 패턴들 중 적어도 일부 도전성 패턴들에 연결된 채 상기 패키지 본체의 측면을 거쳐 상기 패키지 본체의 저면까지 연장된 리드 전극들을 포함한다. 일 실시예에 따라, 상기 발광 다이오드 칩은 직렬 연결된 복수의 발광셀을 포함할 수 있다. 또한, 상기 리드 전극들 각각은 상기 패키지 본체의 측면 모서리들 각각을 따라 상기 패키지 본체의 저면까지 연장될 수 있다. 또한, 상기 패키지 본체의 측면 모서리들 각각에 상기 리드 전극들 각각을 수용하는 홈들이 형성될 수 있다.

유리한 효과

- [30] 복수개의 발광셀들이 직렬 연결된 발광 다이오드 칩을 채택함으로써 고전압 구동이 가능하며, 패키지의 크기가 증가하는 것을 완화할 수 있다. 또한,

복수개의 발광셀들이 직렬 연결된 발광 다이오드 칩 및 그것과 다른 파장의 광을 방출하는 발광 다이오드 칩을 조합함으로써 다양한 색상의 광을 구현할 수 있다. 또한, 서로 이격된 랜딩 패드들 상에 각각 상기 발광 다이오드 칩들을 실장함으로써, 발광 다이오드 칩들에서 발생될 수 있는 누설전류를 방지할 수 있다. 상기 랜딩 패드들은 발광 다이오드 칩들에서 발생된 열을 분산시킴으로써 발광 다이오드 패키지의 방열 특성을 향상시킨다. 나아가, 청색 발광 다이오드 칩 및 복수개의 적색 발광 다이오드 칩들과 형광체를 조합하여 고전압하에서 고출력의 백색광, 특히 온백색광을 구현할 수 있다. 또한, 젤 타입의 실리콘 몰딩부와 고정도 실리콘 접착제 및 글래스 렌즈를 채택함으로써, 외부에서 수분이 유입되는 것을 방지할 수 있다.

[31] 본 발명에 따르면 패키지 하부와 패키지 상부로 이루어진 패키지 본체를 이용하고, 패키지 하부와 패키지 상부 사이에 랜딩 패드(들)와 본딩 패드(들) 등의 도전성 패턴들을 포함하는 중간층을 개재하되, 도전성 패턴들 중 적어도 일부의 패턴들이 패키지 본체의 측면을 따라 패키지 본체의 하부까지 연장됨으로써, 도전성 패턴들의 외부 노출에 의한 방열 성능의 향상이 가능하고, 더 나아가, 그 도전성 패턴들이 패키지 하부, 특히, 2층 이상의 절연 기판(또는, 세라믹 기판)들을 감싸 고정하는 형태를 가져, 패키지 본체 하부의 보다 견고한 고정을 기할 수 있다.

[32] 또한, 본 발명의 한 실시예에 따르면, 방열 기판 구조의 패키지 본체 상면에 발광 다이오드 칩이 직접 실장되고, 그 상면에서 발광 다이오드 칩(들) 및/또는 제어다이오드(들) 와이어본딩이 이루어지므로, 발광 다이오드 칩(들)의 및/또는 제어다이오드(들)의 실장 및/또는 와이어본딩에 따른 공간적인 제약이 적다. 또한, 기판 형태의 패키지 본체는 상부 절연 기판과 하부 절연 기판을 포함하므로, 상기 절연 기판과 하부 절연 기판 사이에서 다른 방향으로의 방열 경로들이 추가로 생겨, 방열 효율이 높아진다. 또한, 중간 도전 패턴들에 의해 방열 경로를 늘리거나 방열 영역을 확대시키는 것이 가능하다. 중간 도전 패턴들은 열이 비아 또는 그 부근의 절연 기판에 열이 집중되는 것을 막아줄 수 있다. 하나의 중간 도전 패턴을 매개로 연결되는 상부 비아와 하부 비아를 서로 엇갈리기 위치시킴으로써, 절연 기판 내에 방열 경로를 더 늘리거나 방열 경로의 면적을 더 확장시키는 것이 가능하다. 중간 도전 패턴이 상기 상부 절연 기판 또는 하부 절연 기판 측면까지 연장되어 외부로 노출됨으로써, 대류에 의한 방열 효과를 높일 수 있다. 이때, 상기 방열 기판 구조의 패키지 본체는 다이싱 공정에 하나의 큰 기판으로 여러개로 분리하여 제작될 수 있는데, 상부 도전 패턴들과 하부 도전 패턴들이 다이싱에 의한 절단면에 미치지 않도록 그 영역들이 제한됨으로써, 상기 도전 패턴들이 손상되거나 떨어지는 것을 방지할 수 있다.

도면의 간단한 설명

[33] 도 1은 본 발명의 일 실시예에 따른 고전압 발광 다이오드 패키지를 설명하기

위한 평면도.

- [34] 도 2는 도 1의 절취선 A-A를 따라 취해진 단면도.
- [35] 도 3은 도 1의 발광 다이오드 패키지의 등가 회로도.
- [36] 도 4는 본 발명의 제2 실시예에 따른 고전압 발광 다이오드 패키지를 설명하기 위한 평면도.
- [37] 도 5에 도 4에 도시된 고전압 발광 다이오드 패키지의 패키지 본체를 보다 자세 설명하기 위한 단면도.
- [38] 도 6은 도 4에 도시된 발광다이오드 패키지의 저면을 도시한 저면도.
- [39] 도 7은 본 발명의 제3 실시예에 따른 발광 다이오드 패키지를 도시한 단면도.
- [40] 도 8은 본 발명의 제3 실시예에 따른 발광 다이오드 패키지를 봉지재가 제거된 상태로 도시한 평면도.
- [41] 도 9의 (a)는 도 7에 도시된 발광 다이오드 패키지의 중간 도전 패턴들과 하부 도전 패턴들을 보인 하부 절연 기판의 평면도.
- [42] 도 9의 (b)는 도 7에 도시된 발광 다이오드 패키지의 중간 도전 패턴들과 하부 도전 패턴들을 보인 하부 절연 기판의 저면도.
- [43] 도 10은 본 발명의 다른 형태에 따른 패키지 본체를 도시한 단면도.
- [44] 도 11의 (a), (b) 및 (c)는 패키지 본체의 각 층들을 설명하기 위한 도면들.
- [45] 도 12는 본 발명의 또 다른 형태에 따른 패키지 본체를 도시한 단면도.
- [46] 도 13의 (a) 및 (b)는 도 12에 도시된 패키지 본체의 평면도 및 저면도.

발명의 실시를 위한 최선의 형태

- [47] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명된 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [48]
- [49] 도 1은 본 발명의 제1 실시예에 따른 고전압 발광 다이오드 패키지를 설명하기 위한 평면도이고, 도 2는 도 1의 절취선 A-A를 따라 취해진 단면도이고, 도 3은 도 1의 발광 다이오드 패키지의 등가 회로도이다.
- [50] 도 1 및 도 2를 참조하면, 상기 발광 다이오드 패키지는 패키지 본체(21), 복수개의 랜딩 패드들(23), 청색 발광 다이오드 칩(30a), 복수개의 적색 발광 다이오드 칩들(30b), 형광체 및 한 쌍의 리드 전극들(29a, 29b)을 포함한다. 또한, 상기 발광 다이오드 패키지는 본딩 패드들(25, 25a, 25b), 와이어들, 몰딩부(31), 접착제(33) 및 렌즈(35)를 더 포함할 수 있다.
- [51] 패키지 본체(21)는 세라믹 또는 플라스틱으로 형성될 수 있으며, 내열 특성 및

전기적 안정성을 위해 세라믹으로 형성되는 것이 바람직하다. 상기 패키지 본체(21)는 제1 캐비티(21a)와 제1 캐비티에서 단차지게 형성된 제2 캐비티(21b)를 가질 수 있다.

- [52] 복수개의 랜딩 패드들(23)이 상기 패키지 본체(21)의 제1 캐비티(21a) 바닥면에 위치한다. 도시한 바와 같이, 제1 캐비티(21a)의 중앙 영역에 하나의 랜딩 패드가 위치하고, 그 주위에 랜딩 패드들이 배치될 수 있다. 이들 랜딩 패드들(23)은 서로 이격되어 제1 캐비티(21a)의 바닥면에 배치된다. 랜딩 패드들(23)은 Ag, Al이나 Cu와 같은 고반사율을 갖는 금속 물질로 형성될 수 있다.
- [53] 한편, 상기 제1 캐비티(21a)의 바닥면에 본딩 패드들(25)이 배치될 수 있다. 이들 본딩 패드들(25)은 상기 랜딩 패드들(23)과 이격되어 배치되며, 랜딩 패드들(23) 사이에 위치한다. 상기 본딩 패드들(25)은 상기 랜딩 패드들(23)과 동일한 금속 물질로 형성될 수 있으나, 이에 한정되는 것은 아니며, 랜딩 패드들(23)과 다른 도전성 물질로 형성될 수도 있다. 상기 본딩 패드들(25) 중 두개의 본딩 패드들(25a, 25b)은 패키지 본체(21)의 외부에 노출된 리드 전극들(29a, 29b)에 전기적으로 연결되어 있다.
- [54] 리드 전극들(29a, 29b)은 패키지 본체(21)의 바닥면에 위치하여 외부 전원으로부터 전력을 공급받는다. 또한, 상기 리드 전극들(29a, 29b)은 브리지 정류기에 연결될 수 있다.
- [55] 청색 발광 다이오드 칩(30a)은 단일 기판 상에 서로 직렬 연결된 복수개의 발광셀들(30d)을 갖는다. 상기 청색 발광 다이오드 칩(30a)은 예컨대 12개의 발광셀들을 가질 수 있다. 상기 직렬 연결된 발광셀들의 양단에는 와이어들을 본딩하기 위한 패드들이 제공된다. 이러한 청색 발광 다이오드 칩(30a)은 AlInGaN계 화합물 반도체로 이루어진 발광셀들을 가지며, 이들 발광셀들은 배선들에 의해 서로 직렬 연결된다. 상기 발광셀들은 InGaN층을 포함하는 활성영역을 가지어 청색광을 방출할 수 있다. 상기 청색 발광 다이오드 칩(30a)은 제1 캐비티(21a)의 중앙 영역에 위치하는 랜딩 패드(23) 상에 실장된다.
- [56] 한편, 복수개의 적색 발광 다이오드 칩들(30b)이 상기 중앙 영역에 위치하는 랜딩 패드 주위의 랜딩 패드들(23) 상에 각각 실장된다. 따라서 적색 발광 다이오드 칩들(30b)은 청색 발광 다이오드 칩(30a) 주위에 배치된다. 상기 적색 발광 다이오드 칩들(30b)은 AlGaInP계 또는 AlGaAs계 화합물 반도체로 이루어진 활성 영역을 가지어 적색광을 방출할 수 있다.
- [57] 상기 청색 발광 다이오드 칩(30a) 및 적색 발광 다이오드 칩들(30b)은 와이어들을 통해 본딩 패드들(25a, 25b) 사이에서 서로 직렬 연결된다. 여기서, 직렬 연결은 그 양단에 전압이 인가되었을 때 순방향 전류가 흐를 수 있도록 발광 다이오드 칩들(30a, 30b)이 연결된 것을 의미한다. 즉, 와이어들이 발광 다이오드 칩들(30a, 30b)과 본딩 패드들(25, 25a, 25b)을 서로 연결하여 본딩 패드(25a)와 본딩 패드(25b)에 순방향 전압이 인가되었을 때 상기 발광 다이오드 칩들(30a, 30b)이 구동된다.

- [58] 한편, 상기 발광 다이오드 칩들(30a, 30b)을 보호하기 위해 제너 다이오드(30c)가 실장될 수 있다. 제너 다이오드(30c)는 상기 발광 다이오드 칩들(30a, 30b)에 병렬 연결되어 정전 방전으로부터 상기 발광 다이오드 칩들을 보호한다. 도 3에 도시한 바와 같이, 두 개의 제너 다이오드들(30c)이 서로 반대극성으로 연결되어 상기 발광 다이오드 칩들에 병렬로 연결될 수 있다. 이때, 상기 제너 다이오드들(30)은 본딩 패드들(25a, 25b) 상에 실장될 수 있다. 상기 제너 다이오드들(30c)은 와이어가 본딩되는 패드들이 서로 다른 면측에 위치하는 수직형 구조이므로, 하나의 패드는 본딩 패드에 연결된다. 따라서 위쪽에 위치하는 패드들을 와이어로 서로 연결함으로써 반대극성으로 연결된 제너 다이오드들을 제공할 수 있다.
- [59] 한편, 몰딩부(31)가 상기 제1 캐비티(21a) 내의 발광 다이오드 칩들(30a, 30b)을 덮는다. 상기 몰딩부(31)는 광 투과성 재료로 형성되며, 예컨대 에폭시나 실리콘으로 형성될 수 있다. 고전압 구동시 발광 다이오드 칩들(30a, 30b)에서 많은 열이 발생될 수 있으며, 이 열에 의해 몰딩부(31)에 열적 스트레스가 가해질 수 있다. 따라서, 상기 몰딩부(31)는 열적 스트레스에 안정하도록 예컨대 겔 타입 실리콘인 것이 바람직하다.
- [60] 상기 몰딩부(31) 내에 형광체가 분포될 수 있다. 상기 형광체는 청색 발광 다이오드 칩(30a)에서 방출된 광의 일부를 파장변환시킨다. 예컨대, 상기 형광체는 녹색 형광체 또는 황색 형광체일 수 있다. 상기 형광체는 또한 청색 발광 다이오드 칩(30a) 및 적색 발광 다이오드 칩들(30b)에서 방출된 광을 산란시키어 이들 광을 혼합한다. 또한, 광 혼합을 위해, 상기 몰딩부(31) 내에 확산제가 분포될 수도 있다.
- [61] 상기 몰딩부(31) 상에 렌즈 접착제(33)를 통해 렌즈(35)가 접착된다. 상기 렌즈 접착제(33)는 몰딩부(31)와 렌즈(35) 사이의 계면 특성을 향상시키기 위해 고경도 실리콘인 것이 바람직하다. 예컨대, 상기 고경도 실리콘은 듀로미터 쇼어 60 이상인 것이 바람직하다. 한편, 실리콘의 경도는 일반적으로 듀로미터 쇼어 100을 넘지 못한다.
- [62] 상기 렌즈(35)는 플라스틱 렌즈일 수 있으나, 수분 침투를 방지하기 위해 글래스 렌즈인 것이 바람직하다. 상기 렌즈(35)는 제2 캐비티(21b) 상에 접착되며, 렌즈의 측면부에도 렌즈 접착제(33)가 접착되어 수분 침투를 방지한다. 상기 렌즈 접착제(33)는 제2 캐비티(21b)의 내벽과 렌즈(35) 사이를 채우며, 일부가 렌즈의 상부 곡면을 따라서 위로 올라간다. 이에 따라, 렌즈(35)와 제2 캐비티(21b)의 내벽 사이를 통해 수분이 침투하는 것을 방지하며, 또한 렌즈(35)를 패키지 본체(21)에 강하게 고정시킬 수 있다.
- [63] 본 실시예에 있어서, 상기 적색 발광 다이오드 칩들(30b)은 와이어가 본딩되는 패드들이 동일면 측에 위치하는 2본딩 다이를 나타내지만, 서로 다른 면 측에 위치하는 1본딩 다이를 수도 있다. 이 경우, 본딩 패드들(25)은 생략될 수 있으며, 와이어들은 랜딩 패드들과 적색 발광 다이오드 칩들(30b)을 연결할 수 있다.

- [64] 본 실시예에 있어서, 형광체가 상기 몰딩부(31) 내에 분포된 것으로 설명하였지만, 이에 한정되는 것은 아니다. 예컨대, 상기 형광체는 상기 몰딩부(31) 상부에 위치할 수도 있다.
- [65] 본 실시예에 있어서, 청색 발광 다이오드 칩(30a)과 적색 발광 다이오드 칩들(30b)을 예로서 설명하였으나, 이에 한정되는 것은 아니며, 특정한 색상의 광을 구현하기 위해 서로 다른 파장의 광을 방출하는 발광 다이오드 칩들이 서로 조합되어 사용될 수 있다. 나아가, 직렬연결된 복수개의 발광셀들을 갖는 발광 다이오드 칩이 단독으로 사용될 수도 있다.
- [66] 도 3은 도 1의 발광 다이오드 패키지의 등가회로도이다.
- [67] 도 3을 참조하면, 리드 전극들(29a, 29b) 사이에서 청색 발광 다이오드 칩(30a) 및 적색 발광 다이오드 칩들(30b)이 직렬 연결되어 있다. 상기 청색 발광 다이오드 칩(30a)은 직렬 연결된 복수개의 발광셀들(30d)을 포함한다. 예컨대, 12개의 발광셀들(30d)이 단일 기관 상에서 직렬 연결될 수 있으며, 상기 청색 발광 다이오드 칩(30a)의 양 옆에 각각 3개의 적색 발광 다이오드 칩들(30b)이 연결되어 있다. 그러나 발광셀들 및 적색 발광 다이오드 칩들의 개수는 특별히 한정되는 것은 아니며, 인가되는 전압에 따라, 더 많은 수의 발광셀들을 갖는 청색 발광 다이오드 칩 및 적색 발광 다이오드 칩들이 패키지 내에 실장될 수 있다. 다만, 현재의 발광 다이오드 칩들의 광 효율 및 형광체의 변환 효율을 고려하여 발광셀의 개수와 적색 발광 다이오드 칩들의 개수의 비율은 약 2:1인 것이 온백색광을 구현하기 위해 바람직하다.
- [68] 또한, 청색 발광 다이오드 칩(30a)이 청색 발광 다이오드 칩들의 중간에 연결되는 것으로 도시하였지만, 이들 칩들(30a, 30b)이 직렬 연결되는 한, 회로 내에서 그 위치는 특별히 한정되지 않는다.
- [69] 한편, 제너 다이오드들(30c)이 상기 발광 다이오드 칩들(30a, 30b)에 병렬 연결되어 있다. 이때, 제너 다이오드들(30c)은 서로 반대 극성으로 연결된다. 따라서, 상기 발광 다이오드 칩들(30a, 30b)에 정전기와 같은 순간적인 고전압이 순방향 또는 역방향 어느 쪽으로 인가되어도, 상기 제너 다이오드들(30c)에 의해 정전 방전을 방지하여 발광 다이오드 패키지를 보호할 수 있다.
- [70] 직렬 연결된 발광 다이오드 칩들의 양쪽 단자, 예컨대 리드 전극들(29a, 29b)는 브리지 정류기(도시하지 않음)에 전기적으로 연결될 수 있으며, 따라서 상기 발광 다이오드 패키지는 고전압 교류 전원하에서 구동될 수 있다.
- [71]
- [72] 도 4는 본 발명의 제2 실시예에 따른 고전압 발광 다이오드 패키지를 설명하기 위한 평면도이고, 도 5에 도 4에 도시된 고전압 발광 다이오드 패키지의 패키지 본체를 보다 자세 설명하기 위한 단면도이며, 도 6은 도 4에 도시된 발광 다이오드 패키지의 저면을 도시한 저면도이다.
- [73] 도 4를 참조하면, 본 실시예의 발광 다이오드 패키지는 패키지 본체(121), 복수개의 랜딩 패드들(123), 청색 발광 다이오드 칩(30a), 복수개의 적색 발광

다이오드 칩들(30b), 형광체(미도시) 및 한 쌍의 리드 전극들(129a, 129b)을 포함한다. 또한, 상기 발광 다이오드 패키지는 본딩 패드들(125, 125a, 125b) 및 와이어들(W)들을 포함할 수 있다. 도시하지는 않았지만, 본 실시예의 발광다이오드 패키지는 앞선 실시예에서 설명된 것과 같은, 몰딩부(31), 접착제(33) 및 렌즈(35)를 더 포함할 수 있다(도 2 참조).

[74] 본 실시예에서 상기 패키지 본체(121)는 세라믹 적층 구조로 형성된다. 상기 패키지 본체(121)이 세라믹 적층 구조는 도 5에 잘 도시되어 있다.

[75] 도 5를 참조하면, 상기 패키지 본체(121)는 패키지 하부(1212)와 패키지 상부(1214)를 포함하며, 상기 패키지 하부(1212)와 상기 패키지 상부(1214) 사이에는 도전성 패턴들과 절연 재료가 함께 있는 중간층(1215)이 개재된다. 상기 패키지 하부(1212)는 제1 세라믹 기판(1212a)과 제2 세라믹 기판(1212b)의 2층 구조로 되어 있다. 그러나, 상기 패키지 하부(1212)가 하나의 절연성 기판으로 이루어지거나, 또는 3개 이상의 절연 기판이 적층된 복층 구조로도 형성될 수 있다. 상기 패키지 상부(1214)는 제3 세라믹 기판(1214a)과 그 위에 적층된 제4 세라믹 기판(1214b)을 포함한다. 이때, 상기 제3 세라믹 기판(1214a)은 중앙에 캐비티를 구비하며, 그 캐비티 내에 발광다이오드 칩들을 수용하는 캐비티 벽으로서의 역할을 한다. 상기 캐비티 벽의 내면(R)은 경사지게 형성되며, 상기 내면(R)에는 반사부, 특히, 금속 반사층이 형성될 수 있다.

[76] 상기 제4 세라믹 기판(1214b)은, 상기 제3 세라믹 기판(1214a)의 크기보다 작은 크기의 캐비티를 구비하여, 상기 그 캐비티들의 크기 차이에 의해, 상기 제3 세라믹 기판(1214b)과의 사이에 단차부(S)를 형성하며, 그 단차부(S)에는 렌즈(미도시됨)가 신뢰성 있게 끼워져 장착될 수 있다.

[77] 한편, 상기 칩 실장층(1215)의 도전성 패턴들은 도 4에 도시된 것과 같은 랜딩 패드(123)와 본딩 패드(125, 125a, 125b)들을 포함한다. 한 쌍의 리드 전극들(129a, 129b) 각각은, 상기 패키지 하부(1214) 상에 있는 도전성 패턴들 중 해당 도전성 패턴에 연결된 채, 상기 패키지 하부(1214)의 측면 외곽, 특히, 패키지 하부(1214)의 측면 모서리를 따라 상기 패키지 하부(1214)의 저면, 즉, 패키지 본체(121)의 저면까지 이어져서, 그 저면에 넓게 형성된다.

[78] 도 6을 참조하면, 상기 한 쌍의 리드 전극들(129a, 129b)은 상기 패키지 본체의 저면에서 서로 이격된 채 넓게 형성되어, 예컨대, PCB 기판(미도시됨) 상의 도전성 랜드 패턴(미도시됨)들과 솔더링 공정에 의해 연결될 수 있다. 본 실시예에서, 상기 한 쌍의 리드 전극들(129a, 129b)은 패키지 본체의 저면에서 좌우 양측으로 이격되어 있고, 그들 사이, 즉, 상기 패키지 본체의 저면 중앙 영역에는 금속 패턴으로 된 방열부(120)가 형성된다. 상기 패키지 본체(121)의 저면에서, 상기 방열부(120)가 상기 한 쌍의 리드 전극(129a, 129b)들에 대해 이격되어 있음은 물론이다.

[79] 도 4 내지 도 6을 참조하면, 패키지 본체(121)의 측면 네개의 모서리들 각각에 상하로 이어진 모서리 홈(g)들이 형성되되, 상기 한 쌍의 리드 전극들(129a,

129b)은 상기 패키지 하부(1212)의 상면으로부터 상기 패키지 하부(1212)의 저면까지 상기 모서리 홈(g)들을 통해 연장된다. 상기 리드 전극들(129a, 129b)들은, 상기 모서리 홈(g)들 내에서 패키지 본체(121)의 측면으로 노출되므로, 발광다이오드 패키지의 방열 성능을 향상시키는데 기여한다. 또한, 상기 리드 전극(129a, 129b)들은, 패키지 하부(1212)의 상면으로부터 상기 패키지 하부(1212)의 저면까지 복수의 세라믹 기판(1212a, 1212b)들로 된 패키지 하부(1212)를 감싸 안는 형태로 연장되므로, 상기 패키지 하부를 구성하는 상기 세라믹 기판(1212a, 1212b)들을 더 견고하게 고정한다.

- [80] 상기 패키지 본체(121)의 캐비티 바닥면은 상기 패키지 하부(1212)와 상기 패키지 상부(1214)의 경계면에 있을 수 있으며, 그 경계면에는 중간층(1215)이 존재한다. 상기 중간층(1215)은, 앞에서 설명한 바와 같이, 상기 랜딩 패드(123)들과 상기 본딩 패드(125, 125a, 125b)를 포함하는 도전성 패턴을 포함하며, 따라서, 상기 랜딩 패드(123)들과 상기 본딩 패드(125, 125a, 125b)들은 패키지 본체(121)의 캐비티 바닥면 상에 위치하고 있다.
- [81] 도 4에 잘 도시된 바와 같이, 캐비티(C) 바닥의 중앙 영역에 하나의 랜딩 패드(123)가 위치하고, 그 주위에 다른 랜딩 패드(123)들이 배치될 수 있다. 이들 랜딩 패드(123)들은 서로 이격된 채로 캐비티(C)의 바닥면에 배치된다. 랜딩 패드들(123)은 Ag, Al이나 Cu와 같은 고반사율을 갖는 금속 물질로 형성될 수 있다.
- [82] 앞선 제2 실시예와 마찬가지로, 상기 캐비티(C)의 바닥면에 본딩 패드들(125, 125a, 125b)이 배치될 수 있다. 이들 본딩 패드들(125, 125a, 125b)은 상기 랜딩 패드들(123)과 이격되어 배치되며, 랜딩 패드들(123) 사이에 위치한다. 상기 본딩 패드들(125, 125a, 125b)은 상기 랜딩 패드들(123)과 동일한 금속 물질로 형성될 수 있으나, 이에 한정되는 것은 아니며, 랜딩 패드들(123)과 다른 도전성 물질로 형성될 수도 있다. 상기 본딩 패드들(125, 125a, 125b) 중 두개의 본딩 패드들(125a, 125b)은 상기 패키지 본체(121)의 측면 및 저면으로 노출된 리드 전극들(129a, 129b)에 전기적으로 연결되어 있다.
- [83] 앞선 제1 실시예와 마찬가지로, 상기 리드 전극들(129a, 129b)은 패키지 본체(121)의 저면에 위치하여 외부 전원으로부터 전력을 공급받는다. 또한, 상기 리드 전극들(129a, 129b)은 브리지 정류기에 연결될 수 있다.
- [84] 이때, 상기 청색 발광 다이오드 칩(30a)은 앞선 제1 실시예와 마찬가지로 단일 기판 상에 서로 직렬 연결된 복수개의 발광셀(30d; 도 3 참조)들을 포함할 수 있다. 직렬 연결된 발광셀들의 양단에는 와이어들을 본딩하기 위한 패드들이 제공된다. 이러한 청색 발광 다이오드 칩(30a)은 AlInGaN계 화합물 반도체로 이루어진 발광셀들을 가지며, 이들 발광셀들은 배선들에 의해 서로 직렬 연결된다. 상기 발광셀들은 InGaN층을 포함하는 활성영역을 가지어 청색광을 방출할 수 있다. 도 4에 도시된 바와 같이, 상기 청색 발광 다이오드 칩(30a)은 캐비티의 중앙 영역에 위치하는 랜딩 패드(125) 상에 실장된다.

- [85] 한편, 복수개의 적색 발광 다이오드 칩들(30b)이 상기 중앙 영역에 위치하는 랜딩 패드 주위의 랜딩 패드들(125) 상에 각각 실장된다. 따라서 적색 발광 다이오드 칩들(30b)은 청색 발광 다이오드 칩(30a) 주위에 배치된다. 상기 적색 발광 다이오드 칩들(30b)은 AlGaInP계 또는 AlGaAs계 화합물 반도체로 이루어진 활성 영역을 가지어 적색광을 방출할 수 있다.
- [86] 상기 청색 발광 다이오드 칩(30a) 및 적색 발광 다이오드 칩들(30b)은 와이어들을 통해 본딩 패드들(125a, 125b) 사이에서 서로 직렬 연결된다. 여기서, 직렬 연결은 그 양단에 전압이 인가되었을 때 순방향 전류가 흐를 수 있도록 발광 다이오드 칩들(30a, 30b)이 연결된 것을 의미한다. 즉, 와이어들이 발광 다이오드 칩들(30a, 30b)과 본딩 패드들(125, 125a, 125b)을 서로 연결하여 본딩 패드(125a)와 본딩 패드(125b)에 순방향 전압이 인가되었을 때 상기 발광 다이오드 칩들(30a, 30b)이 구동된다(도 3 참조).
- [87] 한편, 상기 발광 다이오드 칩들(30a, 30b)을 보호하기 위해 제너 다이오드(30c)가 실장될 수 있다. 제너 다이오드(30c)는 상기 발광 다이오드 칩들(30a, 30b)에 병렬 연결되어 정전 방전으로부터 상기 발광 다이오드 칩들을 보호한다. 앞선 실시예와 마찬가지로, 두 개의 제너 다이오드들(30c)이 서로 반대극성으로 연결되어 상기 발광 다이오드 칩들에 병렬로 연결될 수 있다(도 3 참조). 이때, 상기 제너 다이오드들(30c)은 본딩 패드들(125a, 125b) 상에 실장될 수 있다. 상기 제너 다이오드들(30c)은 와이어가 본딩되는 패드들이 서로 다른 면측에 위치하는 수직형 구조이므로, 하나의 패드는 본딩 패드에 연결된다. 따라서 위쪽에 위치하는 패드들을 와이어로 서로 연결함으로써 반대극성으로 연결된 제너 다이오드들을 제공할 수 있다.

발명의 실시를 위한 형태

- [88] 도 7은 본 발명의 제3 실시예에 따른 발광다이오드 패키지를 도시한 단면도이고, 도 8는 본 발명의 제3 실시예에 따른 발광다이오드 패키지를 봉지재가 제거된 상태로 도시한 평면도이며, 도 9의 (a) 및 (b)는 본 실시예에 따른 발광다이오드 패키지의 패키지 본체에 구비된 금속 패턴들 및 리드 전극들을 설명하기 위한 도면들이다.
- [89] 도 7을 참조하면, 본 실시예에 따른 발광다이오드 패키지는 방열 기관의 역할을 하는 패키지 본체(221)와, 상기 패키지 본체(221) 상에 실장되는 발광다이오드 칩(220)을 포함한다. 또한, 상기 발광다이오드 패키지는 패키지 본체(221)의 상면을 전체적으로 덮는 투광성 봉지재(231)를 포함한다. 상기 투광성 봉지재(231)는 실리콘 수지를 몰딩하여 형성되는 것이 바람직하다. 하지만, 상기 투광성 봉지재(231)는 에폭시 수지 등 다른 종류의 투광성 수지에 의해 형성될 수 있다. 상기 투광성 봉지재(231)는 상기 발광다이오드 칩(220)과 중심이 일치하는 볼록한 렌즈 형상을 포함할 수 있다.
- [90] 상기 패키지 본체(210)는 절연성의 세라믹 재질로 형성된 상부 기관(211; 이하

'상부 절연 기판'이라 함)과 절연성의 세라믹 재질로 형성된 하부 기판(212; 이하 '하부 절연 기판'이라 함)을 포함한다. 상기 상부 절연 기판(211)과 상기 하부 절연 기판(212)은 상하로 적층되어 있다. 상기 절연 기판들의 적층에는 접착물질이 이용될 수 있다. 상기 상부 절연 기판(211)의 상면에는 랜딩 패드로서의 역할을 하는 제1 상부 도전 패턴(213a)과 본딩 패드로서의 역할을 하는 제2 상부 도전 패턴(213b)이 서로 이격되어 형성된다. 상기 제1 및 제2 상부 도전 패턴(213a, 213b)은 Au 또는 Ag 등의 금속을 상기 상부 절연 기판(211)의 상면에 도금하여 형성될 수 있다.

- [91] 본 실시예에서, 상기 발광다이오드 칩(220)은 상단과 하단에 각각 전극들을 구비한 수직형 구조를 포함한다. 상기 발광다이오드 칩(220)은 상기 제1 상부 도전 패턴(213a)에 다이 어태칭되어, 상기 발광다이오드 칩(220)의 하단 전극이 상기 제1 상부 도전 패턴(213a)과 연결된다. 상기 발광다이오드 칩(220)의 상단 전극은 본딩 와이어(W)에 의해 상기 제2 상부 도전 패턴(213b)과 전기적으로 연결된다. 상기 발광다이오드 칩(220)은 상부에 p형 전극과 n형 전극을 모두 포함하는 래터럴(lateral) 형일 수 있으며, 이 경우, 발광다이오드 칩(220)의 p형 및 n형 전극을 상기 상부 도전패턴들 각각에 연결하기 위한 복수의 본딩 와이어들이 요구된다.
- [92] 도 8을 참조하면, 상부 도전 패턴들(213a, 213b)은 상기 상부 절연 기판(211)의 상면에 원형의 영역을 함께 한정하는 형상으로 형성된다. 그리고, 상기 원형의 영역 주위로 봉지재의 렌즈부(231; 도 13 참조)가 형성되는 위치를 확인 또는 식별하기 위한 식별 마크(2112)들이 형성된다. 상기 식별 마크(2112)는 상기 상부 절연 기판(211)에 블랙 실크 인쇄를 하여 형성될 수 있다.
- [93] 또한, 발광다이오드 패키지의 제조 공정에서 발광다이오드 칩을 정확하게 정렬하기 위해 또는 발광다이오드 칩의 정렬 불량을 찾아내기 위해, 얼라인 마크(2132)가 상기 제1 상부 도전 패턴(213a)에 형성된다. 상기 얼라인 마크(2132)는 상기 상부 도전 패턴(213a) 내 일부 영역에 의도적으로 도금을 하지 않음으로써, 도금되지 않은 영역의 절연 기판이 외부로 노출되는 것에 의해 형성된다. 예컨대, 얼라인 마크(2132)가 형성될 영역을 마스크 등으로 가린 후, 도금을 하면, 도금되지 않은 영역이 얼라인 마크(2132)로 남는다. 본 실시예에서, 상기 제1 상부 도전 패턴(213a)에는 제너다이오드(222)가 실장되며, 제너다이오드(222)와 제2 상부 도전 패턴(213b)은 본딩 와이어(W)에 의해 연결되어 있다. 두개의 본딩 와이어(W, W)가 상기 발광다이오드 칩(220)의 두 전극들과 제2 상부 도전 패턴(213b)을 연결하는 것으로 도시되어 있지만, 본딩 와이어의 개수가 본 발명을 한정하는 것은 아니다.
- [94] 다시 도 7을 참조하면, 하부 절연 기판(212)의 저면에는 리드 전극들의 말단 단자들로서의 역할을 하는 제1 하부 도전 패턴(215a)과 제2 하부 도전 패턴(215b)이 형성된다. 상기 하부 도전 패턴(215a, 215b)들은 Ag 도금에 의해 형성되는 것이 바람직하다. 그러나, 상기 하부 도전 패턴(215a, 215b)이 Ag가

아닌 다른 임의의 금속으로 형성될 수 있음은 물론이다. 또한, 상기 상부 절연 기판(211)과 하부 절연 기판(212)의 사이에는 제1 중간 도전 패턴(214a)과 제2 중간 도전 패턴(214b)이 형성된다. 상기 제1 및 제2 중간 도전 패턴들(214a, 214b)은 Au 도금 또는 Ag 도금에 의해 형성되는 것이 바람직하다.

- [95] 상기 제1 상부 도전 패턴(213a)과 상기 제1 중간 도전 패턴(214a)은 상기 상부 절연 기판(211)을 수직으로 관통하는 제1 상부 비아(216a)에 의해 연결되며, 제1 중간 도전 패턴(214a)과 상기 제1 하부 도전 패턴(215a)은 상기 하부 절연 기판(212)을 수직으로 관통하는 제1 하부 비아(217a)에 의해 연결된다. 또한, 상기 제2 상부 도전 패턴(213b)과 상기 제1 중간 도전 패턴(214b)은 상기 상부 절연 기판(211)을 수직으로 관통하는 제1 상부 비아(216b)에 의해 연결되며, 제1 중간 도전 패턴(214b)과 상기 제1 하부 도전 패턴(215b)은 상기 하부 절연 기판(212)을 수직으로 관통하는 제2 하부 비아(217b)에 의해 연결된다. 제1 및 제2 상부 비아(216a, 216b) 그리고 제1 및 제2 하부 비아(217a, 217b)는 열전도성 및 전기 전도성 좋고 용점이 높은 텅스텐 재료가 선호되지만, 다른 임의의 금속 재료가 이용될 수도 있다. 앞선 본 발명의 제1 및 제2 실시예와 본 실시예의 용어들을 비교하여 볼 때, 제1 상부 도전 패턴(214a)은 랜딩 패드에 해당되고, 제2 상부 도전 패턴(213b)은 본딩 패드에 해당될 수 있다. 또한, 본 실시예의 상부 비아들(216a, 216b), 중간 도전 패턴들(214a, 214b)들, 하부 비아들(217a, 217b), 그리고 제1 및 제2 하부 도전 패턴들(215a, 215b)들은 제1 및 제2 실시예의 리드 전극들일 수 있다.
- [96] 앞선 제2 실시예에서, 리드 전극들은 패키지 본체의 측면 외곽을 따라 패키지 본체의 저면으로 연장되었지만, 본 실시예의 경우, 패키지 본체를 관통하여, 리드 전극들이 패키지 본체의 저면까지 연장된다.
- [97] 한편, 상기 발광다이오드 패키지, PCB(미도시됨) 상에 실장될 수 있으며, 이때, 상기 제1 및 제2 하부 도전 패턴(215a, 215b)은 PCB 상의 전극패드들(미도시됨)과 솔더링 공정에 의해 연결될 수 있다.
- [98] 상기 제1 및 제2 중간 도전 패턴(214a, 214b)들은 상기 상부 절연 기판(211)과 상기 하부 절연 기판(212)의 측면, 즉, 패키지 본체(221)의 최 외곽까지 연장되어 외부로 노출된다. 도전 패턴들과 비아들은 절연 기판에 비해 상대적으로 열전도성이 뛰어나다. 따라서, 제1 및 제2 중간 도전 패턴(214a, 214b)이 패키지 본체(221)의 측면의 외부 공기에 직접 노출됨으로써, 패키지 본체(221)의 대류에 의한 방열 성능의 더 좋아진다.
- [99] 본 실시예에서, 상기 패키지 본체(221)는, 복수의 패키지를 만들 수 있는 적층 구조의 절연성 기판들, 도전성 패턴들, 비아들 등을 포함하는 하나의 큰 기판으로부터 다이싱 공정에 의해 여러 개로 분리된 방열 기판들 중 하나이다. 더 구체적으로, 상기 발광다이오드 패키지 또는 상기 패키지 본체(221)는 다이싱에 의한 절단면을 포함하며, 그 절단면 상에 상기 상부 절연 기판(211)의 측면과 상기 하부 절연 기판(212)의 측면이 포함된다. 상기 제1 및 제2 중간 도전

패턴(214a, 214b)들은 상기 절단면까지 연장되어 외부로 노출되는 것이다. 이에 반해, 전술한 상부 도전 패턴(213a, 213b) 모두와 상기 하부 도전 패턴(215a, 215b) 모두는 상기 절단면, 즉, 상부 절연 기관(211)과 하부 절연 기관(212)의 측면에 미치지 않도록 그 영역들이 제한된다.

- [100] 도 9의 (a)를 참조하면, 제1 및 제2 중간 도전 패턴(214a, 214b)들이 하부 절연 기관(212)의 상면, 즉, 상부 절연 기관과 하부 절연 기관의 사이에서, 3개의 변이 하부 절연 기관(212)의 외곽 측면들과 일치하고 있음을 알 수 있다. 또한, 도 9의 (b)를 참조하면, 제1 및 제2 하부 도전 패턴(215a, 215b)들은 자체 모든 변들이 하부 절연 기관(212)의 측면과 일치하지 않고, 하부 절연 기관(212)의 측면 안쪽으로 그 영역들이 제한되어 있음을 알 수 있다. 도 8을 참조하면, 상기 제1 및 제2 상부 도전 패턴(213a, 213b)도 상부 절연 기관(211)의 측면 안쪽으로 그 영역들이 제한되어 있음을 알 수 있다.
- [101] 다시 도 7을 참조하면, 상기 제1 상부 비아(216a)와 상기 제1 하부 비아(217a)는 제1 중간 도전 패턴(214a)에 서로 엇갈린 채로 연결된다. 또한, 상기 제2 상부 비아(216b)와 상기 제2 하부 비아(217b)는 제2 중간 도전 패턴(214b)에 서로 엇갈린 채로 연결된다. 하나의 중간 도전 패턴(214a 또는 214b)을 매개로 연결되는 상부 비아(216a)와 하부 비아(216b)를 서로 엇갈리기 위치시킴으로써, 상부 및 하부 절연 기관(211, 212)들 내에 방열 경로를 더 늘릴 수 있고, 방열 경로의 면적을 더 확장시킬 수 있다. 그리고, 상기 상부 비아(216a 또는 216b)와 상기 하부 비아(217a 또는 217b)의 엇갈린 배치는, 상부 비아와 하부 비아를 일직선상으로 배치하는 경우에 비해, 상부 비아(216a 또는 216b)로부터 중간 도전 패턴(214a 또는 214b)을 거쳐 하부 비아(216b)로 이어지는 열 경로의 전체 길이를 증가시키며, 이에 의해, 열은 패키지 본체(221) 내로 보다 균일하게 퍼져서 보다 효율적으로 외부에 방출될 수 있다.
- [102] 도 7과 도 9의 (a) 및 도 9의 (b)를 참조하면, 본 실시예에 따른 발광다이오드 패키지는, 방열부들로서의 제1 및 제2 히트싱크 패턴(218a, 218b)들과, 열전달 비아(219)를 더 포함한다. 상기 제1 히트싱크 패턴(218a)은 상기 상부 절연 기관(211)과 상기 하부 절연 기관(212) 사이에 개재되어 형성되며, 상기 제2 히트싱크 패턴(218b)은 하부 절연 기관(212)의 저면에 형성된다.
- [103] 상기 제1 히트싱크 패턴(218a)은 하부 절연 기관(212)의 상면에서 제1 중간 도전 패턴(214a)과 제2 중간 도전 패턴(214b) 사이에 배치되며, 상기 제1 및 제2 중간 도전 패턴(214a, 214b)과 동일한 금속 재료를 이용한 동일한 도금 공정에 의해 형성되는 것이 좋다. 또한, 상기 제2 히트싱크 패턴(218b)은 하부 절연 기관(212)의 저면에서 제1 하부 도전 패턴(215a)과 제2 하부 도전 패턴(215b) 사이에 배치되며, 상기 제1 및 제2 하부 도전 패턴(215a, 215b)과 동일한 금속 재료를 이용한 동일한 도금 공정에 의해 형성되는 것이 좋다.
- [104] 상기 제1 및 히트싱크 패턴(218a, 218b)과 열전달 비아(219)는, 패키지 본체(221) 중앙 부근에서 방열 성능을 높이도록 추가되는 것으로서, 전술한 중간 도전성

패턴과 하부 비아들 그리고 하부 도전 패턴들에 의해 방열이 패키지 본체의 외곽쪽으로 치우치는 것을 보완한다.

[105] 전술한 본 발명의 제3 실시예에 따르면, 랜딩 패드로서의 역할을 하는 제1 상부 도전성 패턴(213a)과 본딩 패드(213b)로서의 역할을 하는 제2 상부 도전성 패턴이 패키지 본체(221) 상에 각각 하나씩 존재한다. 하지만, 상부 및 하부 절연 기판을 포함하고 거기에 중간 도전 패턴들, 비아들, 하부 도전 패턴들이 설치된 패키지 본체 상에 복수개의 랜딩 패드들을 앞선 제1 및 제1 실시예와 같이 마련하고, 그 복수개의 랜딩 패드들에 복수의 발광다이오드 칩을 실장하여, 이 복수의 발광다이오드 칩들을 직렬로 연결하는 것도 본 발명의 범위 내에 있다. 이때, 본딩 패드들도 복수개로 마련할 수 있음은 물론이다.

[106]

[107] 이하에서는 본 발명에 적용될 수 있는 패키지 본체의 다른 형태에 대해 설명하기로 한다. 앞에서 상세히 설명된 내용은 중복을 피하기 위해 구체적인 설명을 피한다. 그리고, 동일한 요소에 대해서는 동일한 도면부호가 사용되었다.

[108] 도 10은 다른 실시 형태의 패키지 본체를 도시한 단면도이고, 도 11의 (a), (b) 및 (c)는 상기 패키지 본체의 각 층들을 설명하기 위한 도면들이다.

[109] 도 10에 도시된 바와 같이, 패키지 본체(221)은, 앞선 실시 형태의 패키지 본체와 마찬가지로, 상부 절연 기판(211)과 하부 절연 기판(212)을 포함한다. 다만, 앞선 실시 형태의 패키지 본체(221)에 이용되었던 히트싱크의 패턴들 및 열전달 비아가 생략되는 대신, 히트싱크의 역할도 할 수 있는 도전성 패턴들 및 상부 또는 하부 비아들의 개수 및 배치가 다르다. 이에 대해서 보다 구체적으로 설명하면 아래와 같다.

[110] 도 10 및 도 11의 (a)를 참조하면, 상부 절연 기판(211) 상에는 중앙의 제1 상부 도전 패턴(213a)과 좌우 양측의 제2 상부 도전 패턴(213b) 및 제3 상부 도전 패턴(213c)이 형성된다. 상기 상부 도전 패턴(213a) 상에는 수직형 발광다이오드 칩 또는 래터럴형 발광다이오드 칩이 다이 어태칭될 수 있다. 래터럴형 발광다이오드 칩이 제1 상부 도전 패턴(213a) 상에 다이 어태칭되는 경우, 제1 상부 도전 패턴(213a)은 발광다이오드 칩과 전기적으로 연결되지 않으므로, 이하 설명될 제1 중간 도전 패턴(214a), 제1 하부 도전 패턴(215a), 제1 상부 비아(216a) 및 제1 상부 비아(217a)와 함께 히트싱크로서의 역할만을 할 것이다. 이와 달리, 수직형 발광다이오드 칩이 제1 상부 도전 패턴(213a) 상에 다이 어태칭되는 경우, 수직형 발광다이오드 칩의 하부 전극이 제1 상부 도전 패턴(213a)과 전기적으로 연결된다. 따라서, 제1 상부 도전 패턴(213a)은 발광다이오드 칩에 전력을 공급하는 역할과 히트싱크의 역할을 모두 할 수 있을 것이다. 도시하지는 않았지만, 상기 제1 및/또는 제2 상부 도전 패턴(213b 및/또는 213c)은 본딩 와이어(들)에 의해 상기 발광다이오드 칩의 전극(들)과 전기적으로 연결된다. 상기 제1, 제2, 제3 상부 도전 패턴(213a, 213b, 213c)들은 상부 절연 기판(211)의 측면에까지 미치지 못하고 그 안쪽에서 그 영역들이 정해진다. 이는 앞선

실시예에서 설명된 바와 같이 기판의 절단 분리 과정에서 패턴들이 손상되거나 이탈되는 것을 막기 위한 것이다.

- [111] 도 10 및 도 11의 (b)를 참조하면, 하부 절연 기판(212)의 상면 또는 상부 절연 기판(211)의 저면, 즉, 상기 상부 절연 기판(211)과 상기 하부 절연 기판(212)의 사이에 제1, 제2, 제3 중간 도전 패턴(214a, 214b, 214c)이 형성된다. 상기 제1 중간 도전 패턴(214a)은 제1 상부 비아(216a)에 의해 상기 제1 상부 도전 패턴(213a)에 연결되고, 상기 제2 중간 도전 패턴(214b)은 제2 상부 비아(216b)에 의해 상기 제2 상부 도전 패턴(213b)에 연결되며, 상기 제3 중간 도전 패턴(214c)은 제3 상부 비아(216c)에 의해 상기 제3 상부 도전 패턴(213c)에 연결된다. 도 11의 (b)에 잘 도시된 바와 같이, 상기 제1 중간 도전 패턴(214a)은 두 면이 상기 하부 절연 기판(212)의 측면과 일치하여 패키지 본체의 외부로 노출되고, 상기 제2 및 제3 중간 도전 패턴(214b, 214c)들 각각은 3면이 상기 하부 절연 기판(212)의 측면과 일치하여 패키지 본체의 외부로 노출된다.
- [112] 도 10 및 도 11의 (c)를 참조하면, 하부 절연 기판(212)의 저면에는 제1, 제2, 제3 하부 도전 패턴(215a, 215b, 215c)이 형성된다. 상기 제1 하부 도전 패턴(215a)은 제1 하부 비아(217a)에 의해 상기 제1 중간 도전 패턴(214a)에 연결되고, 상기 제2 하부 도전 패턴(215b)은 제2 하부 비아(217b)에 의해 상기 제2 중간 도전 패턴(214b)에 연결되며, 상기 제3 하부 도전 패턴(215c)은 제3 하부 비아(217c)에 의해 상기 제3 중간 도전 패턴(214c)에 연결된다. 상기 제1, 제2, 제3 하부 도전 패턴(215a, 215b, 215c)들은 하부 절연 기판(212)의 측면에까지 미치지 못하고 그 안쪽에서 그 영역들이 정해진다. 이는 기판의 절단 분리 과정에서 패턴들이 손상되거나 이탈되는 것을 막기 위한 것이다.
- [113] 도 10에 잘 도시된 바와 같이, 상기 제1 상부 비아(216a)와 상기 제1 하부 비아(217a)는 제1 중간 도전 패턴(214a)에 서로 엇갈린 채로 연결되고, 상기 제2 상부 비아(216b)와 상기 제2 하부 비아(217b)는 제2 중간 도전 패턴(214b)에 서로 엇갈린 채로 연결되며, 상기 제3 상부 비아(216c)와 상기 제3 하부 비아(217c)는 제3 중간 도전 패턴(214c)에 서로 엇갈린 채로 연결된다.
- [114] 도 12은 본 발명의 또 다른 형태에 따른 패키지 본체를 도시한 단면도이고, 도 13의 (a) 및 (b) 도 12에 도시된 패키지 본체의 평면도와 저면도이다.
- [115] 도 12 및 도 13의 (a) 및 (b)을 참조하면, 본 실시예에 따른 패키지 본체(221)는 절연성을 갖는 단일 세라믹 기판(211')를 포함한다. 상기 세라믹 기판(211')의 상면에는 제1 상부 도전 패턴(213a) 및 제2 상부 도전 패턴(213b)이 금속 도금, 특히, Ag 도금 또는 Au 도금에 의해 형성된다. 또한, 상기 세라믹 기판(211')의 저면에는 제1 하부 도전 패턴(215a, 215b)이 형성된다. 상기 제1 상부 도전 패턴(213a)과 상기 제1 하부 도전 패턴(215a)은 제1 도전 비아(2170a)에 의해 연결되며, 상기 제1 상부 도전 패턴(213b)과 상기 제1 하부 도전 패턴(215b)은 제2 도전 비아(2170b)에 의해 연결된다. 상기 세라믹 기판(211')의 저면에는 하부 히트싱크 패턴(2180)이 형성된다.

[116] 도 13의 (b)를 참조하면, 상기 세라믹 기판(211')의 상면에는 상부 히트싱크 패턴(2130)이 형성된다. 상기 상부 히트싱크 패턴(2130)은 도시되지 않는 열전달 비아에 의해 상기 하부 히트싱크 패턴(2180)에 연결될 수 있다. 이때, 하부 히트싱크 패턴(2180)을 남긴 채, 상기 상부 히트싱크 패턴(2130)과 그에 연결된 열전달 비아를 생략하는 것도 고려될 수 있다.

산업상 이용가능성

[117] 위에서는 본 발명의 여러 실시예들이 구체적으로 설명되었다. 이때, 하나의 실시예에서 적용된 특정 구성이 다른 실시예에서 적용되어 있지 않다고 하여, 하나의 실시예에만 제한적으로 사용되는 것으로 간주되어서는 아니될 것이며, 일 실시예에 적용된 구성(들)이 다른 실시예에 적용된 구성(들)을 대신하거나, 또는 일 실시예에 적용된 구성을 다른 실시예에 추가로 적용하는 것이 가능하다는 점에 유의한다.

청구범위

- [1] 캐비티를 갖는 패키지 본체;
직렬 연결된 복수개의 발광셀들을 갖는 발광 다이오드 칩;
상기 발광 다이오드 칩에서 방출된 광을 파장 변환시키는 형광체; 및
한 쌍의 리드 전극들을 포함하고,
상기 발광셀들은 상기 한 쌍의 리드 전극들 사이에서 직렬 연결된 것을
특징으로 하는 발광 다이오드 패키지.
- [2] 청구항 1에 있어서, 서로 이격되어 상기 캐비티의 바닥면에 위치하는 랜딩
패드를 더 포함하고,
상기 발광 다이오드 칩은 상기 랜딩 패드 상에 실장되는 것을 특징으로
하는 발광 다이오드 패키지.
- [3] 청구항 2에 있어서, 상기 랜딩 패드와 이격되고, 와이어가 본딩되는 본딩
패드들을 더 포함하는 것을 특징으로 하는 발광 다이오드 패키지.
- [4] 청구항 3에 있어서, 상기 본딩 패드들 중 두 개는 상기 한 쌍의 리드
전극들에 각각 연결된 것을 특징으로 하는 발광 다이오드 패키지.
- [5] 청구항 4에 있어서, 상기 두 개의 본딩 패드들 상에 각각 실장된 제너
다이오드들을 더 포함하고, 상기 제너 다이오드들은 서로 반대 극성으로
연결되고, 상기 발광 다이오드 칩에 병렬 연결된 것을 특징으로 하는 발광
다이오드 패키지.
- [6] 청구항 2에 있어서, 상기 랜딩 패드는 반사율이 높은 금속 물질로 형성된
것을 특징으로 하는 발광 다이오드 패키지.
- [7] 청구항 1에 있어서, 상기 복수개의 발광셀들을 갖는 발광 다이오드 칩과
다른 파장의 광을 방출하는 적어도 하나의 발광 다이오드 칩; 및 상기
복수개의 발광셀들을 갖는 발광 다이오드 칩과 상기 적어도 하나의 발광
다이오드 칩을 덮는 몰딩부를 더 포함하고, 상기 형광체는 상기 몰딩부
내에 분포된 것을 특징으로 하는 발광 다이오드 패키지.
- [8] 청구항 7에 있어서, 상기 복수개의 발광셀들을 갖는 발광 다이오드 칩은
청색광을 방출하고, 상기 적어도 하나의 발광 다이오드 칩은 적색광을
방출하는 것을 특징으로 하는 발광 다이오드 패키지.
- [9] 청구항 1에 있어서, 상기 캐비티는 서로 단차진 제1 캐비티와 제2 캐비티를
포함하는 발광 다이오드 패키지.
- [10] 청구항 9에 있어서, 상기 제1 캐비티에서 상기 발광 다이오드 칩들을 덮는
몰딩부; 상기 제2 캐비티의 바닥면 및 상기 몰딩부 상에 형성된 렌즈
접착제; 및 상기 렌즈 접착제에 의해 패키지 본체에 접착된 렌즈를 더
포함하는 발광 다이오드 패키지.
- [11] 청구항 10에 있어서, 상기 형광체는 상기 몰딩부 내에 분포된 발광
다이오드 패키지.

- [12] 청구항 10에 있어서, 상기 몰딩부는 겔 타입 실리콘이고, 상기 렌즈 접착제는 듀로미터 쇼어 값이 60 이상인 고경도 실리콘인 발광 다이오드 패키지.
- [13] 청구항 10에 있어서, 상기 렌즈는 글래스 렌즈인 것을 특징으로 하는 발광 다이오드 패키지.
- [14] 청구항 1에 있어서, 상기 패키지 본체는 기판들의 적층 구조인 패키지 하부와, 그 위에 적층되고 캐비티가 형성된 패키지 상부를 포함하며, 상기 리드 전극들은 상기 패키지 하부와 상기 패키지 상부 사이에 형성된 도전성 패턴들과 전기적으로 연결되며, 상기 리드 전극들은 상기 패키지 본체의 측면을 거쳐 상기 패키지 본체의 저면까지 연장되는 것을 특징으로 하는 발광 다이오드 패키지.
- [15] 청구항 1에 있어서, 상기 패키지 본체의 측면 외곽에는 홈들이 형성되며, 상기 리드 전극들 각각은 상기 홈들 각각을 따라 상기 패키지 본체의 저면까지 연장되는 것을 특징으로 하는 발광 다이오드 패키지.
- [16] 청구항 15에 있어서, 상기 홈들은 상기 패키지 본체의 측면 모서리들에 형성되는 것을 특징으로 하는 발광 다이오드 패키지.
- [17] 청구항 15에 있어서, 상기 패키지 하부는 2층 이상으로 적층된 세라믹 기판들을 포함하며, 상기 리드 전극들은 상기 2층 이상으로 적층된 세라믹 기판들을 감싸 고정하는 형태를 갖는 것을 특징으로 하는 발광 다이오드 패키지.
- [18] 청구항 15에 있어서, 상기 패키지 하부의 저면에는 상기 한 쌍의 리드 전극들이 서로 이격된 채 넓게 형성되고, 상기 리드 전극들 사이에는 금속 방열부가 형성된 것을 특징으로 하는 발광 다이오드 패키지.
- [19] 청구항 1에 있어서, 상기 패키지 본체는 상부 절연 기판과 상기 하부 절연 기판 상에 적층된 상부 절연 기판을 포함하며, 상기 상부 절연 기판의 상면에는 상부 도전 패턴들이 형성되고, 상기 상부 절연 기판과 상기 하부 절연 기판 사이에는 상부 비아들에 의해 상기 상부 도전 패턴들과 연결되는 중간 도전 패턴들이 형성되며, 상기 하부 절연 기판의 저면에는 하부 비아들에 의해 상기 중간 도전 패턴들과 연결되는 하부 도전 패턴들이 형성된 것을 특징으로 하는 발광 다이오드 패키지.
- [20] 청구항 19에 있어서, 상기 상부 절연 기판과 상기 하부 절연 기판 사이 및 상기 하부 절연 기판의 저면에는 방열 히트싱크 패턴들이 각각 형성되고 상기 방열 히트싱크 패턴들은 상기 하부 절연 기판을 관통하는 열전달 비아에 의해 연결된 것을 특징으로 하는 발광 다이오드 패키지.
- [21] 패키지 본체와, 상기 패키지 본체 상에 실장되는 발광 다이오드 칩을 포함하는 발광 다이오드 패키지로서,
상기 패키지 본체는,
상면에 복수의 상부 도전 패턴들을 갖는 상부 절연 기판;

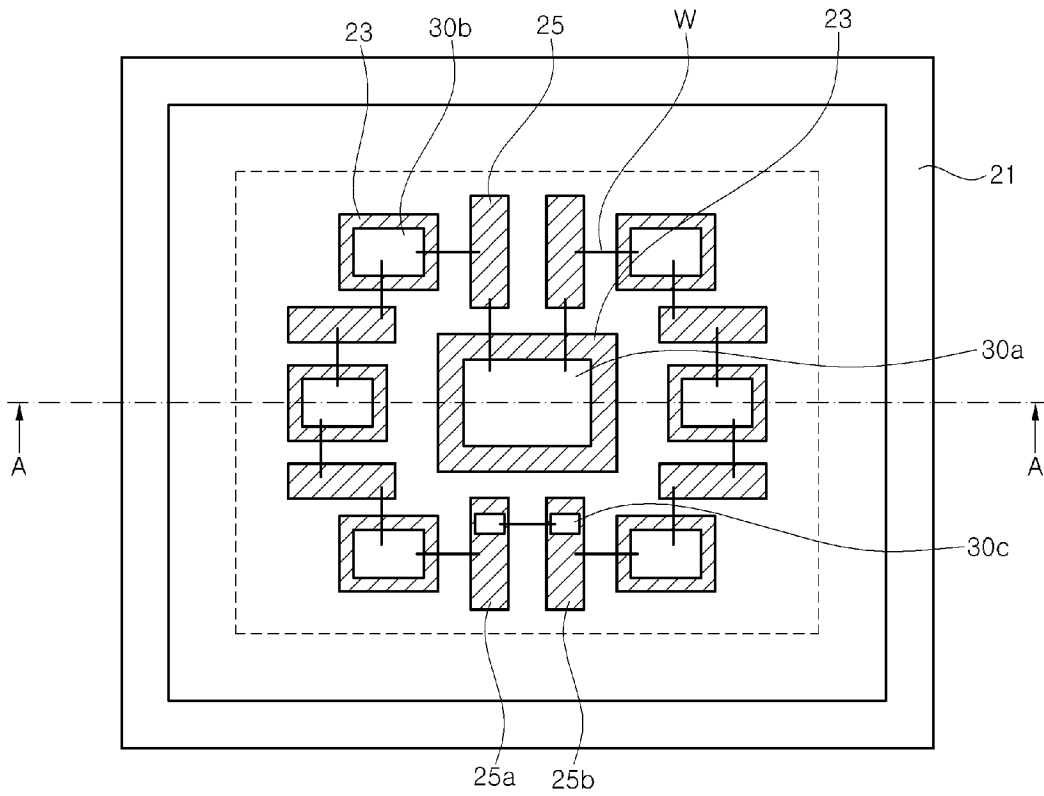
저면에 복수의 하부 도전 패턴들을 갖는 하부 절연 기판;
 상기 상부 절연 기판과 상기 하부 절연 기판 사이에 개재되는 복수의 중간
 도전 패턴들;
 상기 상부 도전 패턴들 각각을 상기 중간 도전 패턴들 각각에 연결하도록
 상기 상부 절연 기판에 형성된 상부 비아들; 및
 상기 중간 도전 패턴들 각각을 상기 하부 도전 패턴들 각각에 연결하도록
 상기 하부 절연 기판에 형성된 하부 비아들을 포함하는 것을 특징으로 하는
 발광 다이오드 패키지.

- [22] 청구항 21에 있어서, 상기 상부 절연 기판의 상면에 전체적으로 형성되어,
 상기 발광 다이오드 칩과 상기 상부 도전 패턴들을 덮는 투광성 봉지재를
 더 포함하는 것을 특징으로 하는 발광 다이오드 패키지.
- [23] 청구항 22에 있어서, 상기 투광성 봉지재는 상기 발광 다이오드 칩과
 중심이 일치하는 렌즈부를 포함하는 것을 특징으로 하는 발광 다이오드
 패키지.
- [24] 청구항 21에 있어서, 상기 중간 도전 패턴들 중 적어도 하나는 상기 상부
 절연 기판 또는 상기 하부 절연 기판의 측면까지 연장되어 외부로 노출된
 것을 특징으로 하는 발광 다이오드 패키지.
- [25] 청구항 21에 있어서, 상기 상부 절연 기판의 측면과 상기 하부 절연 기판의
 측면은 동일 절단면 상에 있되, 상기 중간 도전 패턴들 중 적어도 하나는
 상기 동일 절단면까지 연장되어 외부로 노출되며, 상기 상부 도전 패턴들
 모두와 상기 하부 도전 패턴들 모두는 상기 동일 절단면에 미치지 않도록
 영역들이 제한되는 것을 특징으로 하는 발광 다이오드 패키지.
- [26] 청구항 21에 있어서, 상기 상부 비아들 중 적어도 하나 상부 비아와 상기
 하부 비아들 중 적어도 하나의 하부 비아는 상기 중간 도전 패턴들 중
 적어도 하나의 중간 도전 패턴에 서로 엇갈린 채로 연결되는 것을 특징으로
 하는 발광 다이오드 패키지.
- [27] 청구항 21에 있어서, 상기 상부 절연 기판의 상면에는 2개의 상부 도전
 패턴이 형성된 것을 특징으로 하는 발광 다이오드 패키지.
- [28] 청구항 27에 있어서, 상기 상부 절연 기판과 상기 하부 절연 기판 사이에는
 제1 히트싱크 패턴이 형성되고, 상기 하부 절연 기판의 저면에는 제2
 히트싱크 패턴이 형성되며, 상기 하부 절연 기판에는 상기 제1 히트싱크
 패턴과 상기 제2 히트싱크 패턴을 연결하는 열전달 비아가 형성된 것을
 특징으로 하는 발광 다이오드 패키지.
- [29] 청구항 21에 있어서, 상기 상부 도전 패턴들은 중앙의 제1 상부 도전 패턴과
 양측의 제2 상부 도전 패턴 및 제3 상부 도전 패턴을 포함하는 것을
 특징으로 하는 발광 다이오드 패키지.
- [30] 청구항 21에 있어서, 상기 상부 도전 패턴들 중 적어도 하나의 상부 도전
 패턴에 상기 발광 다이오드 칩의 얼라인 마크가 제공되되, 상기 얼라인

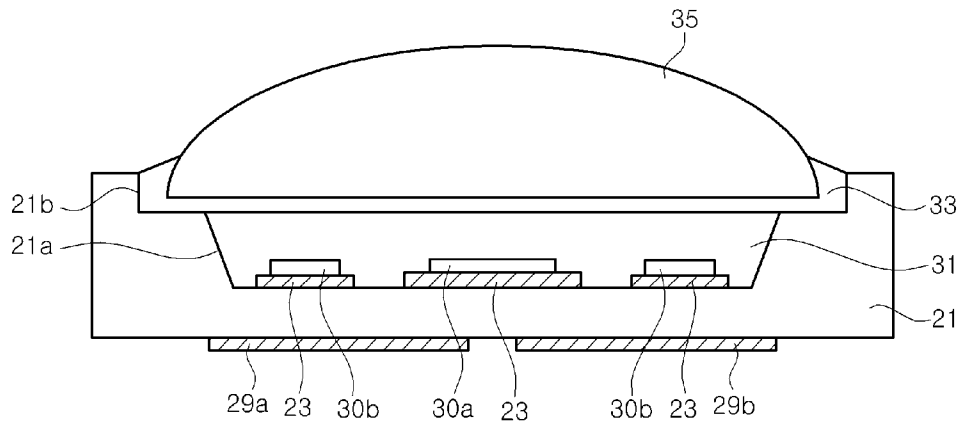
- 마크는 상기 상부 절연 기판의 상면이 상기 상부 도전 패턴 내에서 영역적으로 노출되어 형성된 것을 특징으로 하는 발광 다이오드 패키지.
- [31] 청구항 23에 있어서, 상기 상부 절연 기판 상에는 상기 렌즈부의 위치 확인을 위한 식별 마크가 형성된 것을 특징으로 발광 다이오드 패키지.
- [32] 청구항 21에 있어서, 상기 복수의 상부 도전 패턴들, 상기 복수의 중간 도전 패턴들 및 상기 복수의 하부 도전 패턴들은 영역적인 금속 도금에 의해 형성된 것을 특징으로 하는 발광 다이오드 패키지.
- [33] 패키지 본체와, 상기 패키지 본체 상에 실장되는 발광 다이오드 칩을 포함하는 발광 다이오드 패키지에 있어서, 상기 패키지 본체는, 금속 도금에 의해 절연 기판의 상면에 형성되며, 상기 발광 다이오드 칩이 다이 어태칭되거나 본딩 와이어에 의해 상기 발광 다이오드 칩과 전기적으로 연결되는 복수의 상부 도전 패턴들; 금속 도금에 의해 상기 절연 기판의 저면에 형성되는 복수의 하부 도전 패턴들; 상기 상부 도전 패턴들 각각으로부터 상기 절연 기판의 내부를 지나 상기 하부 도전 패턴들 각각에 연결되는 도전 재료들; 및 금속 도금에 의해 상기 절연 기판의 저면에 형성되며, 상기 상부 도전 패턴들과는 전기적으로 분리되어 있는 히트싱크 패턴을 포함하는 것을 특징으로 하는 발광 다이오드 패키지.
- [34] 청구항 33에 있어서, 상기 절연 기판은 상면에 상기 상부 도전 패턴들이 형성되고 저면에 상기 하부 도전 패턴들이 형성된 단일 세라믹 기판으로 이루어진 것을 특징으로 하는 발광 다이오드 패키지.
- [35] 청구항 33에 있어서, 상기 절연 기판은, 상면에 상기 상부 도전 패턴들이 형성되는 상부 세라믹 기판과, 저면에 상기 하부 도전 패턴들이 형성된 하부 세라믹 기판의 적층 구조를 포함하는 것을 특징으로 하는 발광 다이오드 패키지.
- [36] 랜딩 패드를 포함하는 도전성 패턴들이 세라믹 기판과 상기 세라믹 기판 아래에 배치되는 하나 이상의 다른 세라믹 기판을 포함하는 패키지 본체; 상기 랜딩 패드 상에 실장되는 발광 다이오드 칩; 및 상기 도전성 패턴들 중 적어도 일부 도전성 패턴들에 연결된 채 상기 패키지 본체의 측면을 거쳐 상기 패키지 본체의 저면까지 연장된 리드 전극들을 포함하는 발광 다이오드 패키지.
- [37] 청구항 36에 있어서, 상기 발광 다이오드 칩은 직렬 연결된 복수의 발광셀을 포함하는 것을 특징으로 하는 발광 다이오드 패키지.
- [38] 청구항 36에 있어서, 상기 리드 전극들 각각은 상기 패키지 본체의 측면 모서리들 각각을 따라 상기 패키지 본체의 저면까지 연장된 것을 특징으로 하는 발광 다이오드 패키지.
- [39] 청구항 36에 있어서, 상기 패키지 본체의 측면 모서리들 각각에 상기 리드

전극들 각각을 수용하는 홈들이 형성된 것을 특징으로 하는 발광 다이오드 패키지.

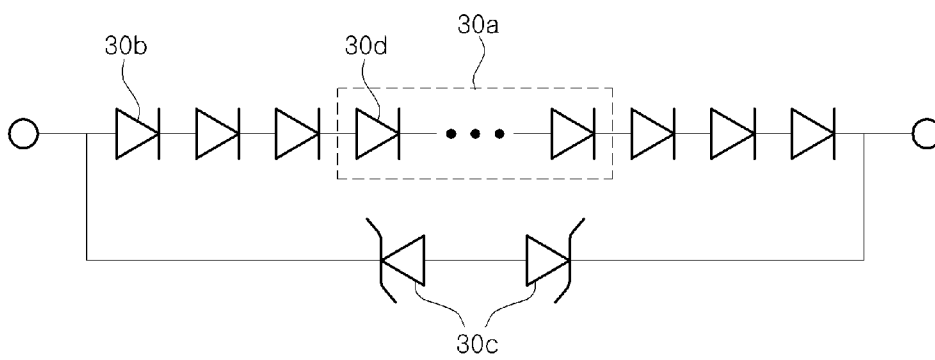
[Fig. 1]



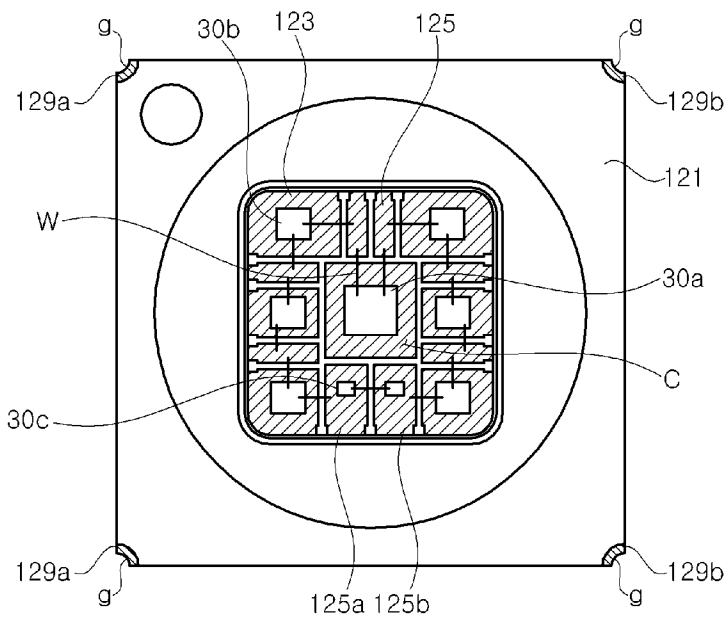
[Fig. 2]



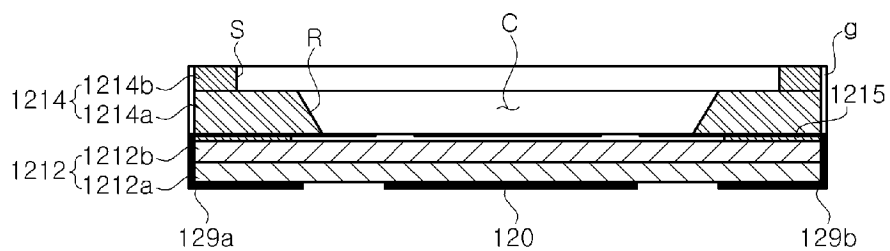
[Fig. 3]



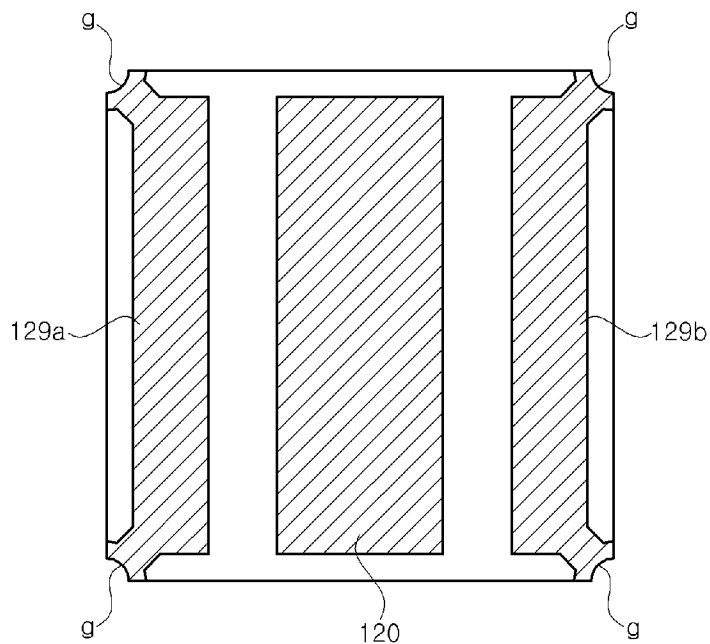
[Fig. 4]



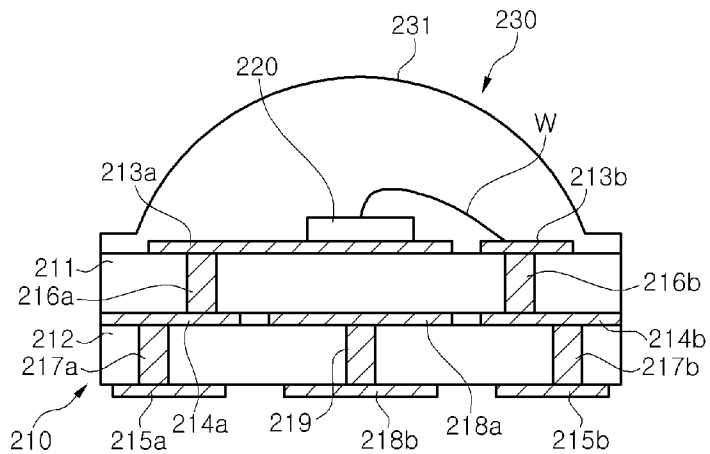
[Fig. 5]



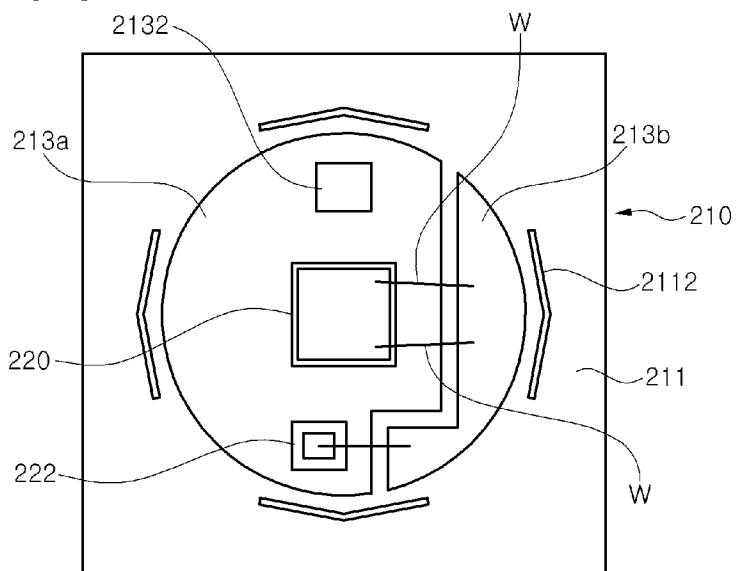
[Fig. 6]



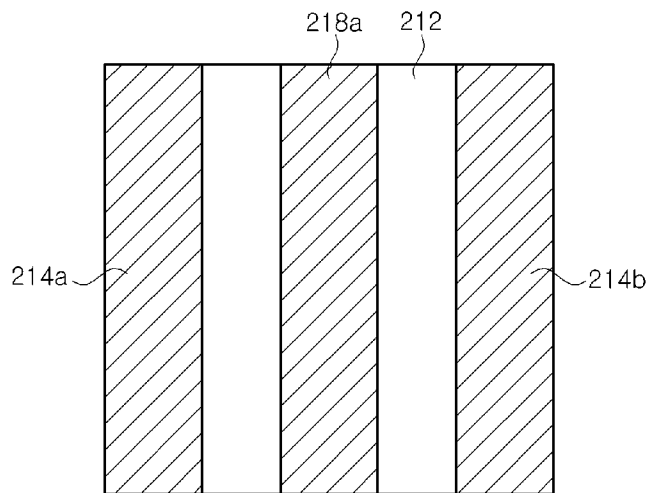
[Fig. 7]



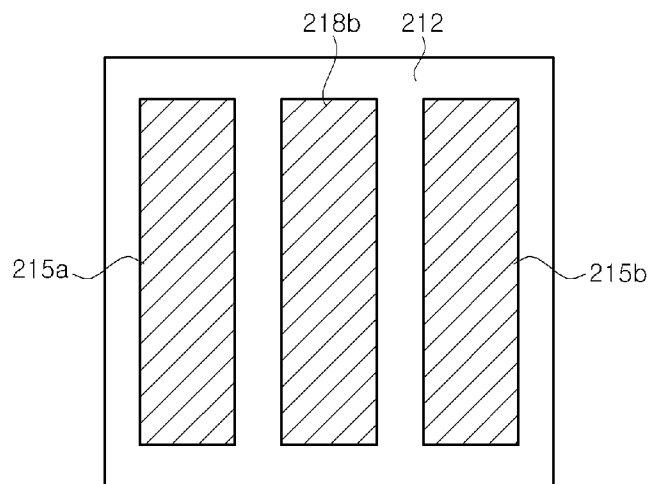
[Fig. 8]



[Fig. 9]

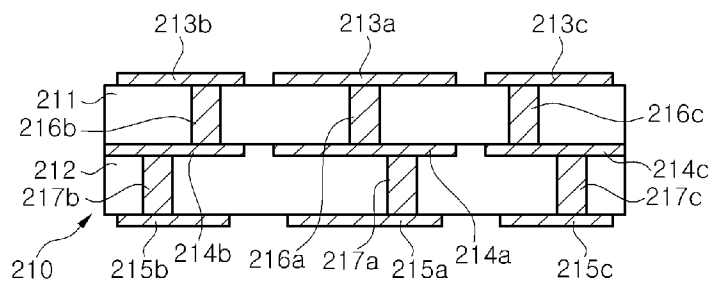


(a)

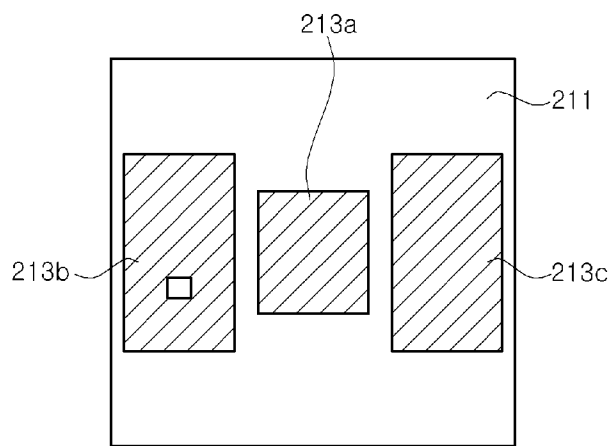


(b)

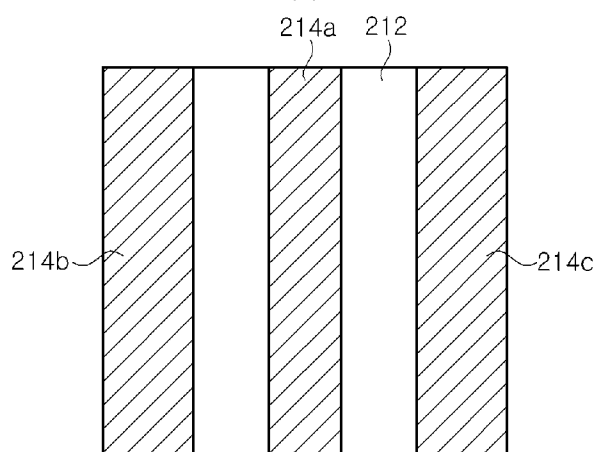
[Fig. 10]



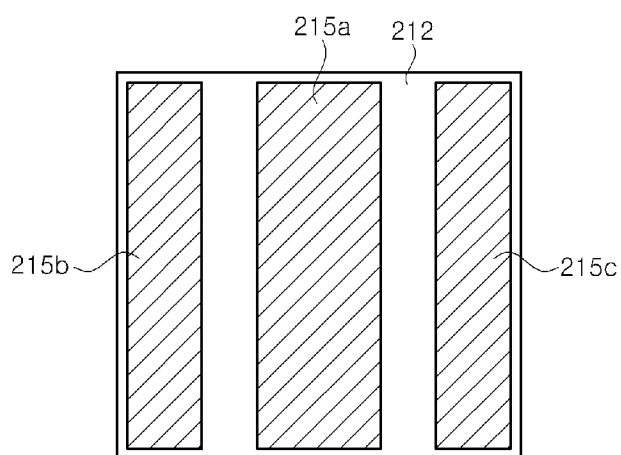
[Fig. 11]



(a)

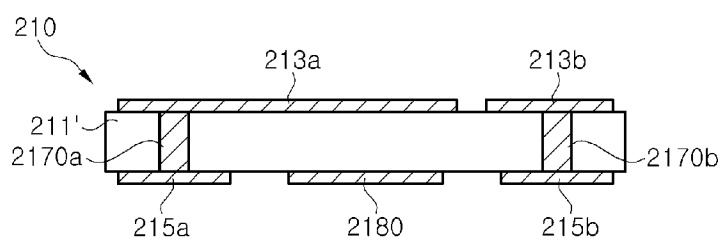


(b)



(c)

[Fig. 12]



[Fig. 13]

