

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G11C 5/14

(11) 공개번호 10-2005-0046426  
(43) 공개일자 2005년05월18일

(21) 출원번호 10-2003-0080686  
(22) 출원일자 2003년11월14일

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416  
(72) 발명자 홍관표  
경기도용인시기홍읍농서리산7-1월계수동631호  
이형용  
경기도수원시팔달구망포동696번지벽산E빌리지104동1204호  
(74) 대리인 김동진

심사청구 : 있음

(54) 전원 전압 측정 장치

요약

본 발명은 반도체 장치의 번인 테스트시에 스트레스 전압으로 인가되는 전원 전압의 최대치를 측정하는 장치에 관한 것이다. 본 발명에 따른 전원 전압 측정 장치는 전원 전압단과 접지 전압단 사이에 병렬 연결되는 제 1 전원 전압 측정부와 제 2 전원 전압 측정부를 포함한다.

대표도

도 1

색인어

번인(Burn-In) 테스트, 전원 전압, 전압 분배

명세서

도면의 간단한 설명

도 1은 본 발명의 일실시예에 따른 전원 전압 측정 장치의 전압 측정 방법을 나타내는 플로차트이다.

도 2는 본 발명의 일실시예에 따른 전원 전압 측정 장치의 구성을 나타내는 블록 구성도이다.

도 3a는 본 발명의 일실시예에 따른 전원 전압 측정 장치의 다수의 전원 전압 측정부의 전압 검출부를 나타내는 회로도이다.

도 3b는 본 발명의 일실시예에 따른 전원 전압 측정 장치의 다수의 전원 전압 측정부의 전압 유지부 및 전압 독출부를 나타내는 회로도이다.

(도면의 주요 부분에 대한 부호의 설명)

전원 전압 측정부: MEA1 내지 MEAm

D1 내지 Dm: 전압 검출부

L1 내지 Lm: 전압 유지부

R1 내지 Rm: 전압 독출부

DIO1 내지 DIOm: 전압 검출부의 다이오드

S1 내지 Sm: 전압 검출부의 스위칭 수단

N1 내지 Nm: 전압 검출부의 출력 노드

MRS: 전압 검출부의 검출 개시 신호

INIT1 내지 INITm: 전압 유지부의 초기화 수단

MRS\_Read: 전압 독출부의 독출 개시 신호

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전원 전압 측정 장치에 관한 것으로서, 보다 상세하게는 반도체 장치의 번인 테스트시에 스트레스 전압으로 인가되는 전원 전압의 최대치를 측정하는 장치에 관한 것이다.

일반적으로 반도체 장치는 수율(yield)의 향상을 도모하기 위하여 여러가지의 테스트를 실시하여 제품 성능과 신뢰성을 검증받는다. 그 중에서 번인(Burn-In) 테스트는 반도체 장치의 신뢰성을 테스트하여 결함이 있는 반도체 장치를 조기에 가려내기 위한 것으로서, 반도체 장치에 스트레스를 인가하는 방법으로 높은 전원 전압과 높은 온도의 열악한 조건에서 장시간 동안 반도체 장치를 동작시킴으로써 단시간내에 잠재적인 결함을 노출시키는 역할을 한다.

즉, 이와 같은 번인 테스트를 수행함으로써, 실제 반도체 장치의 디펙트(Defect)의 열화 및 진행성 초기 불량을 스크린할 수 있다. 여기에서 번인 테스트시에 반도체 장치에 인가되는 스트레스 전압의 레벨은 중요한 가속 인수(acceleration factor)로서 작용된다.

반도체 메모리 장치의 경우에 가속 인수인 셀 데이터 전압의 레벨은 하이 데이터에 대한 전압의 레벨을 나타내며, 이는 번인 스트레스 전압 및 번인 시간을 결정하는데 있어 결정적인 요소가 된다.

그러나 가속 인수인 스트레스 전압의 레벨을 높게 확보하는 경우에는, 전원 전압의 상승으로 인해 반도체 메모리 장치 내의 승압 전압 인가 노드가 과도하게 상승되는 문제점을 발생시킬 수 있다. 최근에는 반도체 장치의 소형화 추세에 의해서 반도체 장치를 구성하는 MOS 트랜지스터(MOS FET)의 크기가 감소되고 있으며, 이로 인해서 펀치쓰루 항복(Punch-through Breakdown) 전압이 감소되고 상기 MOS 트랜지스터의 게이트 산화막의 두께도 감소되고 있다.

따라서 번인 테스트 시에 스트레스 전압을 너무 높게 인가하면, 반도체 장치의 디펙트의 열화나 진행성 초기 불량에 의한 결함인지, 스트레스 전압이 적절한 레벨로 인가되지 아니하여 MOS 트랜지스터의 펀치쓰루 항복이나 MOS 트랜지스터의 게이트 산화막의 파괴 등에 의한 결함인지를 판단할 수 없게 되어 수율 향상을 도모할 수 없게 된다.

그러므로 번인 테스트를 수행하는 경우에 가속 인수인 스트레스 전압이 적절한 레벨로 인가되었는지를 판단할 수 있는 장치가 필요하다. 일본 공개 특허 공보 특개2001-0035193(2001년 2월 9일 공개)에는 반도체 메모리 장치에서 번인 테스트시에 인가되는 스트레스 전압이 소정의 임계 전압을 초과하는 지를 검출하는 조건 검출 회로가 개시되어 있다.

그러나 스트레스 전압이 소정의 임계 전압을 초과하는 지를 검출하는 것만으로는 반도체 장치의 결함이 디펙트의 열화나 진행성 초기 불량에 의한 것인지, 스트레스 전압이 적절한 레벨로 인가되지 아니하여 MOS 트랜지스터의 펀치쓰루 항복이나 MOS 트랜지스터의 게이트 산화막의 파괴 등에 의한 것인지 정확하게 판단하기는 곤란하다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 반도체 장치의 번인 테스트시에 번인 테스트가 적절한 조건으로 이루어졌는지를 판단할 수 있는 인가 스트레스 전압의 최대치를 측정하는 장치를 제공하고자 하는 것이다.

### 발명의 구성 및 작용

상기 기술적 과제들을 달성하기 위한 본 발명에 따른 전원 전압 측정 장치는 전원 전압이 다수의 전압값으로 인가되고, 상기 다수의 전압값의 전원 전압 중에서 최대치를 검출하는 전압 검출부, 상기 전압 검출부의 출력을 입력받아 유지하는 전압 유지부 및 상기 전압 유지부의 출력을 독출하는 전압 독출부를 포함하는 것을 특징으로 한다.

상기 기술적 과제들을 달성하기 위한 본 발명의 일실시에 따른 전원 전압 측정 장치는 전원 전압단, 접지 전압단 및 상기 전원 전압단과 상기 접지 전압단 사이에 병렬 연결되는 제 1 전원 전압 측정부와 제 2 전원 전압 측정부를 포함하는 전원 전압 측정 장치로, 상기 제 1 전원 전압 측정부는 상기 전원 전압단과 제 1 출력 노드 사이에 연결된 제 1 저항 및 상기 제 1 출력 노드와 상기 접지 전압단 사이에 연결된 제 2 저항으로 구성되어 상기 전원 전압을 상기 제 1 저항과 상기 제 2

저항의 저항 비에 상응하는 전압으로 분배하여 상기 제 1 출력 노드의 전압으로서 출력하는 제 1 전압 검출부, 상기 제 1 출력 노드의 전압에 의해서 활성화되어 상기 제 1 전압 검출부의 출력을 입력받아 유지하는 제 1 전압 유지부 및 상기 제 1 전압 유지부의 출력을 독출하는 제 1 전압 독출부를 포함하고, 상기 제 2 전원 전압 측정부는 상기 전원 전압단과 제 2 출력 노드 사이에 연결된 제 3 저항 및 상기 제 2 출력 노드와 상기 접지 전압단 사이에 연결된 제 4 저항으로 구성되어 상기 전원 전압을 상기 제 3 저항과 상기 제 4 저항의 저항 비에 상응하는 전압으로 분배하여 상기 제 2 출력 노드의 전압으로서 출력하는 제 2 전압 검출부, 상기 제 2 출력 노드의 전압에 의해서 활성화되어 상기 제 2 전압 검출부의 출력을 입력받아 유지하는 제 2 전압 유지부 및 상기 제 2 전압 유지부의 출력을 독출하는 제 2 전압 독출부를 포함하며, 상기 제 1 저항과 상기 제 2 저항의 저항 비와 상기 제 3 저항과 상기 제 4 저항의 저항 비가 다른 것을 특징으로 한다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

도 1은 본 발명의 일 실시예에 따른 전원 전압 측정 장치의 전압 측정 방법을 나타내는 플로차트이다.

반도체 장치에 번인 테스트를 수행하는 경우에 먼저 다양한 스트레스 전압을 인가(S1, S2, Sfinal)한다. 다양한 스트레스 전압을 인가할 때마다 상기 스트레스 전압을 검출(SD1, SD2, ..., SDfinal)한다. 그리고 상기 다양한 스트레스 전압을 유지부에 저장(Slatch)한다. 마지막으로 상기 다양한 스트레스 전압 중에서 최대치의 스트레스 전압을 독출(Sread)한다.

그럼으로써 번인 테스트를 수행한 후에 반도체 장치에 결함이 존재하는 경우에 반도체 장치의 결함이 디펙트의 열화나 진행성 초기 불량에 의한 것인지, 스트레스 전압이 적절한 레벨로 인가되지 아니하여 반도체 장치를 구성하는 MOS 트랜지스터의 편치쓰루 항복이나 상기 MOS 트랜지스터의 게이트 산화막 파괴 등에 의한 것인지 정확하게 판단할 수 있다.

도 2는 본 발명의 일 실시예에 따른 전원 전압 측정 장치의 구성을 나타내는 블록 구성도이다. 도 3a는 본 발명의 일 실시예에 따른 전원 전압 측정 장치의 다수의 전원 전압 측정부의 전압 검출부들을 나타내는 회로도이다. 도 3b는 본 발명의 일 실시예에 따른 전원 전압 측정 장치의 다수의 전원 전압 측정부의 전압 유지부 및 전압 독출부를 나타내는 회로도이다.

본 발명에 따른 전원 전압 측정 장치는 전압 검출부, 전압 유지부 및 전압 독출부를 포함한다. 상기 전압 검출부는 전원 전압이 다수의 전압값으로 인가되고, 상기 다수의 전압값의 전원 전압 중에서 최대치를 검출한다. 상기 전압 유지부는 상기 전압 검출부의 출력을 입력받아 유지하고, 상기 전압 독출부는 상기 전압 유지부의 출력을 독출한다.

상기 전압 검출부는 상기 전원 전압을 상기 전원 전압값이 넘지 않는 범위 내에서 적어도 2 개 이상의 전압값으로 검출한다. 즉, 상기 전압 검출부는 상기 전원 전압값의 범위 내에서 2 단계 이상의 전압 레벨로 상기 전원 전압을 검출한다. 검출하는 전압 레벨의 단계가 증가되면, 상기 전압 검출부는 상기 전원 전압을 보다 더 정밀하게 검출할 수 있다.

도 2 내지 도 3b를 참조하면, 본 발명의 일 실시예에 따른 전원 전압 측정 장치는 전원 전압(Vk)단과 접지 전압(Gnd)단 및 상기 전원 전압(Vk)단과 상기 접지 전압(Gnd)단 사이에 병렬 연결되는 다수의 전원 전압 측정부(제 1 전원 전압 측정부; MEA1, 제 2 전원 전압 측정부; MEA2, 제 m 전원 전압 측정부; MEAm)들을 포함한다.

제 1 전원 전압 측정부(MEA1)는 제 1 전압 검출부(D1), 제 1 전압 유지부(L1) 및 제 1 전압 독출부(R1)를 포함한다. 구체적으로, 도 3a에 도시되어 있는 바와 같이, 상기 제 1 전압 검출부(D1)는 상기 전원 전압(Vk)단과 제 1 출력 노드(N1) 사이에 연결된 제 1 저항(Ra) 및 상기 제 1 출력 노드(N1)와 상기 접지 전압(Gnd)단 사이에 연결된 제 2 저항(R1)으로 구성되어 상기 전원 전압(Vk)을 상기 제 1 저항(Ra)과 상기 제 2 저항(R1)의 저항 비에 상응하는 전압으로 분배하여 상기 제 1 출력 노드(N1)의 전압으로서 출력한다. 그러므로 상기 제 1 저항(Ra)과 상기 제 2 저항(R1)의 저항비를 조정함으로써 상기 제 1 출력 노드(N1)의 전압값을 조절할 수 있다.

예를 들면 상기 제 1 저항의 저항값이 Ra이고 상기 제 2 저항의 저항값이 R1이며 상기 전원 전압값이 Vk인 경우에는 상기 제 1 출력 노드(N1)의 전압값은 다음 수학식1과 같이 표현될 수 있다.

$$\text{수학식 1} \\ \frac{Vk \times R1}{Ra + R1}$$

제 2 전원 전압 측정부(MEA2)는 제 2 전압 검출부(D2), 제 2 전압 유지부(L2) 및 제 2 전압 독출부(R2)를 포함한다. 상기 제 2 전압 검출부(D2)는 상기 전원 전압(Vk)단과 제 2 출력 노드(N2) 사이에 연결된 제 3 저항(Ra) 및 상기 제 2 출력 노드(N2)와 상기 접지 전압(Gnd)단 사이에 연결된 제 4 저항(R2)으로 구성되어 상기 전원 전압(Vk)을 상기 제 3 저항(Ra)과 상기 제 4 저항(R2)의 저항 비에 상응하는 전압으로 분배하여 상기 제 2 출력 노드(N2)의 전압으로서 출력한다.

예를 들면 상기 제 3 저항의 저항값이 Ra이고 상기 제 4 저항의 저항값이 R2이며 상기 전원 전압값이 Vk인 경우에는 상기 제 2 출력 노드(N2)의 전압값은 다음 수학식2와 같이 표현될 수 있다.

수학식 2

$$\frac{Vk \times R2}{Ra + R2}$$

상기 제 1 저항(Ra)과 상기 제 2 저항(R1)의 저항 비와 상기 제 3 저항(Ra)과 상기 제 4 저항(R2)의 저항비는 다르다. 그러므로 상기 제 1 출력 노드(N1)의 전압과 상기 제 2 출력 노드(N2)의 전압은 다르다.

스트레스 전압이 상기 전원 전압(Vk)으로서 인가되면 상기 제 1 전압 검출부(D1)와 상기 제 2 전압 검출부(D2)의 저항 비에 비례해서 출력 노드의 전압을 출력한다. 상기 제 1 전압 유지부(L1)와 상기 제 2 전압 유지부(L2)는 각각 상기 제 1 전압 검출부(D1)와 상기 제 2 전압 검출부(D2)의 출력 노드(N1, N2)의 전압에 의해서 활성화되므로 상기 출력 노드(N1, N2)의 전압이 소정의 전압 이상이 출력되지 않으면 상기 전압 유지부들(L1, L2)은 활성화되지 않는다.

그러므로 다양한 스트레스 전압들이 인가되는 경우에는 상기 다양한 스트레스 전압들 중에서 최대치의 스트레스 전압이 인가되면 상기 출력 노드(N1, N2)의 전압이 증가되어 상기 전압 유지부들(L1, L2)이 활성화되므로 상기 출력 노드(N1, N2)의 전압이 상기 전압 유지부들(L1, L2)에 유지된다. 따라서 다양한 스트레스 전압들 중에서 최대치의 스트레스 전압이 상기 전압 유지부들(L1, L2)에 유지된다.

바람직하기로는, 본 발명의 일 실시예에 따른 전원 전압 측정 장치는 제 3 전원 전압 측정부(MEA3) 내지 제 m(m≥4) 전원 전압 측정부(MEAm)를 상기 전원 전압(Vk)단과 상기 접지 전압(Gnd)단 사이에 병렬 연결하여 더 포함한다.

상기 제 3 전원 전압 측정부(MEA3)는 제 3 전압 검출부(D3), 제 3 전압 유지부(L3) 및 제 3 전압 독출부(R3)를 포함하고, 상기 제 m 전원 전압 측정부(MEAm)는 제 m 전압 검출부(Dm), 제 m 전압 유지부(Lm) 및 제 m 전압 독출부(Rm)를 포함한다.

제 3 전원 전압 측정부(MEA3) 내지 제 m 전원 전압 측정부(MEAm)의 전압 검출부(D3 내지 Dm)들은 각각 상기 전원 전압(Vk)단과 상기 출력 노드(N3 내지 Nm) 사이에 연결된 저항(Ra) 및 상기 출력 노드(N3 내지 Nm)와 상기 접지 전압(Gnd)단 사이에 연결된 저항(R3 내지 Rm)으로 구성되어 상기 전원 전압(Vk)을 상기 전원 전압(Vk)단과 상기 출력 노드 사이에 연결된 저항(Ra)과 상기 출력 노드와 상기 접지 전압(Gnd)단 사이에 연결된 저항(R3 내지 Rm)의 저항 비에 상응하는 전압으로 분배하여 상기 출력 노드(N3 내지 Nm)의 전압으로서 출력한다.

예를 들어 상기 제 m 전원 전압 측정부(MEAm)의 제 m 전압 검출부(Dm)는 상기 전원 전압(Vk)단과 상기 출력 노드(Nm) 사이에 연결된 저항의 저항값이 Ra이고 상기 출력 노드(Nm)와 상기 접지 전압(Gnd)단 사이에 연결된 저항의 저항값이 Rm이며 상기 전원 전압값이 Vk인 경우에는 상기 제 m 출력 노드(Nm)의 전압값은 다음 수학식3과 같이 표현될 수 있다.

수학식 3

$$\frac{Vk \times Rm}{Ra + Rm}$$

상기 제 1 전압 검출부(D1) 내지 제 m 전압 검출부(Dm)의 저항비가 달라지면 상기 출력 노드(N1 내지 Nm)의 전압값은 달라진다. 그러므로 상기 다수의 전압 검출부(D1 내지 Dm)의 저항비를 조정함으로써 상기 출력 노드(N1 내지 Nm)의 전압값을 조절할 수 있다.

상기 다수의 전압 검출부(D1 내지 Dm)의 저항비가 각각 다르게만 구성하면 족하므로 상기 전원 전압(Vk)단과 상기 출력 노드(N1 내지 Nm) 사이에 연결되는 저항들(Ra)의 저항값은 동일하게 구성하고 상기 출력 노드(N1 내지 Nm)와 상기 접지 전압(Gnd)단 사이에 연결되는 저항들(R1 내지 Rm)을 다르게 구성하는 것이 바람직하다. 그럼으로써 상기 다수의 전압 검출부들(D1 내지 Dm)을 용이하게 구성할 수 있다.

그리고 상기 출력 노드(N1 내지 Nm)와 상기 접지 전압(Gnd)단 사이에 연결되는 저항들(R1 내지 Rm)을 증가하는 방향으로 순차적으로 배열하거나 감소하는 방향으로 순차적으로 배열하는 것이 더욱 바람직하다. 그럼으로써 상기 출력 노드(N1 내지 Nm)의 전압값이 순차적으로 증가하거나 순차적으로 감소하므로 상기 출력 노드(N1 내지 Nm)의 전압값을 용이하게 예측할 수 있다.

상기 출력 노드(N1 내지 Nm)의 전압값의 개수는 상기 전압 검출부(D1 내지 Dm)의 개수에 비례하므로 상기 전압 검출부(D1 내지 Dm)의 개수를 증가시킴으로써 상기 다수의 출력 노드(N1 내지 Nm)의 전압값은 소정의 전압값의 범위 내에서 상기 전압 검출부(D1 내지 Dm)의 개수에 비례하여 각각 인접하는 출력 노드(N1 내지 Nm)의 전압값의 차이가 감소한다. 즉 상기 전압 검출부(D1 내지 Dm)의 개수가 증가되면 상기 전원 전압(Vk)을 보다 더 정밀하게 검출할 수 있다.



상기 다수의 전압 검출부들(D1 내지 Dm)은 각각 상기 전원 전압(Vk)단과 상기 출력 노드(N1 내지 Nm) 및 상기 전원 전압(Vk)단 사이에 연결된 저항(Ra) 사이에 다이오드(DIO1 내지 DIOm)를 더 구비한다. 그럼으로써 상기 전원 전압(Vk)이 상기 다이오드(DIO1 내지 DIOm)의 오프셋(Offset) 전압 이하인 경우에는 상기 전원 전압(Vk)이 상기 출력 노드(N1 내지 Nm) 및 상기 전원 전압(Vk)단 사이에 연결된 저항(Ra)에 전달되지 않으므로 소비 전력을 감소시킬 수 있다.

상기 다이오드(DIO1 내지 DIOm)는 엔모스 트랜지스터의 게이트와 드레인을 연결하여 이용되는 엔모스 다이오드인 것이 바람직하다. 상기 다이오드(DIO1 내지 DIOm)를 상기 엔모스 다이오드로 구성하는 경우에는 상기 전원 전압(Vk)이 상기 엔모스 트랜지스터의 문턱 전압(Threshold Voltage) 이하이면 상기 전원 전압(Vk)이 상기 출력 노드(N1 내지 Nm) 및 상기 전원 전압(Vk)단 사이에 연결된 저항에 전달되지 않는다. 즉 상기 엔모스 다이오드의 문턱 전압이 상기 다이오드(DIO1 내지 DIOm)의 오프셋 전압이 된다. 그러므로 상기 엔모스 다이오드의 문턱 전압을 조정하여 다이오드의 오프셋 전압을 조절할 수 있다.

예를 들어 상기 제 m 전원 전압 측정부(MEAm)의 제 m 전압 검출부(Dm)는 상기 전원 전압(Vk)단과 상기 출력 노드(Nm) 사이에 연결된 저항의 저항값이 Ra이고, 상기 출력 노드(Nm)와 상기 접지 전압(Gnd)단 사이에 연결된 저항의 저항값이 Rm이며, 상기 전원 전압값이 Vk이고, 상기 엔모스 다이오드의 문턱 전압이 Vt인 경우에는 상기 제 m 출력 노드(Nm)의 전압값은 다음 수학적식4와 같이 표현될 수 있다.

$$\text{수학적식 4} \\ \frac{(V_k - V_t) \times R_m}{R_a + R_m}$$

상기 전압 검출부(Dm)에 상기 엔모스 다이오드를 구비하면 상기 엔모스 다이오드를 구비하지 않는 경우에 비해서 상기 전원 전압(Vk)이 상기 엔모스 다이오드의 문턱 전압(Vt)만큼이 감소한다. 그외의 출력 노드(N1 내지 Nm-1)의 전압값도 상기 제 m 출력 노드(Nm)의 전압값처럼, 상기 전원 전압(Vk)이 상기 엔모스 다이오드의 문턱 전압(Vt)만큼 감소한다.

상기 다수의 전압 검출부들(D1 내지 Dm)은 각각 상기 출력 노드(N1 내지 Nm) 및 상기 접지 전압(Gnd)단 사이에 연결된 저항(R1 내지 Rm)과 상기 접지 전압(Gnd)단 사이에 검출 개시 신호(MRS)에 의해서 활성화되는 스위칭 수단(S1 내지 Sm)을 더 구비한다. 그럼으로써 상기 검출 개시 신호(MRS)가 인가되지 아니하면 상기 전원 전압(Vk)이 인가되어도 상기 저항(R1 내지 Rm)과 상기 접지 전압(Gnd)단 사이가 전기적으로 연결되지 않으므로 상기 저항(R1 내지 Rm)을 통해서 상기 접지 전압(Gnd)단으로 누설 전류(Leakage Current)가 흐르는 것을 억제할 수 있다.

상기 스위칭 수단(S1 내지 Sm)을 엔모스 트랜지스터로 구성하는 경우에는 상기 전압 검출부들(D1 내지 Dm)을 제조하는 것이 간편해지므로, 상기 스위칭 수단(S1 내지 Sm)은 엔모스 트랜지스터인 것이 바람직하다.

그리고 상기 제 1 전압 유지부(L1)는 상기 제 1 출력 노드(N1)의 전압에 의해서 활성화되어 상기 제 1 전압 검출부(D1)의 출력을 입력받아 유지하고, 상기 제 1 전압 독출부(R1)는 상기 제 1 전압 유지부(L1)의 출력을 독출한다.

바람직하기로는, 상기 제 1 전압 유지부(L1)는 트랜스 미션 게이트(T1)와 인버터 래치(I12, I13, I14)로 구성되며, 상기 트랜스 미션 게이트(T1)는 상기 제 1 출력 노드(N1)의 전압에 의해서 활성화되어 상기 인버터 래치(I12, I13, I14)에 상기 제 1 전압 검출부(D1)의 출력을 입력받아 유지한다. 상기 제 1 출력 노드(N1)의 전압이 상기 제 1 전압 유지부(L1)에 입력되면 상기 제 1 출력 노드(N1)의 전압이 소정의 전압 이상인 경우에는 인버터(I11)가 상기 제 1 출력 노드(N1)의 전압을 하이 상태로 감지하여 상기 트랜스미션 게이트(T1)가 활성화된다. 그럼으로써 상기 제 1 출력 노드(N1)의 전압이 하이 상태로 인버터 래치(I12, I13, I14)에 전달되고 상기 인버터 래치(I12, I13, I14)는 상기 제 1 출력 노드(N1)의 전압을 하이 상태로 유지한다.

상기 제 1 출력 노드(N1)의 전압이 소정의 전압 이하인 경우에는 상기 인버터(I11)가 상기 제 1 출력 노드(N1)의 전압을 로우 상태로 감지하여 상기 트랜스미션 게이트(T1)는 활성화되지 않는다. 그럼으로써 상기 제 1 출력 노드(N1)의 전압은 상기 인버터 래치(I12, I13, I14)에 전달되지 않는다. 그러므로 상기 인버터 래치(I12, I13, I14)는 그전의 상태를 유지한다.

그외의 전압 유지부들(L2 내지 Lm)도 각 출력 노드(N2 내지 Nm)의 전압에 의해 활성화되어 각 전압 검출부(D2 내지 Dm)의 출력을 입력받아 유지하고, 각 전압 독출부(R2 내지 Rm)는 각 전압 유지부(L2 내지 Lm)의 출력을 독출한다.

구체적으로, 제 2 내지 제 m 전압 유지부들(L2 내지 Lm)도 상기 제 1 전압 유지부(L1)처럼, 트랜스 미션 게이트(T2, T3, 내지 Tm)와 인버터 래치(I22, I23, I24, I32, I33, I34, 내지 Im2, Im3, Im4)로 구성되며, 각각의 출력 노드(N2 내지 Nm)의 전압이 소정의 전압 이상인 경우에는 인버터(I21, I31, 내지 Im1)가 상기 출력 노드(N2 내지 Nm)의 전압을 하이 상태로 감지하여 상기 트랜스미션 게이트(T2, T3, 내지 Tm)가 활성화된다. 그럼으로써 상기 출력 노드(N2 내지 Nm)의 전압이 하이 상태로 상기 인버터 래치(I22, I23, I24, I32, I33, I34, 내지 Im2, Im3, Im4)에 전달되고 상기 인버터 래치(I22, I23, I24, I32, I33, I34, 내지 Im2, Im3, Im4)는 상기 출력 노드(N2 내지 Nm)의 전압을 하이 상태로 유지한다.

그러나 상기 출력 노드(N2 내지 Nm)의 전압이 소정의 전압 이하인 경우에는 상기 인버터(I21, I31, 내지 Im1)가 상기 출력 노드(N2 내지 Nm)의 전압을 로우 상태로 감지하여 상기 트랜스미션 게이트(T2, T3, 내지 Tm)는 활성화되지 않으므로 상기 출력 노드(N2 내지 Nm)의 전압은 상기 인버터 래치(I22, I23, I24, I32, I33, I34, 내지 Im2, Im3, Im4)에 전달되지 않는다. 그러므로 상기 인버터 래치(I22, I23, I24, I32, I33, I34, 내지 Im2, Im3, Im4)는 그전의 상태를 유지한다.

다양한 스트레스 전압들이 전원 전압으로 인가되는 경우에는 상기 다양한 스트레스 전압들 중에서 최대치의 스트레스 전압이 인가되면 출력 노드들(N1 내지 Nm)의 전압이 최대가 되어 활성화되는 전압 유지부들의 개수도 최대가 되므로 상기 활성화된 전압 유지부들은 상기 출력 노드(N2 내지 Nm)의 전압을 하이 상태로 계속 유지한다. 따라서 다양한 스트레스 전압들 중에서 최대치의 스트레스 전압이 상기 전압 유지부들에 유지된다.

제 1 전압 유지부(L1) 내지 제 m 전압 유지부(Lm)는 각각 상기 접지 전압(Gnd)을 전달하는 초기화 수단(INIT1 내지 INITm)을 더 구비한다. 초기화 신호(PVCCH)가 상기 초기화 수단(INIT1 내지 INITm)에 인가되면 상기 초기화 수단(INIT1 내지 INITm)은 활성화되어 상기 인버터 래치(I12, I13, I14, I22, I23, I24, I32, I33, I34, 내지 Im2, Im3, Im4)의 입력단과 상기 접지 전압(Gnd)단이 전기적으로 연결되므로 상기 인버터 래치(I12, I13, I14, I22, I23, I24, I32, I33, I34, 내지 Im2, Im3, Im4)의 입력단은 로우 상태로 유지된다.

그럼으로써 상기 출력 노드(N1 내지 Nm)의 전압이 소정의 전압 이하인 경우에 상기 트랜스미션 게이트(T1 내지 Tm)가 활성화되지 않으므로 상기 인버터 래치(I12, I13, I14, I22, I23, I24, I32, I33, I34, 내지 Im2, Im3, Im4)는 로우 상태를 유지하므로 상기 인버터 래치(I12, I13, I14, I22, I23, I24, I32, I33, I34, 내지 Im2, Im3, Im4)의 상태를 확실하게 할 수 있다.

상기 제 1 전압 독출부(R1)는 상기 제 1 전압 유지부(L1)의 출력 신호를 입력받아 상기 제 1 전압 독출부(R1)의 출력 신호(Dout1)로 제공한다. 상기 제 1 전압 독출부(R1)는 상기 제 1 전압 유지부(L1)의 인버터 래치(I12, I13, I14)가 하이 상태를 유지하는 경우에는 하이 상태를 출력하고, 상기 제 1 전압 유지부(L1)의 인버터 래치(I12, I13, I14)가 로우 상태를 유지하는 경우에는 로우 상태를 출력한다.

그외의 전압 독출부들(R2 내지 Rm)도 상기 제 1 전압 독출부(R1)처럼, 각각의 전압 유지부(L2 내지 Lm)의 출력 신호를 입력받아 상기 전압 독출부(R2 내지 Rm)의 출력 신호(Dout2 내지 Doutm)로 제공한다. 상기 전압 독출부들(R2 내지 Rm)은 상기 각각의 전압 유지부(L2 내지 Lm)의 인버터 래치(I22, I23, I24, I32, I33, I34, 내지 Im2, Im3, Im4)가 하이 상태를 유지하는 경우에는 하이 상태를 출력하고, 상기 각각의 전압 유지부(L2 내지 Lm)의 인버터 래치(I22, I23, I24, I32, I33, I34, 내지 Im2, Im3, Im4)가 로우 상태를 유지하는 경우에는 로우 상태를 유지한다.

상기 제 1 전압 독출부(R1) 내지 상기 제 m 전압 독출부(Rm)가 제공하는 출력 신호들(Dout1 내지 Doutm)로부터 상기 전원 전압(Vk)을 환산하여 다양한 스트레스 전압들 중에서 최대치의 스트레스 전압을 알 수 있다.

제 1 전압 독출부(R1) 내지 제 m 전압 독출부(Rm)는 각각 독출 개시 신호(MRS\_Read)에 의해서 활성화되는 것이 바람직하다. 상기 전압 독출부들(R1 내지 Rm)의 출력 신호(Dout1 내지 Doutm)는 각각 상기 독출 개시 신호(MRS\_Read)와 상기 전압 유지부(L1 내지 Lm)의 인버터 래치(I12, I13, I14, I22, I23, I24, I32, I33, I34, 내지 Im2, Im3, Im4)의 출력 신호의 논리곱 연산에 의해서 제공된다.

그러므로 상기 독출 개시 신호(MRS\_Read)가 인가되지 아니하면 상기 전압 독출부(R1 내지 Rm)의 출력 신호(Dout1 내지 Doutm)는 로우 상태를 유지하게 되고 상기 독출 개시 신호(MRS\_Read)가 인가되면 상기 전압 유지부들(L1 내지 Lm)의 인버터 래치(I12, I13, I14, I22, I23, I24, I32, I33, I34, 내지 Im2, Im3, Im4)의 출력 신호가 상기 전압 독출부(R1 내지 Rm)의 출력 신호(Dout1 내지 Doutm)로서 제공된다.

상기 전압 독출부들(R1 내지 Rm)이 상기 독출 개시 신호(MRS\_Read)에 의해서 활성화되는 경우에는 상기 독출 개시 신호(MRS\_Read)가 인가되는 경우에만 상기 전압 유지부들(L1 내지 Lm)의 인버터 래치(I12, I13, I14, I22, I23, I24, I32, I33, I34, 내지 Im2, Im3, Im4)의 출력 신호가 상기 전압 독출부(R1 내지 Rm)의 출력 신호(Dout1 내지 Doutm)로서 제공됨으로써 상기 전압 독출부(R1 내지 Rm)의 소비 전력을 감소시킬 수 있다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**발명의 효과**

상기한 바와 같이 이루어진 본 발명에 따르면, 반도체 장치의 번인 테스트시에 번인 테스트가 적절한 조건으로 이루어졌는지를 판단할 수 있는 인가 스트레스 전압의 최대치를 측정하는 장치를 제공할 수 있다.

**(57) 청구의 범위**

**청구항 1.**

- 전원 전압이 다수의 전압값으로 인가되고, 상기 다수의 전압값의 전원 전압 중에서 최대치를 검출하는 전압 검출부;
- 상기 전압 검출부의 출력을 입력받아 유지하는 전압 유지부; 및
- 상기 전압 유지부의 출력을 독출하는 전압 독출부를 포함하는 것을 특징으로 하는 전원 전압 측정 장치.

**청구항 2.**

제1항에 있어서,

상기 전원 검출부는 상기 전원 전압을 상기 전원 전압값이 넘지 않는 범위 내에서 적어도 2 개 이상의 전압값으로 검출하는 것을 특징으로 하는 전원 전압 측정 장치.

### 청구항 3.

전원 전압단;

접지 전압단; 및

상기 전원 전압단과 상기 접지 전압단 사이에 병렬 연결되는 제 1 전원 전압 측정부와 제 2 전원 전압 측정부를 포함하는 전원 전압 측정 장치로,

상기 제 1 전원 전압 측정부는 상기 전원 전압단과 제 1 출력 노드 사이에 연결된 제 1 저항 및 상기 제 1 출력 노드와 상기 접지 전압단 사이에 연결된 제 2 저항으로 구성되어 상기 전원 전압을 상기 제 1 저항과 상기 제 2 저항의 저항 비에 상응하는 전압으로 분배하여 상기 제 1 출력 노드의 전압으로서 출력하는 제 1 전압 검출부;

상기 제 1 출력 노드의 전압에 의해서 활성화되어 상기 제 1 전압 검출부의 출력을 입력받아 유지하는 제 1 전압 유지부; 및

상기 제 1 전압 유지부의 출력을 독출하는 제 1 전압 독출부를 포함하고,

상기 제 2 전원 전압 측정부는 상기 전원 전압단과 제 2 출력 노드 사이에 연결된 제 3 저항 및 상기 제 2 출력 노드와 상기 접지 전압단 사이에 연결된 제 4 저항으로 구성되어 상기 전원 전압을 상기 제 3 저항과 상기 제 4 저항의 저항 비에 상응하는 전압으로 분배하여 상기 제 2 출력 노드의 전압으로서 출력하는 제 2 전압 검출부;

상기 제 2 출력 노드의 전압에 의해서 활성화되어 상기 제 2 전압 검출부의 출력을 입력받아 유지하는 제 2 전압 유지부; 및

상기 제 2 전압 유지부의 출력을 독출하는 제 2 전압 독출부를 포함하며,

상기 제 1 저항과 상기 제 2 저항의 저항 비와 상기 제 3 저항과 상기 제 4 저항의 저항 비가 다른 것을 특징으로 하는 전원 전압 측정 장치.

### 청구항 4.

제3항에 있어서,

상기 제 1 및 제 2 전원 전압 측정부와 병렬로 연결된  $m(m \geq 1)$  개의 전원 전압 측정부를 더 포함하고, 상기  $m$  개의 전원 전압 측정부는 각각 전압 검출부, 전압 유지부 및 전압 독출부를 포함하며, 상기  $m$  개의 전원 전압 측정부의 각각의 전압 검출부의 저항비가 다른 것을 특징으로 하는 전원 전압 측정 장치.

### 청구항 5.

제3항에 있어서,

상기 제 1 전압 검출부는 상기 전원 전압단과 상기 제 1 저항 사이에 다이오드를 더 구비하고, 상기 제 2 전압 검출부는 상기 전원 전압단과 상기 제 3 저항 사이에 다이오드를 더 구비하는 것을 특징으로 하는 전원 전압 측정 장치.

### 청구항 6.

제5항에 있어서,

상기 다이오드는 엔모스 트랜지스터의 게이트와 드레인을 연결하여 이용되는 엔모스 다이오드인 것을 특징으로 하는 전원 전압 측정 장치.

청구항 7.

제3항에 있어서,

상기 제 1 전압 검출부는 상기 제 2 저항과 상기 접지 전압단 사이에 검출 개시 신호에 의해서 활성화되는 스위칭 수단을 더 구비하고, 상기 제 2 전압 검출부는 상기 제 4 저항과 상기 접지 전압단 사이에 상기 검출 개시 신호에 의해서 활성화되는 스위칭 수단을 더 구비하는 것을 특징으로 하는 전원 전압 측정 장치.

청구항 8.

제7항에 있어서,

상기 스위칭 수단은 엔모스 트랜지스터인 것을 특징으로 하는 전원 전압 측정 장치.

청구항 9.

제3항에 있어서,

상기 제 1 전원 유지부는 상기 접지 전압을 전달하는 초기화 수단을 더 구비하고, 상기 제 2 전원 유지부는 상기 접지 전압을 전달하는 초기화 수단을 더 구비하는 것을 특징으로 하는 전원 전압 측정 장치.

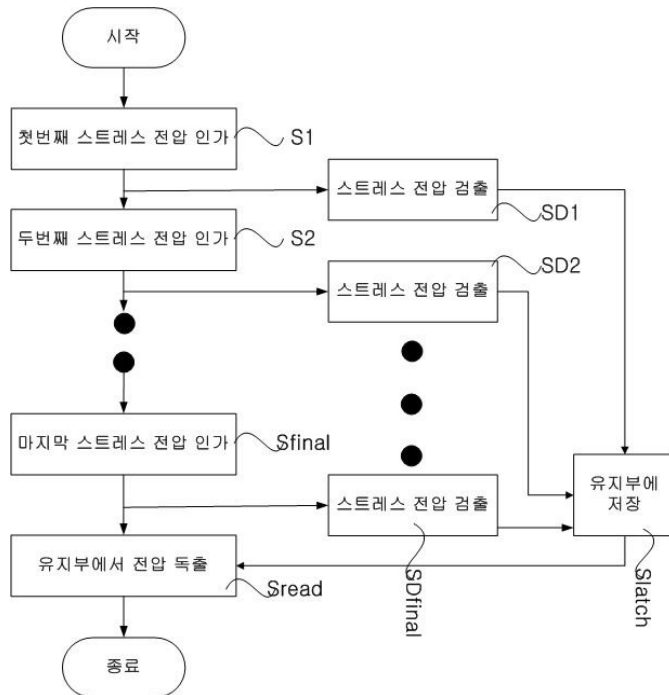
청구항 10.

제3항에 있어서,

상기 제 1 및 제 2 전압 독출부는 독출 개시 신호에 의해서 활성화되는 것을 특징으로 하는 전원 전압 측정 장치.

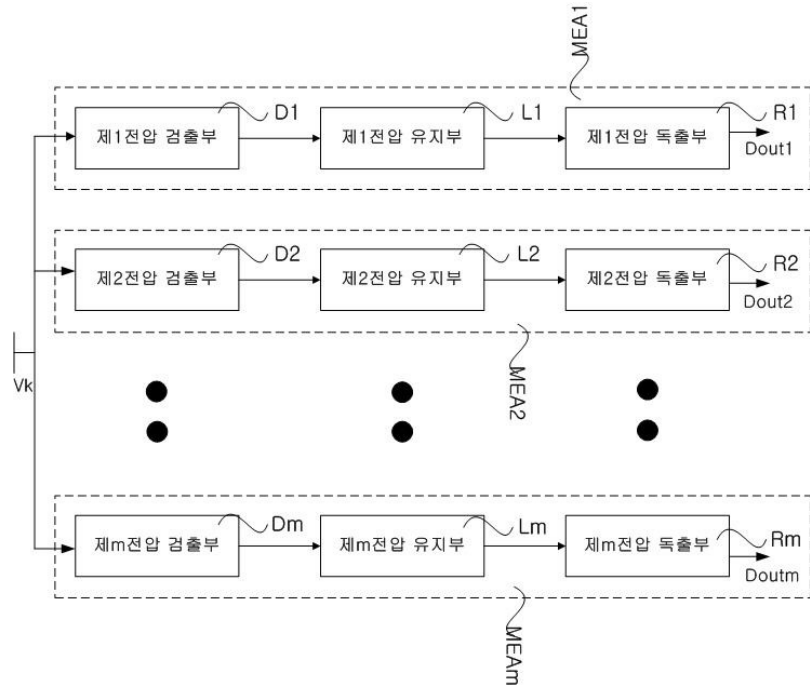
도면

도면1

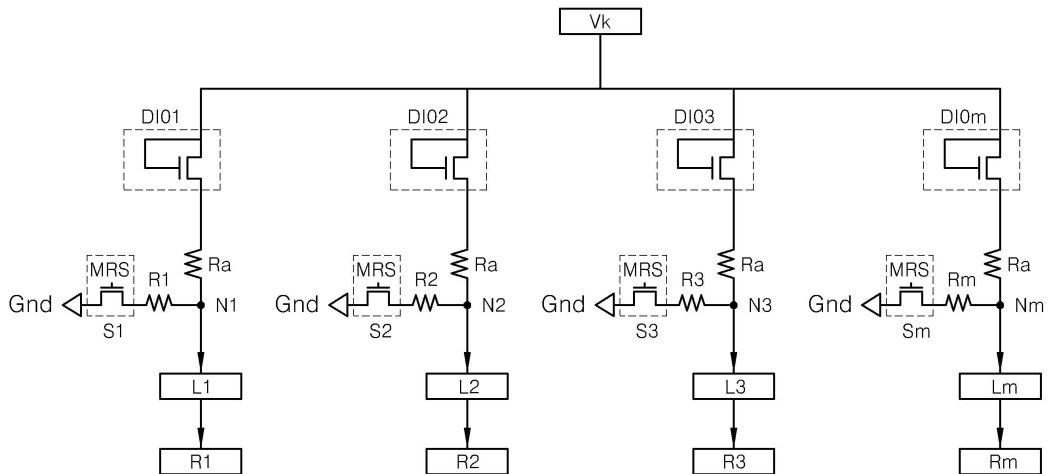




도면2



도면3a



도면3b

