

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權  
 歐洲專利機構 2000年12月22日 00204785.0 有 無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝

訂

線

## 五、發明說明(1)

本發明與一種包含EEPROM和FLASH-EPROM記憶體的半導體裝置有關，其中該EEPROM記憶體包含具有一選擇電晶體的記憶體單元之行列矩陣，該電晶體具有一選擇閘，並且與一具有一懸浮閘和一控制閘的記憶電晶體串聯配置，其中選擇電晶體進一步連接到EEPROM記憶體的位元線，並且記憶電晶體連接到EEPROM記憶體的源極線，其中複數個記憶體單元都共用該源極線，並且其中FLASH-EPROM記憶體包含一具有記憶電晶體的記憶體單元之行列矩陣，該電晶體具有一懸浮閘和一控制閘。本發明也與製造這種半導體裝置的方法有關。

EEPROM記憶體特別適合用來儲存必須重複改變的資料，在不影響相鄰記憶體單元內資料的情況下，每個記憶體單元內的資料可能會經常改變超過一百萬次。而儲存在這種記憶體內的資料也會保持一段很長的時間。福勒-諾德漢穿遂法進行資料的寫入與抹除，如此資料的寫入與抹除就只需要非常少量的電力即可。

FLASH-EPROM記憶體的記憶體單元可以在比EEPROM記憶體的記憶體單元小很多的半導體本體表面上實現：實際上，可在小於30%的表面上實現。不過在這種記憶體的記憶體單元內，在不影響到相鄰記憶體單元的情況下並無法經常改變資料。FLASH-EPROM記憶體適合用來儲存不需要經常改變的資料，例如密碼或電腦程式的程式碼。

特別是那些其中必須儲存相當大量程式碼和程式資料以及相當少量經常改變的資料之應用，所以將兩種記憶體結

## 五、發明說明(2)

合在一個半導體裝置內會有極大的優點。除了這種記憶體以外，這種半導體裝置還包含用於程式規劃、抹除和讀取記憶體的電子電路、用於處理資料的微處理器以及用於輸入和退出資料的電路。

第5,850,092號美國專利公佈一種在開頭章節內說明的半導體裝置，其中EEPROM記憶體的記憶體單元由一選擇閘以及和它串聯配置包含一懸浮閘與一控制閘的記憶電晶體所構成，並且其中FLASH-EPROM記憶體的記憶體單元由具有一懸浮閘和一控制閘的MOS電晶體形式之記憶電晶體所構成。

藉由福勒-諾德漢穿遂法可將資料寫入EEPROM記憶體的記憶體單元內，或從此處抹除之。而利用將「熱電子」從懸浮閘底下的半導體區域注入懸浮閘，如此就可將資料輸入FLASH-EPROM記憶體的記憶體單元內。而藉由福勒-諾德漢穿遂法將注入的電子耗用到懸浮閘底下的半導體區域內，如此就可再次抹除資料。為了以此方式程式規劃記憶體單元，所需的電力要比將資料輸入上述EEPROM記憶體之記憶體單元所需的電力高許多。

本發明的目的就是提供一種開頭章節所述的半導體裝置，其中將資料輸入FLASH-EPROM記憶體並不需要比將資料輸入EEPROM記憶體還要多的電力。依照本發明的半導體裝置特別適合用於非接觸式智慧卡。實際上，這種智慧卡提供有線圈，而資料則以感應方式寫入，而所需的電壓也是用感應方式所呈現。在這種智慧卡中，最大的重點就是

## 五、發明說明( 3 )

包含在這些卡內的半導體裝置，在運作時只能耗用非常少的能源。然後在這些智慧卡內的半導體裝置必須可以程式規劃，讓這種智慧卡適合當成信用卡、ID卡、金融卡或電話卡等等。

依照本發明，開頭章節內說明的半導體裝置之特徵在於，除了具有懸浮閘和控制閘的記憶電晶體以外，FLASH-EPROM記憶體的記憶體單元包含一與此記憶電晶體串聯配置並具有一控制閘的電晶體，該記憶電晶體進一步連接到FLASH-EPROM記憶體的位元線，並且與該記憶電晶體串聯配置的電晶體連接到FLASH-EPROM記憶體的源極線，其中大量記憶體單元都共用該源極線。

將資料寫入此FLASH-EPROM記憶體的記憶體單元之方法類似於利用福勒-諾德漢穿遂法將資料寫入EEPROM記憶體的記憶體單元內。就有關耗用能量方面，結合EEPROM與FLASH-EPROM記憶體的半導體裝置最適合用於非接觸式智慧卡。

FLASH-EPROM記憶體的記憶體單元也可製作成非常小的尺寸，理由是使用了記憶電晶體以及與之串聯配置的電晶體之電路。當程式規劃與抹除記憶體單元時，相當高的正電壓與相當低的負電壓會分別供應到記憶電晶體的控制閘。沒有電壓會供應到與記憶電晶體串聯的電晶體，所以控制閘與源極上是0伏特。另外，當讀取儲存在記憶體單元內的資料，供應給串聯配置的電晶體之電壓非常小。此電晶體可能非常小並且由非常薄的閘氧化層所製成。事實上，

## 五、發明說明( 4 )

與製造EEPROM記憶體的記憶體單元比較起來，只需要比製造總記憶體單元小於30%的空間就可以了。

實際上，該記憶體的組織方式為，同時抹除配置在矩陣行內的複數個記憶體單元。為此，這些記憶電晶體的控制閘會彼此互連，如此高抹除電壓才能同時供應至這些控制閘。例如，八個記憶電晶體會連接在一起，如此就可以位元組為單位來抹除資料。以此方式也可連接數量更多的記憶電晶體。

當程式規劃FLASH-EPROM記憶體的記憶體單元時，相當高的正電壓會供應至記憶電晶體的控制閘，如此電晶體就會獲得例如+3V的臨界電壓。而此相當高的正電壓也會供應到配置在同一行內相鄰記憶電晶體的控制閘。為了避免這些相鄰電晶體也受到程式規劃，例如會將5V的正電壓供應到與這些電晶體汲極相連的位元線。然後此電壓也會到達與這些位元線相連，並且配置在矩陣同一列內的其他記憶電晶體的汲極。當此為常態並且當最後提及的電晶體在進行程式規劃時，這些電晶體的臨界電壓就會改變，如此就會以較不可靠的方式讀取這些資料。這限制了以不危害其他記憶體單元內容的方式，來改變此記憶體的記憶體單元內資料的次數。因為EEPROM記憶體內記憶電晶體的汲極並未連接到位元線，而是連接到在運作期間並未供應電壓的共用源極線，所以此現象並不會發生在這種記憶體內。

類似地就如已知半導體裝置所描述的，依照本發明的半導體裝置包含一矽本體，該本體具有提供於EEPROM記憶

## 五、發明說明( 5 )

體(具有厚度適合當成選擇電晶體閘氧化層的氧化矽層)的記憶體單元區域上之表面，而記憶電晶體懸浮閘下方的層則提供一厚度較小的部分，氧化矽層的該部分適合當成記憶電晶體的穿遂氧化物。

在依照本發明的半導體裝置內，矽本體的表面提供一位於和記憶電晶體串聯配置的電晶體控制閘下方FLASH-EPROM記憶體的記憶體單元區域上之氧化矽層，該氧化矽層的厚度與具有較小厚度並且位於EEPROM記憶體的記憶電晶體懸浮閘下方部分之厚度一樣。當製造此裝置時，在同一個並相同的步驟內，使用同一氧化矽層可形成EEPROM記憶體的記憶電晶體之穿遂氧化物和EEPROM記憶體的閘氧化層以及和FLASH-EPROM記憶體的記憶電晶體串聯配置的電晶體之閘氧化層。此層相當薄，因為上述半導體裝置內的特定電路已經使用了，所以可使用厚度這麼小的閘氧化層。

在所說明已知的半導體裝置內，EEPROM記憶體的記憶體單元內選擇電晶體之閘氧化層具有介於15和25 nm之間的厚度，並且穿遂氧化層的厚度介於7和9 nm之間。在FLASH-EPROM記憶體的記憶體單元內，記憶電晶體懸浮閘下方的氧化矽層具有介於9和12 nm之間的厚度。這些具有三種不同厚度的氧化矽層之應用會造成已知半導體裝置的製造複雜並且昂貴。

在依照本發明的半導體裝置內，矽本體的表面進一步提供一較好位於記憶電晶體控制閘下方FLASH-EPROM記憶體

## 五、發明說明( 6 )

的記憶體單元區域上之氧化矽層，該氧化矽層的厚度與具有較小厚度並且位於EEPROM記憶體的記憶電晶體懸浮閘下方部分之厚度一樣。所以製造EEPROM記憶體與FLASH-EPROM記憶體只需要兩種不同厚度的氧化矽層。

本發明也與製造半導體裝置最後提及的具體實施例之方法有關。依照本發明，此方法之特徵在於，當與矽本體相連的第一導電型作用半導體區域在形成於兩記憶體內的記憶體單元區域上之該矽本體內形成後，該矽本體會經歷第一氧化處理，讓該矽本體的表面提供第一氧化矽層，其中會在EEPROM記憶體的記憶體單元內要形成懸浮閘的區域上，以及在FLASH-EPROM記憶體內要形成記憶體單元的區域上形成窗口，之後該矽本體會經歷第二氧化處理，其中會在窗口內形成第二氧化矽層，此層的厚度可用來當成將形成於兩記憶體內記憶電晶體的穿遂氧化物，以及當成與FLASH-EPROM記憶體的記憶電晶體串聯配置之電晶體的閘氧化層，並且第一氧化矽層會有較厚的厚度，可用來當成EEPROM記憶體內將形成的選擇電晶體之閘氧化層。使用一種簡單的方式可實現這兩種記憶體的記憶體單元內所需之穿遂氧化物以及閘氧化層。在一個處理步驟內，在EEPROM記憶體內將形成的記憶電晶體之懸浮閘區域上，以及在要形成FLASH-EPROM記憶體的記憶體單元區域上可形成窗口。如此只需要兩個氧化處理步驟。

請注意到，上述已知半導體裝置的實現比較複雜。在此裝置中，形成所需的閘與穿遂氧化物需要三個氧化處理步

## 五、發明說明( 7 )

驟，形成EEPROM記憶體的記憶體單元之閘與穿遂氧化物需要兩個處理，而形成FLASH-EPROM記憶體的記憶體單元之穿遂氧化物則需要一個處理。在頭兩個氧化處理期間，必須將在FLASH-EPROM記憶體內形成用於記憶體單元的作用區域遮蓋起來，而在第三個氧化處理期間則需要將在EEPROM記憶體內形成用於記憶體單元的作用區域遮蓋起來。

爲了更輕易程式規劃與抹除EEPROM記憶體的記憶體單元，最好在第一氧化處理之前，用第二導電型並且相鄰於要在記憶電晶體內形成的懸浮閘區域上表面之半導體區域，來提供用於EEPROM記憶體的記憶體單元之作用區域。

該方法進一步簡化形成兩氧化矽層之後的步驟，第一無結晶或多晶矽層會沉積在記憶電晶體的懸浮閘內和在EEPROM記憶體的記憶體單元選擇電晶體之選擇閘內，以及記憶電晶體的懸浮閘和與所形成的層串聯配置之FLASH-EPROM記憶電晶體的控制閘。

再者，在第一無結晶或多晶矽層內兩記憶體的記憶體單元之閘形成之後，再提供具有介電層的懸浮閘是有其好處的，在第二無結晶或多晶矽層沉積之後，將形成EEPROM記憶體的記憶體單元之記憶電晶體控制閘以及FLASH-EPROM記憶體的記憶體單元之記憶電晶體控制閘之層。

經過參考此後所說明的具體實施例之後就可明瞭本發明的這些以及其他領域。

在圖式內：



## 五、發明說明( 8 )

圖1為用於依照本發明的半導體裝置內之EEPROM記憶體電路圖，

圖2為用於依照本發明的半導體裝置內之FLASH-EPROM記憶體電路圖，

圖3至14圖解顯示並剖析製造半導體裝置的許多步驟。

圖1和2分別是用於依照本發明的半導體裝置內之EEPROM記憶體與FLASH-EPROM記憶體相關部分之電路圖。

圖1內顯示的EEPROM記憶體包含以行列配置的記憶體單元 $ME_{ij}$ 之矩陣，其中 $i$ 是列的數量而 $j$ 是行的數量。每個記憶體單元包含一具有懸浮閘1和控制閘2的記憶電晶體T1，以及與此電晶體串聯配置並且具有選擇閘3的選擇電晶體T2。每行內複數個記憶電晶體T1(例如八個或以上的電晶體)的控制閘1會由線 $CG_j$ 互連在一起，而每行內選擇電晶體T2的選擇閘3則由線 $SG_j$ 互連在一起。每列內的選擇電晶體T2也用位元線 $BL_i$ 互連在一起，並且記憶電晶體T1也用複數個記憶體單元共用的源極線SO互連在一起。

EEPROM記憶體個別單元內的資料都可寫入、讀取以及抹除。若只要寫入、讀取以及抹除記憶體單元 $M_{11}$ 內的資料，下列電壓會供應到上述線：

	$CG_1$	$SG_1$	$BL_1$	$CG_{2\dots j\dots}$	$SG_{2\dots j\dots}$	$BL_{2\dots i\dots}$	SO
寫入	0V	+13V	+11V	0V	0V	0V	開路
抹除	+11V	0V	0V	0V	0V	0V	開路
讀取	+1V	+3V	+1V	0V	0V	0V	0V

## 五、發明說明(9)

在寫入期間，記憶電晶體 $T_2$ 會接收大約 $-3V$ 的臨界電壓，並且在抹除期間，此電壓大約會是 $+3V$ 。當記憶體單元 $ME_{11}$ 內的資料已經抹除，則記憶體單元 $ME_{21}$ 、 $ME_{31}$ ... $ME_{i1}$ 內的資料也會同時抹除。

圖2內顯示的FLASH-EPROM記憶體也包含以行列配置的記憶體單元 $MF_{ij}$ 之矩陣，其中 $i$ 是列的數量而 $j$ 是行的數量。每個記憶體單元包含一具有懸浮閘4和控制閘5的記憶電晶體 $T_3$ ，以及與此電晶體串聯配置並且具有控制閘6的電晶體 $T_4$ 。每行內複數個記憶電晶體 $T_3$ (例如八個或以上的電晶體)的控制閘5會由線 $CG_j$ 互連在一起，而每行內電晶體 $T_4$ 的控制閘6則由線 $SG_j$ 互連在一起。每列內的記憶電晶體 $T_1$ 也用位元線 $BL_i$ 互連在一起，並且電晶體 $T_2$ 也用複數個記憶體單元共用的源極線 $SO$ 互連在一起。在此點上此電路就與EEPROM記憶體的電路相左。

若只要寫入、讀取以及抹除此FLASH-EPROM記憶體內的記憶體單元 $M_{11}$ 之資料，下列電壓會供應到上述線：

	$CG_1$	$SG_1$	$BL_1$	$CG_{2...j...}$	$SG_{2...j...}$	$BL_{2...i...}$	SO
寫入	+13V	0V	0V	0V	0V	+5V	開路
抹除	-13V	0V	0V	0V	0V	0V	開路
讀取	+1,2V	+3V	+1V	1,2V	0V	0V	0V

在寫入期間，記憶電晶體 $T_3$ 會接收大約 $+3V$ 的臨界電壓，並且在抹除期間，此電壓大約會是 $-3V$ 。同樣地，記憶體

## 五、發明說明(10)

單元 $MF_{11}$ 、 $MF_{21}$ ... $MF_{i1}$ 內的資料也會同時抹除。

當開始程式規劃記憶體單元 $MF_{11}$ 時，13V的高正電壓會供應到此單元的記憶電晶體T1之控制閘。此電壓也會供應到記憶體單元 $MF_{21}$ 、 $MF_{31}$ ... $MF_{i1}$ 的記憶電晶體之控制閘。爲了避免這些電晶體也受到程式規劃，所以將5V的正電壓供應到位元線 $BL_2$ 、...、 $BL_i$ 。此5V的電壓也會供應到所有連接到這些位元線的記憶電晶體之汲極。當此經常發生並且當這些電晶體之間已經有程式電晶體，這些程式電晶體的臨界電壓可能會有所改變。因此，會以較不可靠的方式讀取所儲存的資料，這將會限制記憶體單元可程式規劃的次數。此現象並不會發生在EEPROM記憶體內。在此，記憶電晶體連接到在運作期間無電壓供應的共用源極線。

圖3至14圖解顯示並剖析製造半導體裝置的許多步驟。圖式顯示EEPROM記憶體的記憶體單元ME之製造、FLASH-EPROM記憶體的記憶體單元MF之製造以及用於將整合到半導體本體上記憶體內的電路內之n型MOS電晶體MOS之製造。顯而易見的，除了這些半導體元件以外，當使用上述方法時也可用簡化的方式來製造像是p型MOS電晶體以及適合在較高電壓上切換的MOS電晶體。

作用半導體區域17、18與19會形成於EEPROM記憶體內所要形成的記憶體單元ME，以及在FLASH-EPROM記憶體和MOS電晶體內所要形成的記憶體單元MF區域上之矽本體10內。如圖1內所示，該方法開始時是習慣性具有磊晶成長濃度相當高的摻雜p型矽本體10、具有每立方公分

## 五、發明說明( 11 )

大約 $10^{15}$ 原子摻雜濃度的較稀摻雜p型頂層11，以傳統方式在矽本體上形成用來形成半導體區域17、18與19相互絕緣的場氧化物區域12，以及提供氧化矽14層的表面13，接著在氧化矽14層上形成抗蝕劑遮罩15、只留下要形成記憶體單元ME的區域未覆蓋。習慣性地，利用離子植入法型乘p型半導體區域17，圖中將以破折線16顯示。同樣地，在要形成記憶體單元MF的區域上提供p型半導體區域18，並且在要形成MOS電晶體MOS的區域上提供p型半導體區域19。

爲了呈現出更容易程式規劃的EEPROM記憶體之記憶體單元ME，相鄰於表面13的n型穿遂區域20會形成於懸浮閘1(形成於EEPROM記憶體的記憶體單元ME內所要形成的記憶電晶體T1內)的區域上之半導體區域17內。之後會去除氧化矽層13。此時矽本體10會經過一項處理，在此進一步稱爲第一氧化處理，如此表面13會提供第一氧化矽層21，然後圖5顯示其結構。

之後，在此第一氧化矽層21上形成抗蝕劑遮罩22，此遮罩覆蓋住半導體區域17上記憶體單元ME要形成的區域，並且留下半導體區域18與19上記憶體單元MF與MOS電晶體MOS要形成的地方沒有覆蓋。在穿遂區20的區域上，窗口23會形成於抗蝕劑遮罩22內，在窗口內會曝露出氧化矽層21。如圖6中所示，經過蝕刻後會去除未覆蓋的氧化矽層部分。在穿遂區20區域上的氧化矽層21蝕刻出窗口24，並且在要形成記憶體單元MJ與MOS電晶體MOS區域上的此層內蝕刻出窗口25。

## 五、發明說明 ( 12 )

在去掉抗蝕劑遮罩23之後，矽本體10會經歷第二氧化處理，其中在窗口24內形成厚度介於7和9 nm之間的第二氧化矽層26，此層26可用來當成EEPROM記憶體內要形成的記憶電晶體T1之穿遂氧化物，並且其中第一氧化矽層21具有介於15與25 nm之間較厚的厚度，如此所形成較厚的層27就可用來當成EEPROM記憶體內所要形成的選擇電晶體之閘氧化層。在此範例中，在第二氧化處理期間也會在作用半導體區域18與19區域上的窗口25內之表面13上形成氧化矽層27。然後此層27具有介於7與9 nm之間的厚度。在此情況下，此層27可用來當成FLASH-EPROM記憶體的記憶電晶體T3之穿遂氧化物，以及當成與記憶電晶體T3串聯配置的記憶體T4之閘氧化層。使用一種簡單的方式可實現這兩種記憶體ME與MF的記憶體單元內所需之穿遂氧化物以及閘氧化層。在一個處理步驟內，在EEPROM記憶體內將形成的記憶電晶體T1之懸浮閘區域1上，以及在要形成FLASH-EPROM記憶體的記憶體單元MF區域上可形成窗口25與26，如此只需要兩個氧化處理步驟。

在形成兩氧化矽層26與27、28之後，如圖7內所示，在表面13上會形成厚度大約250 nm的多晶矽29第一n型摻雜層，該多晶矽具有厚度大約10 nm的氮化矽30頂層。EEPROM記憶體的記憶體單元ME之記憶電晶體T1的懸浮閘1和選擇電晶體T2的選擇閘3，以及FLASH-EPROM記憶體的記憶體單元MF之記憶電晶體T3的懸浮閘4和電晶體T4(與記憶電晶體串聯)的控制閘6都會以傳統方式形成於層29

## 五、發明說明 ( 13 )

與30內。作用區域19上的層29與30會維持用於MOS電晶體，而藉由短暫的氧化處理可在薄氧化矽層(未顯示)的側壁上提供所形成的閘1、3、4和6。

因此，藉由使用閘1、3、4和6的遮罩效果，以傳統方式的離子植入法來形成濃度相當低的摻雜n型半導體區域31，該半導體區域可用來當成電晶體T1、T2、T3和T4的源極和汲極。

在去除閘1、3、4和6的氮化矽層30以及作用區域19上的多晶矽層29，閘1、3、4和6會提供一介電質32，在此情況下就是傳統的ONO層(覆蓋一層氮化矽以及一層氧化矽的氧化矽層)。之後，大約250 nm厚的第二n型多晶矽層33會沉積在此層32上。接著以傳統方式，在此多晶矽層內形成EEPROM記憶體的記憶體單元ME之記憶電晶體T1的控制閘2與FLASH-EPROM記憶體的記憶體單元MF之記憶電晶體T3的控制閘5。

控制閘2與5可用來當成遮罩，如此大體上可去除ONO層32。然後，仍舊存在於作用區域19的是的第一多晶矽層29內會形成MOS電晶體MOS的閘電極33。而使用閘電極33時，會以傳統方式形成用來當成電晶體MOS的源極和汲極之n型半導體區域34。

控制閘2和5、選擇閘3和6以及閘電極33習慣性會提供隔離片35給氧化矽，之後將在n型半導體區域31與34內形成較高的摻雜接觸區域36。之後，整組用氧化矽層37覆蓋住，其中將形成接觸窗口38，其使用位元線BL來接觸底下

## 五、發明說明(14)

記憶體單元ME的選擇電晶體T2之半導體區域，以及記憶體單元MF的記憶電晶體T3。

在說明的半導體裝置內，表面13提供一位於和記憶電晶體串聯配置的電晶體T4控制閘6下方FLASH-EPROM記憶體的記憶體單元MF區域上之氧化矽層28，該氧化矽層的厚度與具有較小厚度26並且位於EEPROM記憶體的記憶電晶體T1懸浮閘1下方部分之厚度一樣。當製造此裝置時，在同一個並相同的步驟內，使用同一氧化矽層可形成EEPROM記憶體的記憶電晶體T1之穿遂氧化物26以及和FLASH-EPROM記憶體的記憶電晶體T3串聯配置的電晶體T4之閘氧化層28。此層相當薄，因為上述半導體裝置內的特定電路已經使用了，所以可使用厚度這麼小的閘氧化層28。在記憶電晶體T3的懸浮閘4之下也可使用此氧化矽層28。所以製造EEPROM記憶體與FLASH-EPROM記憶體只需要兩種不同厚度的氧化矽層27和26、28。

## 四、中文發明摘要(發明之名稱: )

(6)的電晶體(T4)，該控制閘與記憶體單元串聯。該記憶電晶體也連接到一位元線，並且與該記憶電晶體串聯的電晶體也連接到FLASH-EPROM記憶體的共用源極線(S0)。EEPROM記憶體的記憶體單元也很類似，FLASH-EPROM記憶體的記憶體單元可使用福勒-諾德漢穿遂法(Fowler-Nordheim tunneling)進行程式規劃。因此，該半導體裝置適用於低電壓以及低功率的應用，即是該裝置可用於非接觸式智慧卡。

## 英文發明摘要(發明之名稱: )

Similarly as the memory cells of the EEPROM memory, the memory cells of the FLASH-EPROM memory can be programmed by using Fowler-Nordheim tunneling. Consequently, the semiconductor device is suitable for use in low-voltage and low-power applications, i.e. the device can be used in contactless smart cards.



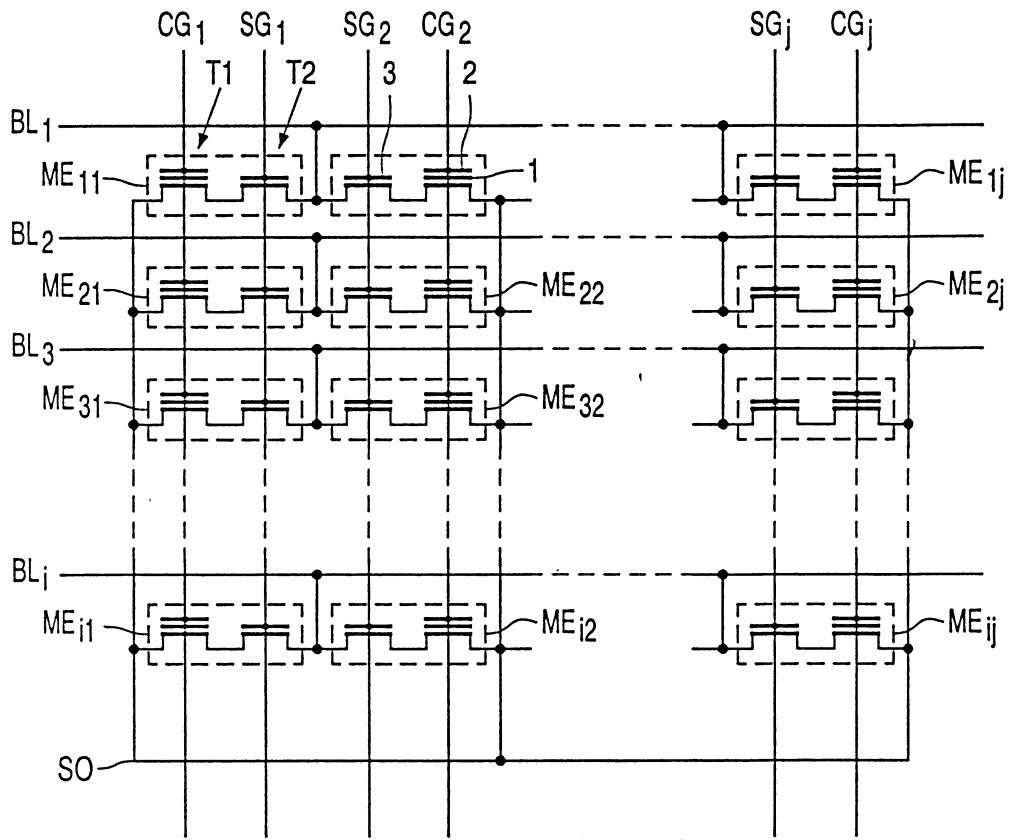


圖 1

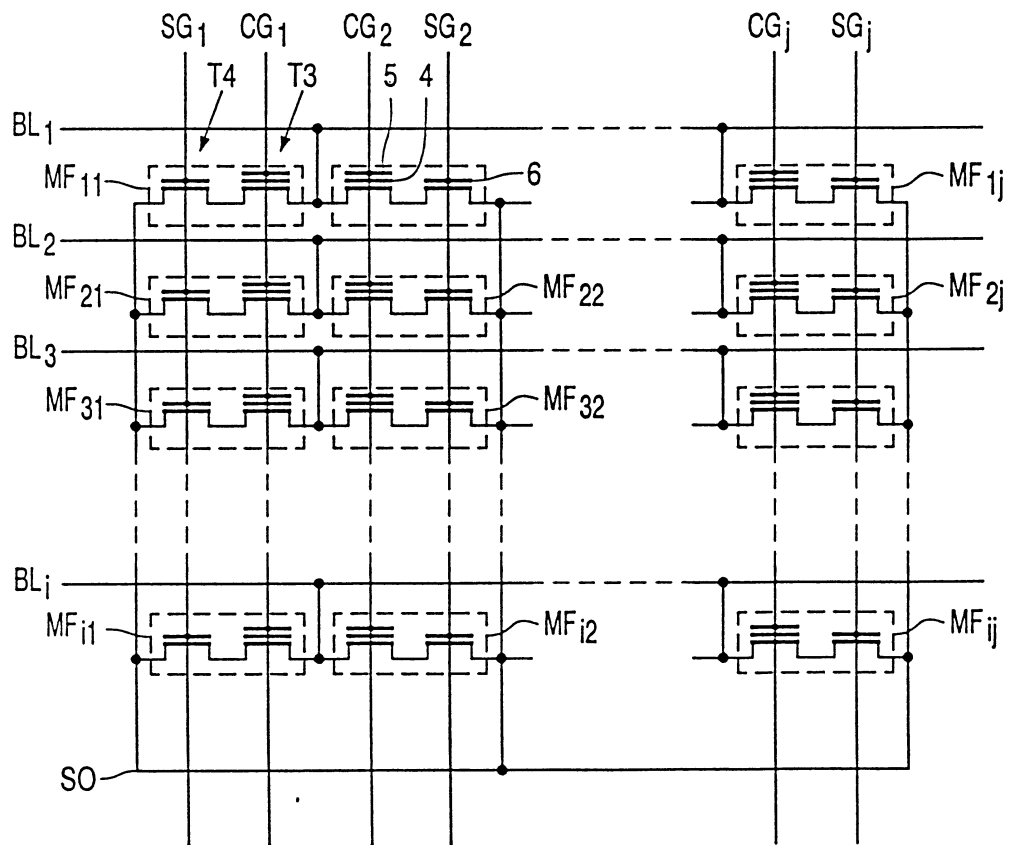


圖 2

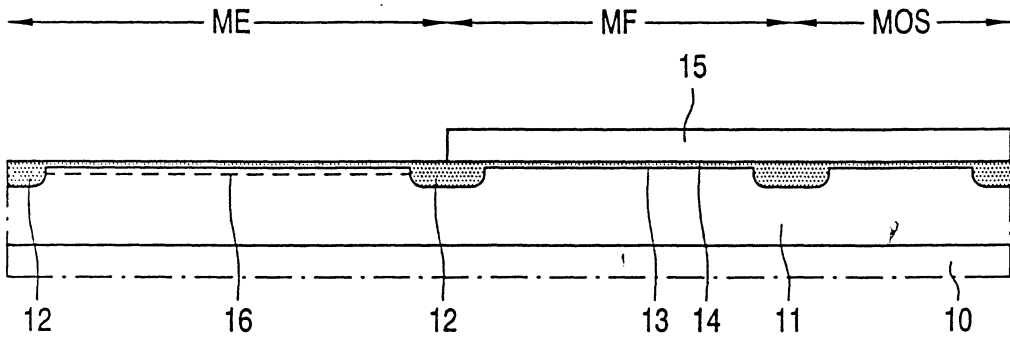


圖 3

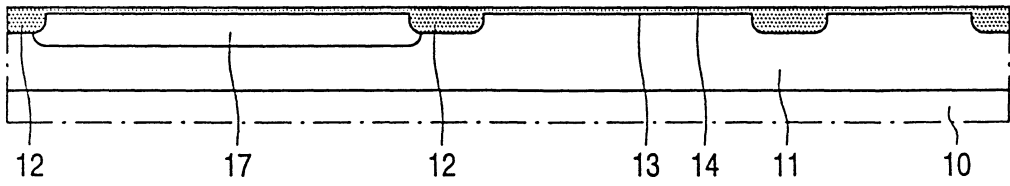


圖 4

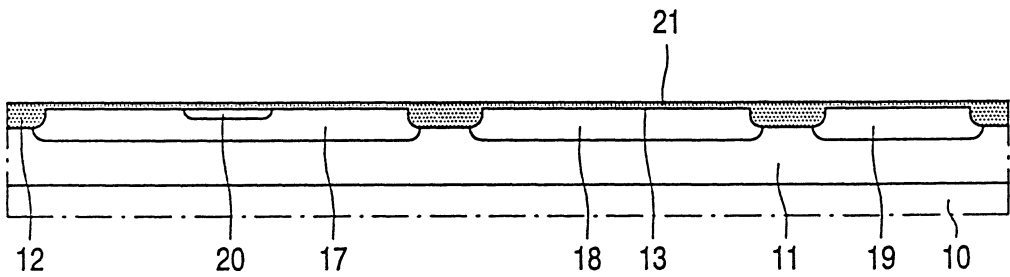


圖 5

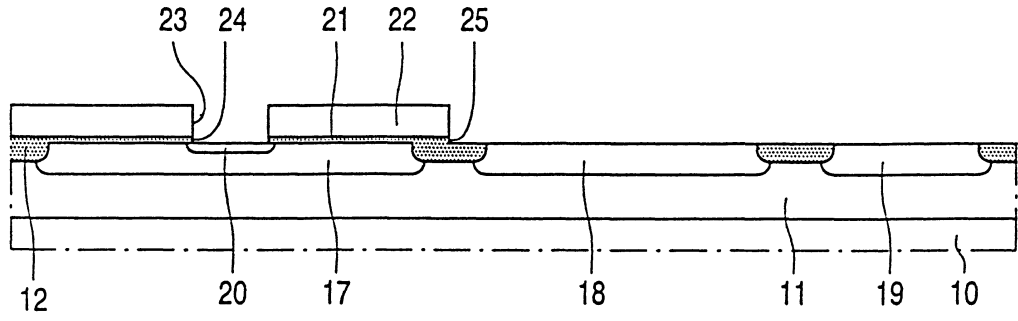


圖 6

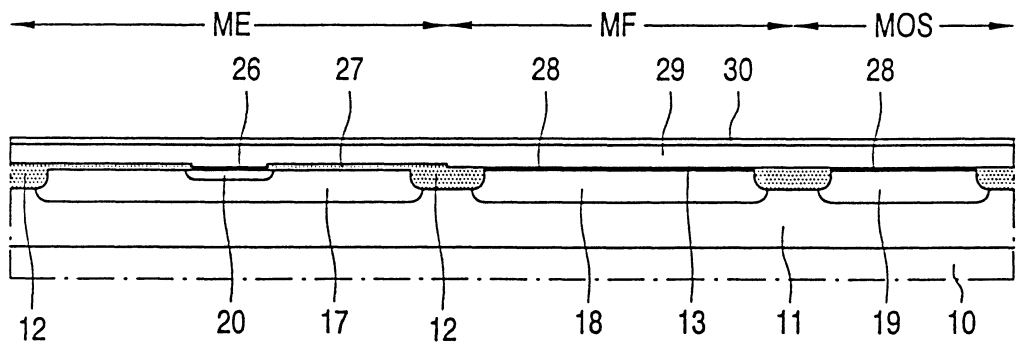


圖 7

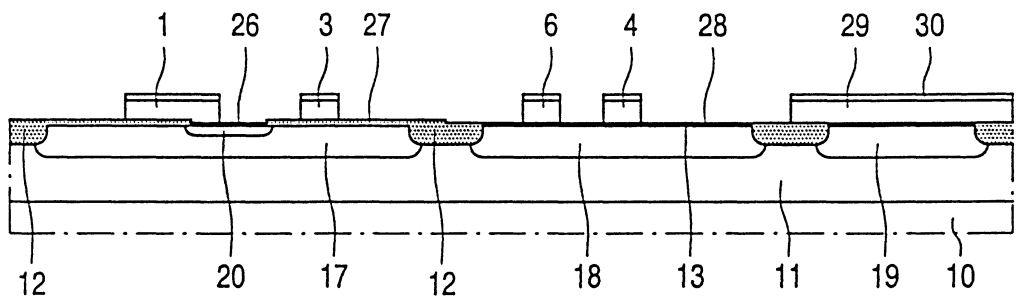


圖 8

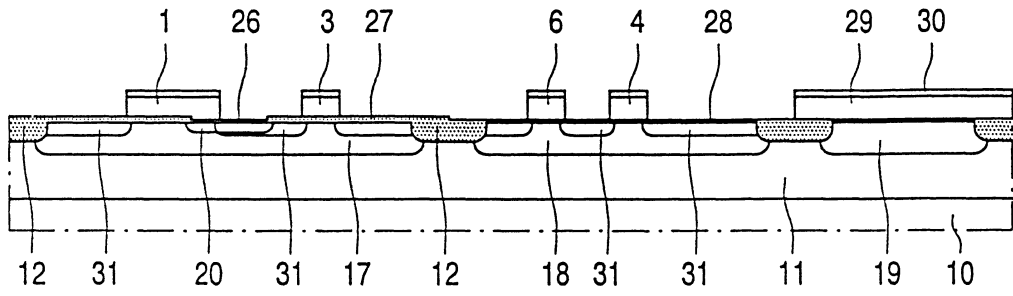


圖 9

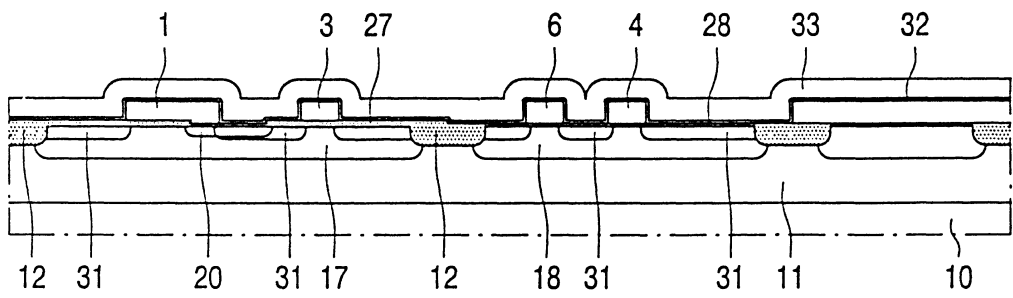


圖 10

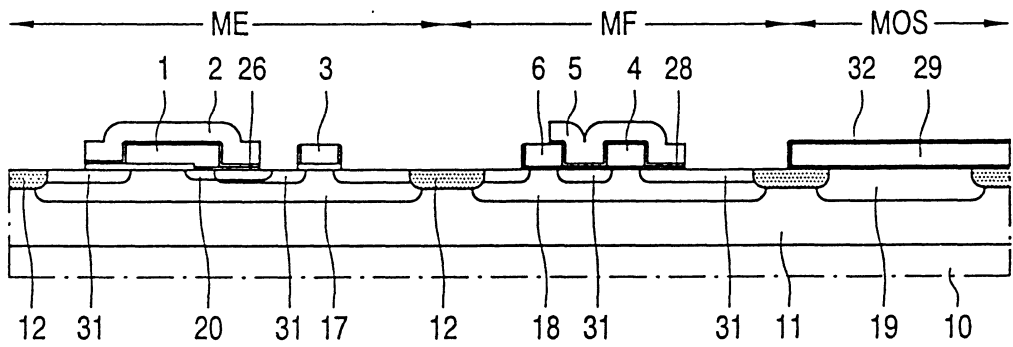


圖 11

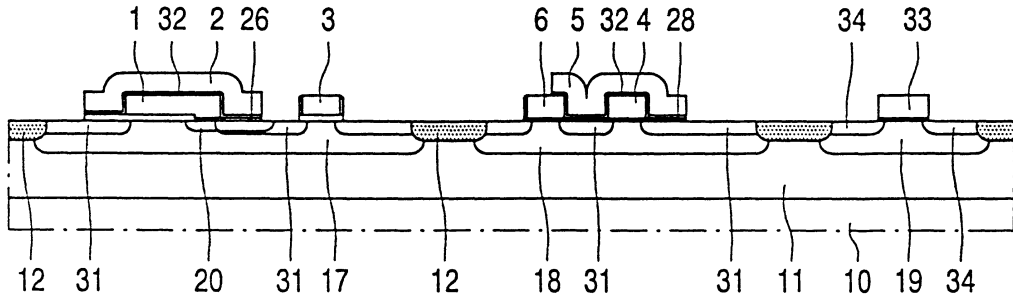


圖 12

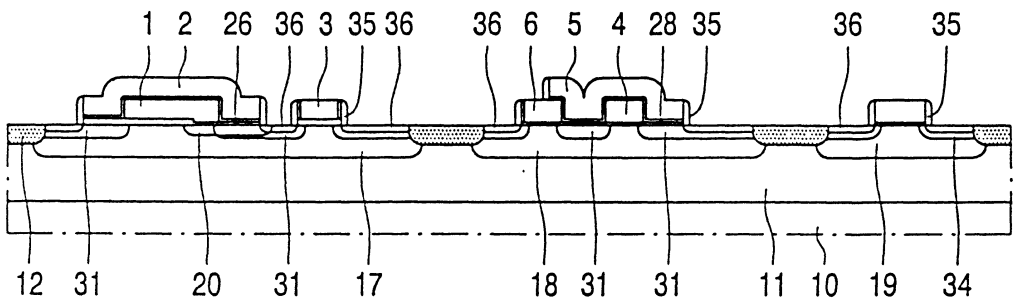


圖 13

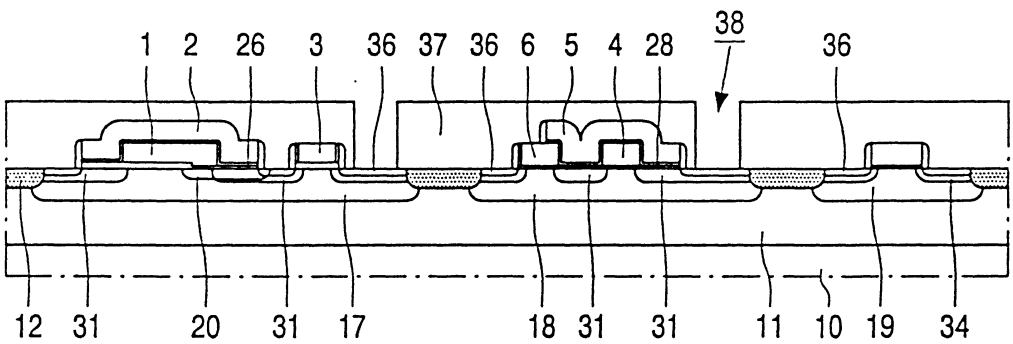


圖 14

# 公告本

94.12.13

正頁  
補充頁

申請日期	90. 10. 26
案 號	90126575
類 別	H01L 27/10

A4  
C4

529160

(以上各欄由本局填註)

中文說明書修正頁(91年12月)

## 發 明 專 利 說 明 書

一、發明名稱	中 文	包含電氣可抹除可程式規劃唯讀記憶體(EEPROM)及快閃可抹除可程式規劃唯讀記憶體(FLASH-EPROM)之半導體裝置及製造該半導體裝置之方法
	英 文	SEMICONDUCTOR DEVICE COMPRISING AN ELECTRICALLY ERASABLE PROGRAMMABLE READ ONLY MEMORY AND A FLASH-ERASABLE PROGRAMMABLE READ ONLY MEMORY, AND METHOD OF MANUFACTURING SUCH A SEMICONDUCTOR DEVICE
二、發明人	姓 名	1.古伊德 約瑟夫 瑪利亞 朵曼斯 GUIDO JOZEF MARIA DORMANS 2.約翰尼斯 狄克斯卓 JOHANNES DIJKSTRA 3.羅伯特斯 多明尼克斯 約瑟夫 維海爾 ROBERTUS DOMINICUS JOSEPH VERHAAR 均荷蘭
	國 籍	均荷蘭
	住、居所	均荷蘭尼吉梅真市傑斯特維格路2號
三、申請人	姓 名 (名稱)	荷蘭商皇家飛利浦電子股份有限公司 KONINKLIJKE PHILIPS ELECTRONICS N. V.
	國 籍	荷蘭
	住、居所 (事務所)	荷蘭愛因和文市格羅尼渥街1號
	代 表 人 名 姓	J.L. 凡 德 渥 J. L. VAN DER VEER

## 五、發明說明 ( 14a )

## 圖式元件符號說明

1	懸浮閘	22	抗蝕劑遮罩
2	控制閘	23	窗口
3	選擇閘	24	窗口
4	懸浮閘	25	窗口
5	控制閘	26	氧化矽
6	控制閘	27	氧化矽
10	高濃度摻雜 P 型矽本體	28	氧化矽
11	低濃度摻雜 P 型頂層	29	多晶矽
12	場氧化物區	30	氮化矽
13	表面	31	低濃度 N 型半導體區域
14	氧化矽	32	介電質
15	抗蝕劑遮罩	33	閘電極
16	破折線	34	N 型半導體區域
17	作用半導體區域	35	離片
18	作用半導體區域	36	高濃度接觸區域
19	作用半導體區域	37	氧化矽
20	N 型穿遂區域	38	接觸窗口
21	氧化矽		

四、中文發明摘要(發明之名稱： 包含電氣可抹除可程式規劃唯讀記憶體 )  
(EEPROM)及快閃可抹除可程式規劃唯讀記  
憶體(FLASH-EPROM)之半導體裝置及製造  
該半導體裝置之方法

在此將說明一種包含EEPROM與FLASH-EPROM記憶體的  
半導體裝置。EEPROM記憶體包含一具有選擇電晶體(T2)  
的記憶體單元矩陣(ME)，其中該電晶體具有一選擇閘(3)並  
且與具有一懸浮閘(1)與一控制閘(2)的記憶電晶體(T1)串  
聯配置。該選擇閘也連接到一位元線(BL)並且該記憶電晶  
體也連接到EEPROM記憶體的共用源極線(SO)。FLASH-  
EPROM記憶體包含一具有記憶電晶體(T3)的記憶體單元矩  
陣(MF)，該電晶體具有一懸浮閘(4)與一控制閘(5)。  
FLASH-EPROM記憶體的記憶體單元也包含一具有控制閘

英文發明摘要(發明之名稱： SEMICONDUCTOR DEVICE COMPRISING AN )  
ELECTRICALLY ERASABLE PROGRAMMABLE READ ONLY  
MEMORY AND A FLASH-ERASABLE PROGRAMMABLE  
READ ONLY MEMORY, AND METHOD OF  
MANUFACTURING SUCH A SEMICONDUCTOR DEVICE

A semiconductor device comprising an EEPROM and a FLASH-EPROM  
memory is described. The EEPROM memory comprises a matrix of memory cells (ME) with  
a selection transistor (T2) having a selection gate (3) and arranged in series with a memory  
transistor (T1) having a floating gate (1) and a control gate (2). The selection transistor is also  
connected to a bit line (BL) and the memory transistor is also connected to a common source  
line (SO) of the EEPROM memory. The FLASH-EPROM memory comprises a matrix of  
memory cells (MF) with a memory transistor (T3) having a floating gate (4) and a control  
gate (5). The memory cells of the FLASH-EPROM memory also comprise a transistor (T4)  
having a control gate (6) connected in series with the memory cell. The memory transistor is  
also connected to a bit line, and the transistor, which is connected in series with the memory  
transistor, is also connected to a common source line (SO) of the FLASH-EPROM memory.



## 六、申請專利範圍

1. 一種包含電氣可抹除可程式規劃唯讀記憶體(EEPROM)和快閃可抹除可程式規劃唯讀記憶體(FLASH-EPROM)之半導體裝置，其中該EEPROM記憶體包含具有一選擇電晶體的記憶體單元之行列表陣，其中該電晶體具有一選擇閘，並且與一具有一懸浮閘和一控制閘的記憶電晶體串聯配置，其中選擇電晶體進一步連接到EEPROM記憶體的位元線，並且記憶電晶體連接到EEPROM記憶體的源極線，其中複數個記憶體單元都共用該源極線，並且其中FLASH-EPROM記憶體包含一具有記憶電晶體的記憶體單元之行列表陣，其中該電晶體具有一懸浮閘和一控制閘，其特徵在於，除了具有懸浮閘和控制閘的記憶電晶體以外，FLASH-EPROM記憶體的記憶體單元包含一與此記憶電晶體串聯配置並具有一控制閘的電晶體，該記憶電晶體進一步連接到FLASH-EPROM記憶體的位元線，並且與該記憶電晶體串聯配置的電晶體連接到FLASH-EPROM記憶體的源極線，其中大量記憶體單元都共用該源極線。
2. 如申請專利範圍第1項之半導體裝置，其包含一具有一表面的矽本體，該表面提供於具有氧化矽層的EEPROM記憶體之記憶體單元區域上，其中該氧化矽層的厚度讓它適合用來當成選擇電晶體的閘氧化層，而在記憶電晶體懸浮閘下方的層提供一厚度較薄的部分，讓氧化矽層的該部分適合用來當成記憶電晶體的穿遂氧化物，其特徵在於，氧化矽的表面會在與記憶電晶體串聯配置的電

## 六、申請專利範圍

晶體之控制閘下方，FLASH-EPROM記憶體的記憶體單元區域上提供氧化矽層，該氧化矽層的厚度與具有較小厚度並且位於EEPROM記憶體的記憶電晶體懸浮閘下方部分之厚度一樣。

3. 如申請專利範圍第2項之半導體裝置，特徵在於矽本體的表面提供一位於記憶電晶體控制閘下方，FLASH-EPROM記憶體的記憶體單元區域上之氧化矽層，該氧化矽層的厚度與具有較小厚度並且位於EEPROM記憶體的記憶電晶體懸浮閘下方部分之厚度一樣。
4. 一種用來製造如申請專利範圍第3項半導體裝置之方法，其特徵在於，當與矽本體相連的第一導電型作用半導體區域在形成於兩記憶體內的記憶體單元區域上之該矽本體內形成後，該矽本體會經歷第一氧化處理，讓該矽本體的表面提供第一氧化矽層，其中會在EEPROM記憶體的記憶體單元內要形成懸浮閘的區域上，以及在FLASH-EPROM記憶體內要形成記憶體單元的區域上形成窗口，之後該矽本體會經歷第二氧化處理，其中會在窗口內形成第二氧化矽層，此層的厚度可用來當成將形成於兩記憶體內記憶電晶體的穿遂氧化物，以及當成與FLASH-EPROM記憶體的記憶電晶體串聯配置之電晶體的閘氧化層，並且第一氧化矽層會有較厚的厚度，可用來當成EEPROM記憶體內將形成的選擇電晶體之閘氧化層。
5. 如申請專利範圍第4項之方法，其特徵在於，在第一氧

## 六、申請專利範圍

化處理之前，用於EEPROM記憶體的記憶體單元之作用區域會提供相鄰於表面的第一導電型半導體區，並在記憶電晶體內要形成的懸浮閘區域上形成用來當成穿遂區，其中該半導體區擁有比作用區域還要高的摻雜濃度。

6. 如申請專利範圍第4或5項之方法，其特徵在於，在形成兩氧化矽層之後，第一無結晶或多晶矽層會沉積在記憶電晶體的懸浮閘內和在EEPROM記憶體的記憶體單元選擇電晶體之選擇閘內，以及記憶電晶體的懸浮閘和與所形成的層串聯配置之FLASH-EPROM記憶電晶體的控制閘。
7. 如申請專利範圍第6項之方法，其特徵在於，在第一無結晶或多晶矽層內兩記憶體的記憶體單元之懸浮閘形成之後，這些懸浮閘會提供介電層，而在第二無結晶或多晶矽層沉積之後，將形成EEPROM記憶體的記憶體單元之記憶電晶體控制閘以及FLASH-EPROM記憶體的記憶體單元之記憶電晶體控制閘之層。