

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-538012

(P2009-538012A)

(43) 公表日 平成21年10月29日(2009.10.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO4B 1/16 (2006.01)	HO4B 1/16 U	5K022
HO4W 88/02 (2009.01)	HO4Q 7/00 650	5K061
HO4W 52/02 (2009.01)	HO4Q 7/00 421	5K067
HO4J 99/00 (2009.01)	HO4J 15/00	

審査請求 未請求 予備審査請求 有 (全 22 頁)

(21) 出願番号 特願2009-510454 (P2009-510454)  
 (86) (22) 出願日 平成19年5月16日 (2007.5.16)  
 (85) 翻訳文提出日 平成21年1月19日 (2009.1.19)  
 (86) 国際出願番号 PCT/EP2007/054770  
 (87) 国際公開番号 W02007/132016  
 (87) 国際公開日 平成19年11月22日 (2007.11.22)  
 (31) 優先権主張番号 06114056.2  
 (32) 優先日 平成18年5月16日 (2006.5.16)  
 (33) 優先権主張国 欧州特許庁 (EP)  
 (31) 優先権主張番号 06122533.0  
 (32) 優先日 平成18年10月18日 (2006.10.18)  
 (33) 優先権主張国 欧州特許庁 (EP)

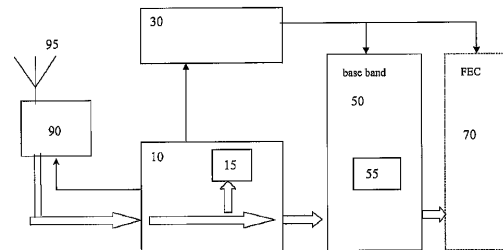
(71) 出願人 591060898  
 アイメック  
 I MEC  
 ベルギー、ペー-3001ルーヴァン、カ  
 ペルドリーフ75番  
 (71) 出願人 503447036  
 サムスン エレクトロニクス カンパニー  
 リミテッド  
 大韓民国キョンギド、スウォン-シ、ヨ  
 ントン-ク、マエタン-ドン 416  
 (74) 代理人 100101454  
 弁理士 山田 卓二  
 (74) 代理人 100081422  
 弁理士 田中 光雄

最終頁に続く

(54) 【発明の名称】 ソフトウェア無線実装用デジタル受信機

(57) 【要約】

本発明は、パケットデータを受信する手段(90)と、第1のプログラミング可能なプロセッサ(15)を備えたパケット検出のための第1の処理モジュール(10)と、第2のプログラミング可能なプロセッサ(55)を備えた復調及びパケット復号化のための第2の処理モジュール(50)と、上記第1の処理モジュール(10)によりデータの検出について通知を受けかつ上記第2の処理モジュール(50)を起動するように構成された第3のプロセッサを備えた第1のデジタル受信コントローラ(30)とを備えたデジタル受信機に関する。



**【特許請求の範囲】****【請求項 1】**

パケットデータを受信する手段(90)と、

第1のプログラミング可能なプロセッサ(15)を備えた、パケット検出のための第1の処理モジュール(10)と、

第2のプログラミング可能なプロセッサ(55)を備えた、復調及びパケット復号化のための第2の処理モジュール(50)と、

上記第1の処理モジュール(10)によりデータの検出についての通知を受けかつ上記第2の処理モジュール(50)を起動するように構成された、第3のプロセッサを備えた第1のデジタル受信コントローラ(30)とを備えたデジタル受信機(1)。

10

**【請求項 2】**

上記パケットデータを受信する手段(90)はアナログフロントエンドである請求項1記載のデジタル受信機。

**【請求項 3】**

使用時に、上記第1のプロセッサ(15)の消費電力は上記第2のプロセッサ(55)の消費電力より少ない請求項1又は2記載のデジタル受信機。

**【請求項 4】**

使用時に、上記第1の処理モジュール(10)の消費電力は上記第2の処理モジュール(50)の消費電力より少ない請求項3記載のデジタル受信機。

**【請求項 5】**

上記第1のプロセッサ(15)は特定用途向き命令セットプロセッサである請求項1乃至4のうちの任意の請求項記載のデジタル受信機。

20

**【請求項 6】**

上記第2のプロセッサ(55)は汎用プロセッサである請求項1乃至5のうちの任意の請求項記載のデジタル受信機。

**【請求項 7】**

上記第1の処理モジュール(10)は、電力レベル検出のための第3の処理モジュール(12)と、同期化のための第4の処理モジュール(16)とを備え、上記第4の処理モジュール(16)は上記第1のプロセッサを備えた、先行する請求項のうちの任意の請求項記載のデジタル受信機。

30

**【請求項 8】**

上記第3の処理モジュール(12)は上記パケットデータを受信する手段からパケットデータの供給を受けるように構成された請求項7記載のデジタル受信機。

**【請求項 9】**

上記第3の処理モジュール(12)はハードウェアブロックである請求項7又は8記載のデジタル受信機。

**【請求項 10】**

上記デジタル受信機は、上記第1の処理モジュール(10)のための第2のコントローラ(20)をさらに備え、上記第2のコントローラは、上記第3の処理モジュール(12)から入力を受信するように構成され、かつ第4の処理モジュール(16)を起動するように構成された請求項7乃至9のうちの任意の請求項記載のデジタル受信機。

40

**【請求項 11】**

上記第4の処理モジュール(16)は、上記第2のコントローラ(20)から制御信号を受信するように構成された請求項10記載のデジタル受信機。

**【請求項 12】**

上記第2のコントローラ(20)は構成可能なハードウェアブロックである請求項10又は11記載のデジタル受信機。

**【請求項 13】**

上記第3の処理モジュール(12)は、上記パケットデータを受信する手段(90)の設定値を準備するように構成された請求項7乃至12のうちの任意の請求項記載のディジ

50

タル受信機。

【請求項 14】

上記第1のプロセッサ(15)は相関用に最適化される請求項1乃至13のうちの任意の請求項記載のデジタル受信機。

【請求項 15】

複数の上記第1の処理モジュール(10)を備えた、先行する請求項のうちの任意の請求項記載のデジタル受信機。

【請求項 16】

上記複数の第1の処理モジュール(10)のうちの少なくともいくつかは同じバスインタフェースを共有するように構成された請求項15記載のデジタル受信機。

10

【請求項 17】

上記複数の第1の処理モジュール(10)は同じアーキテクチャを有する請求項15又は16記載のデジタル受信機。

【請求項 18】

パケットデータを受信する複数の手段(90)を備えた請求項15、16又は17記載のデジタル受信機。

【請求項 19】

パケットデータを受信する各手段(90)は対応するアンテナ(95)へ接続される請求項17記載のデジタル受信機。

【請求項 20】

上記デジタル受信機は複数の異なるモードで動作するように構成され、上記第1の処理モジュール(10)の各々は上記モードのうちの1つで動作するようにプログラミング可能である請求項15乃至19のうちの任意の請求項記載のデジタル受信機。

20

【請求項 21】

上記第1の処理モジュール(10)のすべては上記第2のコントローラ(20)を共有する請求項15乃至20のうちの任意の請求項記載のデジタル受信機。

【請求項 22】

上記第1の処理モジュール(10)の各々はその固有の第2のコントローラ(20)を有する請求項15乃至20のうちの任意の請求項記載のデジタル受信機。

【請求項 23】

上記第4の処理モジュール(16)はフィルタリング用に構成され、データパケットをバッファリングするための第1のメモリ(18)をさらに備えた請求項7乃至22のうちの任意の請求項記載のデジタル受信機。

30

【請求項 24】

上記第4の処理モジュール(16)は、構成可能なハードウェアブロック上で上記フィルタリングの動作を実行するように構成された請求項23記載のデジタル受信機。

【請求項 25】

上記第1のメモリ(18)は循環データバッファである請求項23記載のデジタル受信機。

【請求項 26】

上記第1のメモリ(18)に並列な、データ受信のための第2のメモリ(19)をさらに備えた請求項23乃至25のうちの任意の請求項記載のデジタル受信機。

40

【請求項 27】

一方の上記第1(18)又は上記第2(19)のメモリと他方の上記第2のプロセッサ(55)のメモリとの間でデータを転送する手段をさらに備えた、先行する請求項のうちの任意の請求項記載のデジタル受信機。

【請求項 28】

上記データを転送する手段はバス及び直接メモリアクセスを備えた請求項27記載のデジタル受信機。

【請求項 29】

50

上記バスは共有バスである請求項 28 記載のデジタル受信機。

【請求項 30】

複数のバスを備えた請求項 28 又は 29 記載のデジタル受信機。

【請求項 31】

複数の直接メモリアクセスを備えた請求項 30 記載のデジタル受信機。

【請求項 32】

上記デジタル受信機は、上記第 2 の処理モジュール (50) からデータの供給を受けよう構成された FEC 符号化器をさらに備え、上記 FEC 符号化器は第 1 のデジタル受信コントローラ (30) によって起動されるように構成された請求項 1 乃至 31 のうちの任意の請求項記載のデジタル受信機。

10

【請求項 33】

複数の規格からなるグループ (IEEE 802.11a、IEEE 802.11n、3GPP-LTE、IEEE 802.16e) のうちの任意の規格に係る信号を処理するように構成された、先行する請求項のうちの任意の請求項記載のデジタル受信機。

【請求項 34】

無線通信システムの 2 つの基地局間でソフトハンドオーバを確立するための、先行する請求項のうちの任意の請求項記載のデジタル受信機を備えた移動体端末装置の使用。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、ソフトウェア無線プラットフォームに適するデジタル受信機構造物に関する。

【背景技術】

【0002】

ソフトウェア無線 (software-defined radio: SDR) は、無線ネットワーク及びユーザ端末装置のための再構成可能なシステムアーキテクチャを可能にするハードウェア及びソフトウェア技術の集まりである。SDR は、ソフトウェアアップグレードを用いることにより、適応、更新又は拡張可能な多モード、多帯域かつ多機能の無線装置を構築するという課題に対して効率的かつ比較的安価なソリューションを提供する。従って、SDR は、無線コミュニティ内の広範なエリアにわたって適用可能な実現可能化技術であると考え

30

【0003】

ハンドヘルド型デジタル受信機に係るコスト削減と、製品化に要する時間の改善とは、ソフトウェア無線 (SDR) の実装を必要とする。携帯型ハンドヘルド装置において実施可能であるためには、SDR は低電力でもなければならない。SDR の低コスト及び低電力要件は、下記を含意する。

【0004】

- リアクティブな多モード動作：受信機は、多数の通信規格による送信をおそらくは同時に検出するように構成可能であるべきである。これらの送信は、検出されると復号化されなければならない。

40

- スケーラビリティ：需要及びシリコン処理技術の発展に適合する複数バージョンのプラットフォームが、初期状態のスケラブルな設計から導出されなければならない。

- プログラミング可能性及びターゲットの変更可能性：SDR プラットフォームに基づくアプリケーションの展開のための開発時間は最短化されなければならない。このことは、統合されたプラットフォームのインスタンス化と、高級言語に基づくアプリケーション-マッピングのフローとを行うことによるのみ可能である。

【0005】

エネルギー効率をモバイル機器の集積化に要求されるレベルに維持するためには、プログラミング可能性とエネルギー効率とのトレードオフを慎重に評価しなければならないので、プログラミング可能性を導入できるのは、合計平均電力に対するその影響が十分に少

50

ない場合、又は、結果的に生じる追加の柔軟性を活用してシステムのふるまいを用途及び環境に対してより良く適合させることにより平均エネルギー利得が生じ得る場合に限られる。

【0006】

最新技術によるソリューションは、例えば下記の構成を用いて、多様な規格及び将来的に保証されたSDRプラットフォームに取り組んでいる。

【0007】

- マスタ/スレーブの汎用プロセッサ (general purpose processor : G P P )、
- 多様な無線インタフェースを使用するデジタル信号処理 (digital signal processing : D S P )、
- シングル又は同種マルチコアのシステムオンチップ (System on Chip : S o C )。

10

【0008】

消費電力については、コンピュータアーキテクチャ及び/又は回路レベルでの取り組みはあるが、システムレベルではない(動的電力管理を除く)。

【0009】

SDRに関しては、多くの異なるアーキテクチャスタイルがすでに提案されている。その大部分は、無線物理層処理の最も重要な特性、すなわち高いデータレベル並列性 (data level parallelism : D L P ) 及びデータフロー支配 (data flow dominance) を念頭に設計されている。最初の特性に関しては、V L I W (Very Long Instruction Word : 超長命令語) 及びベクトル/S I M D (Single Instruction/Multiple Data : 単一命令/複数データ) のハイブリッドアーキテクチャが、限られた命令フェッチングオーバーヘッドでデータレベル並列性を活用すると考えられることが多い。しかしながら、高いD L P であっても、このようなアーキテクチャへCコードを直接にマッピングすることは、コンパイラにとってやはり難題である。第2の特性は、細粒度の再構成可能アレイ (fine-grain reconfigurable arrays : F G A ) 及び粗粒度の再構成可能アレイ (coarse grain reconfigurable arrays : C G A ) により活用される。F G A の主たるボトルネックは、そのスケラビリティを阻害しかつ大きなエネルギーオーバーヘッドをもたらす高い相互接続コストにある。C G A はこの点を改良し、より少数であるがより複雑な機能ユニットを提案している。

20

【0010】

いくつかの提案(例えば、非特許文献1も参照されたい)は、パーソナル通信ハンドヘルド装置におけるSDRの統合に大きく寄与しているが、提案されているプラットフォームの何れも、リアクティブな無線を可能にするために必要な機能を有していない。具体的には、多モードのリアクティブ性に関して提案されたソリューションは存在しない。また、妥当なエネルギー効率のときのその計算能力は、複数の信号次元を活用するにはいまだ限定的にすぎる。このことは主に、変調/復調ベースバンド処理の特性のみが考慮されるという事実起因する。実際には、無線規格の実装は、媒体アクセス制御の機能を含み、バーストに基づく通信の場合は信号検出及び時間同期化の機能も含んでいる。データレベル並列性 (D L P ) の所望される特性は、定義により制御支配型である媒体アクセス制御 (M A C ) 処理においては有効ではなく、よってR I S C プロセッサとの適合性のほうが高い。それに加えて、バーストに基づく送信のパケット検出及び粗な時間同期化は、パケットの変調及び復調よりも大幅に高いデューティサイクルを有する。従って、これらは別の柔軟性/効率のトレードオフを必要とする。

30

40

【0011】

このようにリアクティブなデジタル受信機に係る1つの可能な応用例は、このような受信機を備える移動体端末装置の2つの基地局間又はアクセスポイント間のハンドオーバー動作のメカニズムに関連している。基地局は各々、特定の通達範囲エリア又はセルをカバーするように配置されている。通達範囲エリアは部分的に重なり合い、よってその配置がセルラネットワークをサポートする。

【0012】

50

ハンドオーバはハードハンドオーバである可能性があり、この場合、移動体端末装置は（物理的に）一度に1つの基地局のみに接続され、よって新しい基地局への接続を達成する前に現行の基地局への接続を終了しなければならない。このことは、ハンドオーバ中の非接続期間（「ブレイク」）を含意する。ハードハンドオーバは、「ブレイクピフォアメイク」とも呼ばれる。これに対して、ソフトハンドオーバは、移動体端末装置を同時に2つの基地局へ接続できるハンドオーバメカニズムである。これは、「メイクピフォアブレイク」とも呼ばれる。

【0013】

シームレスなハンドオーバとは、ユーザに知覚されることなく行われる、すなわち実行中のサービスが中断されないハンドオーバを意味する。シームレスなハンドオーバは必ずしもソフトハンドオーバを含意しない（ただし、ソフトハンドオーバはシームレスなハンドオーバを簡単にする）。

10

【0014】

ソフトハンドオーバは、同じ周波数で動作しかつ2つの異なるCDMAスクランブルコードによって区別される2つの3G基地局間で行うことができる。3Gセルラシステムでは、各基地局に関連付けられるスクランブルコードが、移動体端末装置を分離する通常のCDMAコードへ重畳される。ある移動体端末装置は、複数のスクランブルコードを利用して、単一のフロントエンドにより2つの基地局の信号を同時に受信することができる。

【0015】

シームレスなハードハンドオーバは、基地局間の同期化によって達成することができる。この同期化に基づいて、基地局は、端末装置が限られた時間内に近傍セルを走査できるようにし、必要であれば、比較的高速で発生可能であるハードハンドオーバをトリガする。この技術は、異なるネットワーク技術間のハードハンドオーバの場合は実行不可能である一方、また他方では、単一のネットワークの複雑なネットワーク同期化を要求する。

20

【0016】

802.11無線LANの場合、802.11プロトコルが提供する省電力メカニズムを用いた時分割方式により、1つの端末装置を同時に複数のアクセスポイントへ接続する可能性が存在する。この技術は、アプリケーションの待ち時間限界より小さい時定数を有する省電力機能をプロトコルが提供するようなプロトコル及びアプリケーションに有益である。

30

【0017】

特許文献1には、機能的に複数のブロックに分割される半導体デバイスが開示されている。これらのブロックの電源システムは、電源が常にオンである非制御型電源グループと、電力供給をそれぞれ独立ではあるが連鎖的にオン/オフできるグループである、カスケード接続された複数の制御型電源グループとに分けられる。このことは、所定のブロックの電力がカスケード内の先行ブロックによって制御されることを意味する。特定の処理部分の実行に不要なブロックには、電力が供給されない。例えば、復号化ブロックは、先行する復調ブロックにおける処理が完了したときのみオンに切り換えられる。様々なブロックへの分割は純粋に機能的なものであり、ブロックの実際の静的もしくは動的電力、そのデューティサイクル、又はエネルギー効率と柔軟性との間におけるそのトレードオフに関するいかなる検討事項についても考慮していない。構成上、ブロックの階層レベルが高いほどデューティサイクルは高くなる。

40

【0018】

特許文献2は、スリープモードとアクティブモードとを切り換えできる受信機部分を含むトランシーバに関連している。制御回路は、受信されるべき情報信号が検出されたときに、受信機をスリープモードからアクティブモードへ切り換えるために設けられる。制御回路は情報信号の電力レベルに基づいて切り換えを決定し、ここで、電力レベルは、受信信号強度インジケータ（received signal strength indicator：RSSI）信号によって表される。この場合もやはり、純粋に機能的に区画化されたカスケード式の起動チェーンが予見される。

50

【先行技術文献】

【特許文献】

【0019】

【特許文献1】欧州特許出願公開第EP1328066号A2公報。

【特許文献2】米国特許第6978149号B1明細書。

【非特許文献】

【0020】

【非特許文献1】Bluethgen, "Finding the optimum partitioning for multi-standard radio systems", Proc. Int'l SDR Technical Conference, Nov. 2005.

【発明の概要】

10

【発明が解決しようとする課題】

【0021】

本発明の目的は、着信する無線送信に応答したスペクトル環境の認識及び段階的なシステム復帰（ウェイクアップ）を可能にする、スケーラブルでエネルギー効率のよいデジタル受信機構造物を提供することにある。

【課題を解決するための手段】

【0022】

本発明はデジタル受信機に関し、本デジタル受信機は、  
パケットデータを受信する手段と、

第1のプログラミング可能なプロセッサを備えた、パケット検出のための第1の処理モジュールと、

20

第2のプログラミング可能なプロセッサを備えた、復調及びパケット復号化のための第2の処理モジュールと、

上記第1の処理モジュールによりデータの利用可能性についての通知を受けかつ上記第2の処理モジュールを起動するように構成された、第3のプロセッサを備えたデジタル受信コントローラとを備える。

【0023】

ある好適な実施形態では、パケットデータを受信する手段はアナログフロントエンドである。

【0024】

30

有利なことには、使用時に、第1のプロセッサの消費電力は第2のプロセッサの消費電力より少ない。使用時に、第1の処理モジュールの柔軟性は第2の処理モジュールの柔軟性より小さい。具体的には、第2の処理モジュールの命令セットはより豊富であり、高級言語コンパイラの使用を許容する。

【0025】

好適には、第1のプロセッサは特定用途向き命令セットプロセッサである。これに対して、第2のプロセッサは、有利なことには汎用プロセッサにされる。

【0026】

ある好適な実施形態では、第1の処理モジュールは、電力レベル検出のための第3の処理モジュールと、同期化のための第4の処理モジュールとを備える。第4の処理モジュールは、上記第1のプロセッサを備える。

40

【0027】

第3の処理モジュールは、パケットデータを受信する手段からパケットデータの供給を受けるように構成される。第3の処理モジュールは、好適にはハードウェアブロックである。

【0028】

有利なことには、本発明に係るデジタル受信機は、第1の処理モジュールのための第2のコントローラをさらに備え、上記第2のコントローラは、その入力において第3の処理モジュールから電力検出の通知を受信するように構成され、かつ第4の処理モジュールを起動するように構成される。第4の処理モジュールは、典型的には、上記第2のコント

50

ローラから制御信号を受信するように構成される。これはさらに、上記パケットデータを受信する手段からフィルタリングユニットを介してデータパケットを受信する。第2のコントローラは、構成可能なハードウェアブロックである。有利なことには、第3の処理モジュールは、上記パケットデータを受信する手段の設定値を準備するように構成される。(第4の処理モジュール内の)上記第1のプロセッサは、好適には相関用に最適化される。

【0029】

別の好適な実施形態では、デジタル受信機は複数の上記第1の処理モジュールを備え、これらは、有利なことには同じアーキテクチャを有する。好適には、これらの第1の処理モジュールのうちの少なくともいくつかは、同じバスインタフェースを共有するように構成される。よって受信機は、さらに、パケットデータを受信する複数の手段を備えてもよい。次に、パケットデータを受信する手段は各々、好適には対応するアンテナへ接続される。

10

【0030】

別の実施形態では、デジタル受信機は、汎用アーキテクチャ又は変調/復調に係る特定の下位部分専用のアーキテクチャを有する複数の上記第2の処理モジュールを備える。

【0031】

デジタル受信機は複数の異なるモードで動作するように構成され、第1の処理モジュールの各々はこれらのモードのうちの1つで動作するようにプログラミング可能である。

20

【0032】

別の実施形態では、複数の第1の処理モジュールが第2のコントローラを共有する。あるいは、第1の処理モジュールの各々は、その固有の第2のコントローラを有する。

【0033】

好適には、第4の処理モジュールはフィルタリング用に構成され、データパケットをバッファリングするための第1のメモリをさらに備える。上記第1のメモリは、好適には循環データバッファである。有利なことには、第4の処理モジュールはさらに、構成可能なハードウェアブロック上でフィルタリング動作を実行するように構成される。

【0034】

さらなる実施形態では、デジタル受信機はさらに、第1のメモリに並列してデータ受信のための第2のメモリを備える。本受信機はさらに、一方の第1又は第2のメモリと他方の第2のプロセッサのメモリとの間でデータを転送する手段を備えてもよい。このデータを転送する手段は、好適にはバス及び直接メモリアクセスを備える。バスは、好適には共有バスである。オプションとして、複数のバスと複数の直接メモリアクセスとを設けることができる。

30

【0035】

別の実施形態では、デジタル受信機は、第2の処理モジュールからデータの供給を受けられるように構成されたFEC符号化器をさらに備え、上記FEC符号化器は、第1のデジタル受信コントローラによって起動されるように構成される。

【0036】

ある好適な実施形態では、先に述べたようなデジタル受信機は、IEEE 802.11a、IEEE 802.11n、3GPP-LTE、IEEE 802.16eのうちの任意の規格に係る信号を処理するように構成される。

40

【0037】

ある特定の態様において、本発明は、無線通信システムの2つの基地局間でソフトハンドオーバを確立するための、先に述べたようなデジタル受信機を備えた移動体端末装置の使用に関する。

【図面の簡単な説明】

【0038】

【図1】プラットフォームアーキテクチャを示すトップレベル図である。

【図2A】プラットフォームアーキテクチャを示すトップレベル図である。

50



- 【図 2 B】プラットフォームアーキテクチャを示すトップレベル図である。  
 【図 3】本発明に係るデジタル受信機のアーキテクチャを示す概要図である。  
 【図 4】DFE タイルの実際の実装を示す図である。  
 【図 5】図 3 と同じアーキテクチャを示し、ブロック ( 1 0 ) を詳細に示す図である。  
 【図 6】第 1 のプロセッサの実施可能な A S I P アーキテクチャを示す図である。  
 【図 7】有効なバーストを検出したとき動作トレースを示す図である。  
 【図 8】誤トリガを検出したときの動作トレースを示す図である。  
 【発明を実施するための形態】  
 【 0 0 3 9 】

本発明に係るアプローチでは、消費電力をシステムの観点から考慮する。より具体的には、これは、柔軟性及び消費電力に関する既定の性能と、積極的な電力管理による階層的な起動とを達成するように選択される区画化を使用する。このような便宜的な区画化の目的は、いつどこで必要とされるかということについて柔軟性を与えることにある。このようにターゲットが決められた柔軟性は、異種マルチプロセッサシステムオンチップ ( Multi-Processor System-on-Chip : M P S O C ) アーキテクチャを必要とする。階層的起動の背後にある主要な発想は、プラットフォームのうちの漸増的に電力を消費する複数の部分を段階的に動作可能化して、向上した信号検出能力で一連のタスクを実行するというものである。段階的復帰は、カスケード接続された複数の機能ブロックを利用し、これらの機能ブロックは、単調増加する柔軟性を備えて実装され、これによりエネルギー効率を低下させるが、これは構造により得られるデューティサイクルを低下させることによって補償される。

【 0 0 4 0 】

プラットフォームとは、アプリケーションを実行可能なフレームワークを意味する。これには、ハードウェアプラットフォーム ( hardware platform ) のシステムオンチップ ( S o C ) と、ハードウェア抽出層ソフトウェアと、アプリケーションソフトウェアをプラットフォームのシステムオンチップ ( S o C ) 上にマップさせるツールと、おそらくはアプリケーションソフトウェアライブラリとが含まれる。以下、HWプラットフォーム S o C に注目する。

【 0 0 4 1 】

低いデューティサイクルを有するアプリケーション部分は、ともにグループ化して高度に柔軟なハードウェアにマップすることができる。すると、柔軟性のコストは、低いデューティサイクルを活用する積極的な電力管理を実装することによって十分に償却される。より高いデューティサイクルを有し、よって平均電力に対してより大きく影響する部分に対しては、柔軟性が少ない特定用途向けのハードウェアが必要とされる。パラメータ化可能な複数のハードウェアブロック、又は複数の専用コアが、実際的なソリューションである。プログラミング可能 / 再構成可能ハードウェアをターゲットとすべき部分内では、制御支配型タスク ( 制御分岐当たりの演算数が少ない ) と計算及び / 又は転送支配型タスクとの間に部分区画を実現することができる。前者は、後にスカラマイクロアーキテクチャをターゲットとするものにされ、後者は、命令レベルの並列マイクロアーキテクチャの候補である。最後に、これらのアーキテクチャの複数のフレーバーが同時に考慮されなければならないか否かについて、データレベル並列化の度合いとメモリ毎の演算比とを用いて決定される。この区画化により、コアの数及びタイプを規定するトップレベルのプラットフォームアーキテクチャを抽出することができる。

【 0 0 4 2 】

デジタル受信機は、いくつかの構成単位に細分割されることが可能である。図 1 は、考慮されるプラットフォームテンプレートのトップレベル図を示す。高レベルのプラットフォームアーキテクチャには様々なコアが含まれてもよく、例えば、信号検出に割り当てられかつアナログフロントエンドに対してインタフェースをとる複数のデジタルフロントエンドコアと、信号変調 / 復調及び複数のアンテナ処理に割り当てられる複数のベースバンドエンジンと、FEC 符号化 / 復号化に割り当てられる外部モデムタイルと、プラッ

トフォーム制御及び媒体アクセス制御用のコアとが含まれる。

【0043】

アナログフロントエンドに関連付けられるデジタルフロントエンドは、無線信号走査と、アナログフロントエンド制御（例えば、自動利得制御（AGC））と、短ループのアナログフロントエンド制御と、I/Qサンプルインタフェース処理と、バケット検出と、受信モードにおけるデシメーション及びバースト前置同期化と、送信モードにおける信号補間とのために設けられる。これらの機能は、比較的高いデューティサイクルによって特徴付けられる。従って、DFE電力は重要である。

【0044】

残りのモデム機能は、2つのグループに分けられる。ベースバンドデジタル信号処理ユニットは、精密な同期化と、フロントエンド障害補償と、多アンテナ処理と、復調とに対する受信機能を実装する。送信モードでは、ベースバンドユニットにはチャンネル符号化及び変調も実装される。考慮されるプロセッサアーキテクチャは、ハイブリッドSIMD-CGAアプローチに基づくものである。前方エラー訂正エンジンは、多重化（多重化解除）されたストリーム（外部モデム）からのデータ符号化（復号化）を高速化する。前者は、高いデータレベルの並列化によって計算集約的であり、飽和固定小数点複素数操作に支配される。ベースバンドプロセッサアーキテクチャは、複数のベースバンドコアを有するものであることが可能である。このアーキテクチャは、おそらくは複数の（並列）コアを含む、プログラミング可能及び/又は再構成可能なハードウェアブロックを備えてもよい。様々なコア間には、スケーラブルな相互接続が設けられてもよい。相互接続は、セグメント化されたバス相互接続であってもよい（詳細は次の段落を参照されたい）。第2の機能グループは転送集約的であり、しばしば特殊な算術演算を必要とする。両方とも、アプリケーションシナリオにおいては十分に低いデューティサイクルを有する。最後に、媒体アクセス制御（MAC）及びコグニティブ（認知）制御処理は、ともに転送及び制御支配型であり、デューティサイクルは低い。よって、これらは第4の区画を形成する。プラットフォーム制御及び媒体アクセス制御は、汎用コア（例えば、ARM9プロセッサ）によって実行されることが可能である。

【0045】

すでに述べたように、スケーラブルな相互接続（図1参照）は、有利なことには、セグメント化されたバス相互接続であってもよい。図2Aは、存在しうる実装を示す。セグメント型のバスアーキテクチャは、調整可能なFIFO深さを有する、2つの単一ポートの直接メモリアクセスコントローラ（direct memory access controller: DMAC）を備える。図2においては、MMはメインメモリ（main memory）を意味し、DFEはデジタルフロントエンド（digital front-end）を意味し、BBEはベースバンドエンジン（baseband engine）を意味し、FECは前方エラー訂正エンジン（forward error correction engine）を意味することに留意されたい。バースト長が増大すると、より低い優先度の転送のアクセスに余分な遅延が生じるので、16ワードのバースト長は、スループットと待ち時間との妥当なトレードオフを与える。両方のDMACは連続した並列データ転送を実行するためにバスセグメントへのアクセスを有する必要があるため、適切なバス接続性が提供されなければならない。よって、図2Aに示すような多層AHBバス（Amba High Performance Bus: Ambaハイパフォーマンスバス）が設けられる。図2Bは、2つのセグメント間の多重16ワードバースト転送の同時性を示す。図2Aのセグメントバスのスループットは合計4.3ギガビット/秒になる可能性があり、これは、例えばIEEE802.11nの処理には十分である。バスの利用度は、結局のところ50%を超えるまでになる場合があり、好適には60%を超え、さらに好適には65%を超える場合がある。完全を期せば、AHBバス上のトランザクションはアドレスフェーズ及びこれに続くデータフェーズより成る（待機状態なし: 2つのバスサイクルのみ）ことが想起される。ターゲットとなる装置へのアクセスは、マルチプレクサ（非3状態）を介して制御され、これにより一度に1つのバス-マスタアクセスへのバスアクセスが認められる。AHBバスは、（他の機能のうちでもとりわけ）バースト転送と、パイプライン演算と、複数の

10

20

30

40

50

バスマスタと、単一サイクルのバスマスタハンドオーバと、非 3 状態実装と、大きなバス幅（64 / 128 ビット）とを可能にする。

【0046】

プログラミング可能なソリューションは、専用ソリューションに比べると、本質的に大きな電力を消費してしまう。提案しているプラットフォームでは、スケーラブルなデジタルフロントエンドは複数の「タイル」を備え、すでに述べたようにこれらのタイルが、信号検出及び前置同期化の機能を実装する。これらの複数のタイルは、非常に高いエネルギー効率と、同じタイル上で異なる規格の検出を行うのに十分なプログラミング可能性との双方を必要とする。スケーラブルでありかつエネルギー効率の高いデジタル受信機のデジタルフロントエンドは、着信する無線送信に应答してシステムが段階的に復帰することをサポートすることによってプラットフォームの平均消費電力の大幅な節約を可能にする、柔軟な検出 / 時間同期化ユニットを有する。

10

【0047】

一般的な用語としては、デジタルフロントエンドは、システム内の下記のような部分である。

【0048】

- プラットフォームの他の部分が遮断されている間にスタンバイモードにおいて必要とされるタスク、すなわち信号検出及び / 又は走査を行う。

- 1つ又は複数の信号が検出されると、割り込みを発生してプラットフォームを復帰させる。

20

- プラットフォームの復帰シーケンスの間に、受信した粗いデータをバッファリングする。

- 1つ又は複数のストリームが受信されるとき、自動利得制御（AGC）、RXフィルタリング及び粗い同期化を保証する。

- 1つ又は複数のストリームが送信されれば、TXフィルタリングを保証する。

【0049】

デジタルフロントエンド（DFE）は、リアクティブな無線プラットフォームの信号の入口 / 出口ポイントである。これは、アナログフロントエンドを介して1つ又は複数のRFフロントエンド / アンテナセクションへ接続される。全体的な消費電力を最小化するために、その柔軟性は最小に保たれる。ほとんどのデジタル無線方式の共通点が活用され、一般的アーキテクチャが導出される。デジタル無線規格を通じた同期化アルゴリズムの多用性に起因して、同期化セクションにはなお柔軟性が必要とされる。自己相関及び相互相関に係る特定のサポートを有する特定用途向けプロセッサが考慮される。

30

【0050】

図3は、（1つのアンテナに対応する）1つの検出器タイルのデジタルフロントエンドアーキテクチャを示す概要図である。図4は、実施可能な実際の実装の一例を示す。単一のタイルは、単一のアンテナに対してインタフェースをとるデジタル送受信論理を含む。

【0051】

着信するパケットデータは、第1の処理モジュール（10）（本明細書においては、この用語を「検出器タイル」の同義語として用いる）へ入力される。この第1の処理モジュール（10）は、アナログフロントエンド（90）を介してアンテナセクション（95）と接続されている。第1の処理モジュールによるデータ検出を通知する信号が、デジタル受信コントローラ（30）へ送られる。このコントローラ（30）は、第1の処理モジュールメモリからの利用可能なデータを第2の処理モジュールメモリへコピーしかつ第2の処理モジュール（50）を起動するように構成される。第2の処理モジュール（50）は、データパケットの復調及び復号化を担当する。検出器タイル（10）は、好適には特定用途向け命令セットプロセッサ（application specific instruction set processor : ASIP）である第1のプロセッサ（15）を備える。第2の処理モジュール（50）は、典型的には汎用プロセッサである第2のプロセッサ（55）を備える。データフローが

40

50

コントローラ(30)を通過しないことは留意されるべきである。データのコピーは、システムバス上の直接メモリアクセスによって行われる。

【0052】

D F E タイルの送信機部分は、バッファと、V L S I 補間フィルタとから成る。クロックされるサンプルがフィルタを介してアナログフロントエンドへ向かって送られることを可能にする開始コマンドを発行することができる。送信(T X)バッファ(図4参照)は、利用可能なサンプルの数がしきい値より下がったときに割り込みをトリガするための、プログラミング可能なしきい値を有する。この割り込みは、プラットフォームコントローラによって処理される。

【0053】

図4におけるD F E タイルの受信機部分は、V L S I デシメーションフィルタと、バッファと、D C オフセット及び搬送波周波数オフセット(C F O)のための補償ユニットとからなる一連の部分を含む。データバスに隣接して、2つの専用マイクロプロセッサコアが実装される。第1のコアは、フロントエンド自動利得制御(A G C)及びD F E 電力管理を処理する。第2のコアは、時間同期化用に最適化される。

【0054】

図5は、アーキテクチャのさらなる詳細図である。あるアンテナからのD F E のデータバスは、データパケットのうちフィルタリングされていないサンプルが第3の処理モジュール(12)によって分析されるように構成される。第3の処理モジュール(12)は、典型的には、フロントエンド(フィルタなど)の正しい設定値を計算するA G C コントローラである。第3の処理モジュールは、ハードウェアブロックとして実装される。

【0055】

ある好適な実施形態では、デジタル受信機は第1の処理モジュール(10)のためのリソース動作コントローラ(20)をさらに備え、第3の処理モジュールによる電力検出及び/又は第4の処理モジュールによるデータ同期化の成功を通知する信号はこのコントローラ(20)へ送られる。リソース動作コントローラ(20)は、プラットフォームの段階的復帰をサポートする複数の別個のブロックにより提供される入力に基づいて、所定の時点においてD F E のどの部分が起動されるかを制御する。コントローラ(20)は、構成可能なハードウェアブロックであってもよい。リソース動作コントローラ(20)は、第4の処理モジュール(16)を起動することができ、またデジタル受信コントローラを復帰させるメッセージを生成することができる。この第4の処理モジュール(16)は、第1の処理モジュール(10)にも属する。本発明に係るアプローチにおいて、第4の処理モジュール(16)が第3の処理モジュール(12)からの入力を受信しない点に留意することは重要である。第3(12)及び第4(16)の処理モジュールにおけるデータバスは、並列している。

【0056】

第2のコントローラ(20)から制御信号を受信するのは、この第4の処理モジュール(16)である。また第4の処理モジュール(16)は、パケットデータを受信する手段からもデータパケットを受信する。第4の処理モジュール(16)は、上記第1のプロセッサ(15)を備える。またこれは、フィルタ手段(17)も備える。受信フィルタ(17)の出力は、データバッファ(18)に格納される。このことが必要であるのは、フィルタリングされるサンプルに対して第1のプロセッサ(15)が粗い同期化アルゴリズムを実行する間にデータがバッファリングされる必要があるからである。プロセッサ(15)は、実装上の選択肢に依存して、データバッファへ接続されたり、又はこのデータバッファの複製へ接続されたりすることが可能である。さらに、データバッファからシステムバスインタフェースを介して主データバスへの接続も存在する。

【0057】

本発明の好適な一実施形態においては、前述のデータバスは、システム内に存在するアンテナの数だけ何度も複製される。各アンテナは、パケットデータを受信するためのそれ自体の手段(90)を有し、これは好適には、すでに述べたアナログフロントエンドであ

10

20

30

40

50

る。よって、各タイル（第1の処理モジュール10）は同じアーキテクチャを有してもよい。複数の検出タイルは、MIMO受信及び/又は多モード走査の柔軟なサポートを可能にする。よって、検出は、複数の異なるモードに関して同時に実行されることが可能である。各タイルにおける第1のプロセッサにおいて、柔軟な時間同期化が実行される。タイルの構成及び（階層的な）起動は、共有のグローバルなリソース動作コントローラ（20）によって実行されることが可能である。あるいは、各タイルに対して別個に、専用のリソース動作コントローラが設けられてもよい。

**【0058】**

複数の検出タイルを有するこのような実施形態では、デジタル受信機は異なるモードで動作するように構成されることが可能であり、よって各検出は、存在しうるモードのうちの1つにおいて動作するようにプログラミングされる。

10

**【0059】**

デジタル受信機システムは、処理階層（DFEユニット及びベースバンドプロセッサを含む）と、制御階層（1つ又は複数のDFE/リソース動作コントローラで構成される）とからなる。データは、入力インタフェースからダウンサンブラ/アンチエイリアシングフィルタへ直接に進み、さらに循環バッファ及び同期化プロセッサクラッチ経路へ進むことができ、次いで、同期化ポインタに依存して、ベースバンドプロセッサメモリへ進むことができる。データはプラットフォームコントローラにも、AGCにも、リソース動作コントローラにも進むことはない。

**【0060】**

20

次に、第3及び第4の処理モジュールのブロックについてさらに詳しく説明する。

**【0061】**

本アーキテクチャの基本的着想は、主データパスを可能な限り直線的に保つことにある。このことは、第1のプロセッサ（15）からの明示的なアクションを必要とすることなく、受信フィルタ（17）から到来する入力サンプルをシステムの他の部分へ送ることが可能であるということの意味する。提案しているアーキテクチャは、この点を考慮している。

**【0062】**

AGCコントローラの目的は、フロントエンドの増幅を制御することと、存在しうる着信信号を検出することとにある。ある動作モードでは、信号検出が例えば粗い同期化動作の後又は逆拡散動作の後のみ可能になるので、AGCコントローラはバイパスされる必要がある。第3の処理モジュール（12）のデフォルト動作モードは、次のように詳述することができる。AGCは、自走（free-running）モード（開始時のデフォルトモード）にあるとき、電力の測定を開始して、最大SNRに到達するようにフロントエンドの増幅チェーンを制御する。増幅テーブル（最適利得分布）は、使用されるフロントエンドに依存する。電力測定は、複数のステップで実行される。通常は、電力探索の実行に続いて、電力が精密に推定される。電力推定自体は、着信するサンプルの平均化である。着信する電力が所定のしきい値に達すると、AGCコントローラはこのことを通知する信号を送り、時間同期化を動作可能化する。この間、AGCは保持モードに設定され、第4の処理モジュール（16）における時間同期化がパケットの可能な開始を発見することを可能にする。時間同期化がパケット開始を発見しないとき、又はパケット送信が終了したとき、AGCは再度自走モードになる。AGC解放信号は、失敗した時間同期化から、又はパケットの終わりから到来してもよい。

30

40

**【0063】**

受信アンチエイリアシングフィルタ（17）は、着信信号に対してダウンサンプリングを実行する。受信アンチエイリアシングフィルタ（17）は、電力について高度に最適化されている。

**【0064】**

第1のプロセッサ（15）は、先に説明したように、好適には特定用途向け命令セットプロセッサ（ASIP）である。このいわゆる同期化プロセッサ（すなわち、第1のプロ

50

セッサ)には、フィルタリングされたデータサンプルであって、粗同期化ポイントを決定するために分析されるべきデータサンプルが供給される。同期化プロセッサは、A G C ロックイベントに反応して、着信データに対してその同期化探索を開始する。有効な同期化シーケンスを検出すると、これはホストコントローラに割り込み、循環バッファ内のデータの開始アドレスをプラットフォームコントローラへ送る。このコントローラは、続いて、循環バッファからバススレーブインタフェースを介してシステム内の他のベースバンド処理部分へデータのバースト転送を開始することができる。

【0065】

図6は、粗な時間同期化を実行するためのこのようなA S I Pの実施可能なアーキテクチャを示す。これは、2命令同時実行V L I Wアーキテクチャを有する。それに加えて、伝統的な算術論理演算装置(A L U)、パイプライン型複素数演算乗算器(M U L)、制御(C T R L)、分岐(B R A N C H)、負荷/格納(L / S)機能ユニットが存在する。さらに、明示的なレジスタ移動と、ベクトルのパック処理/アンパック処理とを実装するために3つの特別なユニットが追加される。これらは、具体的には、2つのベクトルをパック処理するV\_\_e x t\_\_v v v\_\_e xと、1つのベクトルを複数のスカラレジスタにアンパック処理するS\_\_e x t\_\_v r rと、複数のスカラをベクトルにパック処理するS\_\_e x t\_\_r r vとである。

10

【0066】

リソース動作コントローラ(resource activity controller: R A C)は、各時点でD F E受信パスのどの部分が起動されるかを制御する。これは、レジスタ構成可能ハードウェアブロックである。R A Cは、A G Cコントローラ、同期化プロセッサ及びプラットフォームコントローラによって発生される入力信号に基づいて決定を下す。例えば、あるA G CがR Xイネーブル信号をアサートすると、R A Cは、対応する検出器タイルのフィルタ、バッファ及びA S I Pクロックを起動する。この動作の例外は、A S I Pがまず所定のアルゴリズムを実行する必要があるような動作モードが選択される場合である。この場合は、A G Cの状態に関わりなく、完全な検出器タイルが起動される。R A Cはさらに、保持モードからのA G Cの解放を扱う。従って、これは、同期化プロセッサ(誤A G Cトリガの場合)により、又はデジタル受信コントローラ(「パケットの最後」の場合)により発生される情報に依存する。

20

【0067】

起動(非活性化)を実行する1つの実施可能な方法は、スリープモードにおいてクロックゲーティング及びメモリ基板バイアシングを使用することである。起動ではまず、公称バイアスをメモリへ復元する(よって、漏れと引き換えに通常速度でこれらにアクセスすることができる)。次に、コアが再度クロックされる。プロセッサに関しては、小さい復帰ブロック(常時クロックされている)が復帰プロセスの復帰信号を捉える。プロセッサは、特定の命令によってそれ自体を非活性化することができる。

30

【0068】

バスインタフェースは、デジタル受信コントローラに、異なる検出器タイルのデータバッファへのアクセスを提供する。このインタフェースを介して、本コントローラは、データバッファからシステムの残りの部分へのバーストデータ転送を実行することができる。

40

【0069】

D F E R Xサブシステムのデフォルト動作原理は、下記の通りである。

【0070】

- A G Cコントローラは、フロントエンドの出力をモニタリングする。ダウンサンプラ/フィルタは起動されず、よってデータはブロックされる。A G Cコントローラは、存在しうる着信信号を検出すると、このイベントをR A Cへ通知する。

- R A Cは、受信機フィルタ、循環データバッファ及び同期化プロセッサを動作可能化する。同期化プロセッサは、選択された動作モードに依存して、同期化又は相関シーケンスを探し始める。これにより、同期化プロセッサは、循環バッファと同期化しているそ

50

のメモリ内のデータプリアンブル（パケットの開始）を探す。

- A S I Pは、データバッファ内に有効な情報が存在していると決定すれば、プラットフォームコントローラに割り込んで循環バッファ内のデータの正しい開始アドレスをコントローラへ送る。

- 次に、コントローラは、そのデータを処理できるF L A Iプラットフォームの任意の部分に向けた、循環バッファからバスインタフェースを介する転送を開始することができる。ここで、同期化プロセッサは何の動作も行う必要がない。例えば、コントローラは、D F Eバッファからベースバンドプロセッサメモリへデータをコピーし、ベースバンドプロセッサを復帰させて、どの機能が実行されなければならないかについてベースバンドプロセッサに指示することができる。ベースバンドプロセッサは、処理の完了後、データをF E Cプロセッサメモリへコピーできることをプラットフォームコントローラに通知し、F E Cプロセッサメモリを復帰させて通知する。「コピー」することは、データが通過することを意味しないという点に留意されたい。これは、実際には、直接メモリアクセスに基づくものである。

【 0 0 7 1 】

A G Cにより信号が検出されない場合、A G Cコントローラ以外の複数の検出器タイルは、スリープモードにおいて独立に設定されることが可能である。

【 0 0 7 2 】

すでに述べたように、本発明が開示しているようなデジタル受信機は、好適には、例えばI E E E 8 0 2 . 1 1 a、I E E E 8 0 2 . 1 1 n、3 G P P - L T E、I E E E 8 0 2 . 1 6 eのような様々な規格に従う信号を処理するように構成される。

【 0 0 7 3 】

一例として、図7は、8 0 2 . 1 1 aの場合の有効パーストの検出及び前置同期化を保証するために必要とされる動作シーケンスを示す。D F Eタイルがアクティブであるとき、A G C \_ e n a b l e（A G Cイネーブル）信号はハイレベルである。A G Cコントローラは、着信データを連続的に分析している。電力検出は、A G C \_ d o n e（A G C完了）信号により通知される（図示した例では時間インデックス1 8 0 2 5 n sで発生する）。これは、同期化プロセッサ、デシメーションフィルタ及びデータF I F Oをそれぞれ起動する、s y n c \_ e n a b l e（同期化イネーブル）信号、f i l t e r \_ e n a b l e（フィルタイネーブル）信号及びb u f f e r \_ e n a b l e（バッファイネーブル）信号のアサートを引き起こす。考察されている入力信号の場合、同期化イベントは時間インデックス2 7 6 7 5の（s y n c：同期化）信号において発生する。これはプラットフォームレベルの割り込み（D F E \_ i n t）のアサートを引き起こし、これがプラットフォームコントローラを復帰させる。図7には、電力状態フローが追加されている。状態電力に状態継続時間を乗算したものを合計すれば、パースト検出の間に消費されたエネルギーを容易に計算することができる。具体的には、最初の有効サンプルの受信からD F E \_ i n tの割り込み発生までに費やされるエネルギーについて考慮する。現行の実験では、計算結果は2 2 8 n Jになる。

【 0 0 7 4 】

同様に、図8は、ブロッカ信号の受信時（誤トリガ）に行われる動作シーケンスを示す。A G C \_ d o n e信号が発生され、フィルタ、バッファ及び同期化プロセッサが起動されているが、同期化ポイントは発見されず、よって、「s y n c」信号はアサートされない。フィルタ、バッファ及び同期化プロセッサは、時間インデックス3 1 0 2 5 n sでタイムアウトが発生した後、スリープモードに戻される。図8においても状態フローが追加され、誤トリガイベントにおいて費やされたエネルギーを同様に計算すると、3 0 0 n Jになる。誤トリガイベントの間の平均電力は、1 5 . 2 m Wである。従って、誤トリガが確率pで発生するフィールド動作では、D F Eタイルの消費量は1 . 1（1 - p）+ 1 5 . 2 p [ m W ]になる。

【 0 0 7 5 】

次に、プラットフォームのシステムオンチップの設計に注目する。コアのマイクロアー

10

20

30

40

50

キテクチャ及び相互接続は既知であり、パラメータ化可能なコアに係る命令セットシミュレータ、サイクル精度の相互接続モデル及び動作モデルに基づく、電子システムレベル (Electronic System Level : E S L ) のプラットフォームモデルを組み立てることができる。これは、S D Rソフトウェアの開発及び統合化の基準として、及び部分的にはプラットフォームハードウェアの段階的改良の試験台として使用される。よって、ソフトウェア及びハードウェア開発は、分離可能である。

【 0 0 7 6 】

仮想プラットフォーム設計は、高レベル方法論の設計フローにおける重要なステップである。その目的は、ソフトウェア開発 (プラットフォーム制御 A P I、機能物理層、機能媒体アクセス制御及びデータリンク A P I ) に適するとともに、プラットフォームハードウェア設計の基準として適する抽象レベルのプラットフォームシミュレータを組み立てることにある。抽象化の異なるレベル間の変換は、いわゆるトランザクタを介して行われる。これは、抽象化の異なるレベルにおける複数の部分を備えた実行可能なモデルを可能にする。仮想プラットフォームの開発は、主として、I P コアモデルの開発と、相互接続及び実行制御 / ハンドシェイキングサブシステムの最適化と、プラットフォームモデルの統合とから成る。プラットフォームの統合の重要部分は、メモリマップの決定である。

10

【 0 0 7 7 】

次に、例示として、本発明で説明したようなデジタル受信機を有利に使用できる具体的な応用例を取り上げる。本応用例は、時間同期化せずかつ異なる周波数で動作する (同一規格又は異なる規格の) 2つの基地局又はアクセスポイント間における、2つ以上のアンテナを有する移動体端末装置のシームレスなハンドオーバの事例に関する。基地局は、有利なことには、端末装置の高い移動性をサポートする可能性のある、多入力 - 多出力 (M I M O ) 通信方式を適用してもよい。

20

【 0 0 7 8 】

提案しているソリューションは、異なるネットワーク技術の2つの基地局間のシームレスなハンドオーバ (モード間ハンドオーバ) を可能にするとともに、同じ規格で動作するが異なる搬送波周波数を用いる2つの基地局間のシームレスなハンドオーバを可能にする。

【 0 0 7 9 】

これまでに提示したデジタル受信機構造物は、異なる通信モードへの柔軟なリソースの割り当て (アンテナ + アナログフロントエンド) を可能にするので、これは、スマートコントローラがリソースの割り当てを導く場合に、ユーザのニーズ / 通信状態に従った全体的な通信性能の最適化を可能にする。移動体端末装置のアンテナのうちの1つは、走査を行って、新しい基地局への関連付けを開始するために使用可能である一方、他のアンテナはなお、現行の基地局との通信に使用され、これによりソフトハンドオーバが可能になる。受信機における高速にスイッチング可能な、及び / 又は、再構成可能なブロックが通信をサポートすることにより、少なくとも1つのアンテナがハンドオーバの走査に使用される場合では、通信に活用される端末装置のアンテナは少なくとも1つ少なくなる。

30

【 0 0 8 0 】

1つのネットワークにおいて2アンテナ動作から単一アンテナ動作へ切り換えるためには、基地局は、リンクの容量 / 信頼性の低下について通知されるべきである。例えば、空間的な多重ストリームをもはやサポートできなくなり、所定の通信品質を保証するためには空間配置位相 (コンステレーション) 及び / 又は符号化レートの変更を行うことができる。

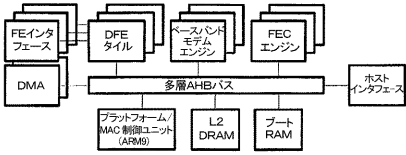
40

【 0 0 8 1 】

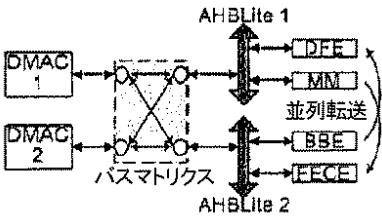
ソフトハンドオーバアプリケーションのための本発明に係るデジタル受信機の応用例は有益な効果を例証し、よって、同じハードウェアを再使用することができる。



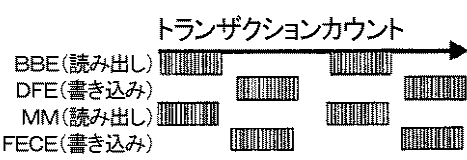
【 図 1 】



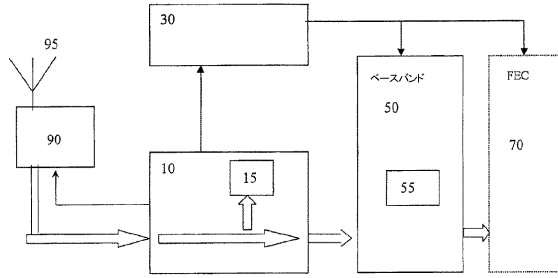
【 図 2 A 】



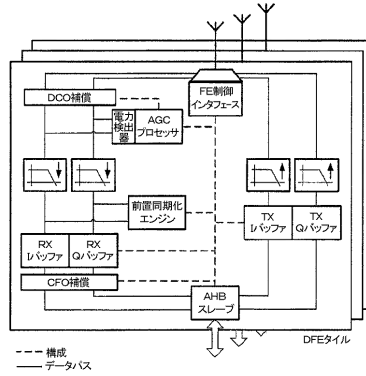
【 図 2 B 】



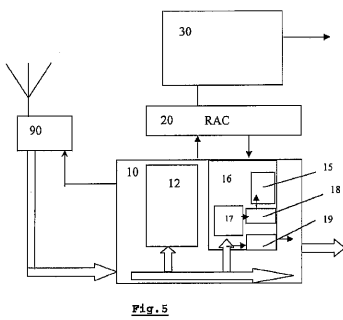
【 図 3 】



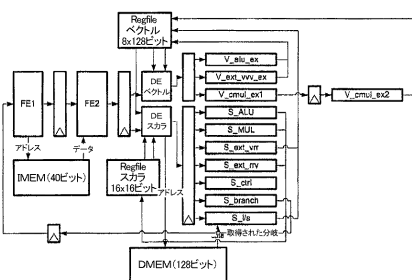
【 図 4 】



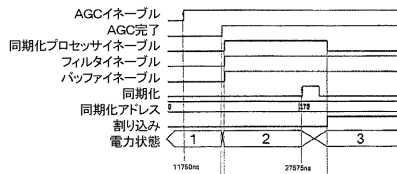
【 図 5 】



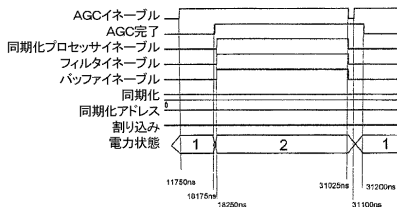
【 図 6 】



【 図 7 】



【 図 8 】



## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/EP2007/054770

A. CLASSIFICATION OF SUBJECT MATTER INV. H04B1/28		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H04B		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 328 066 A2 (FUJITSU LTD [JP]) 16 July 2003 (2003-07-16)	1-4, 10-13, 23-31
Y	figures 2,7	5-9,14, 32,33
Y	----- US 2005/064829 A1 (KANG INYUP [US] ET AL) 24 March 2005 (2005-03-24) paragraph [0047] figure 2	5,6,8,9
X	----- US 6 978 149 B1 (MORELLI DANIEL J [US] ET AL) 20 December 2005 (2005-12-20)	1,2
Y	column 9, line 50 - line 62 figures 3,5 claim 1	7
	----- -/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
*A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family
Date of the actual completion of the international search  2 October 2007		Date of mailing of the international search report  11/10/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer  AVILES MARTINEZ, L

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/EP2007/054770

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2003/063691 A1 (SHIOZAWA TATSUO [JP] ET AL) 3 April 2003 (2003-04-03) paragraphs [0005], [0007], [0034], [0035] figure 1	7, 8, 33
Y	WO 01/11789 A (DSPC TECH LTD [IL]; RAINISH DORON [IL]; YELLIN DANIEL [IL]; SPENCER PA) 15 February 2001 (2001-02-15) page 4, line 18 - line 24 figure 3	14, 32
A	KOENIG W ET AL: "FOLLOWING THE SOFTWARE-RADIO-IDEA IN THE DESIGN CONCEPT OF BASE STATIONS - POSSIBILITIES AND LIMITATIONS APPLICATION DU CONCEPT DE RADIO LOGICIELLE A LA CONCEPTION DES STATIONS DE BASE - POSSIBILITES ET LIMITATIONS" ANNALES DES TELECOMMUNICATIONS - ANNALS OF TELECOMMUNICATIONS, GET LAVOISIER, PARIS, FR, vol. 57, no. 7/8, July 2002 (2002-07), pages 613-625, XP001124780 ISSN: 0003-4347 the whole document	1-14, 23-34
A	KOUNTOURIS A A ET AL: "A reconfigurable radio case study: a software based multi-standard transceiver for UMTS, GSM, EDGE and bluetooth" VTC FALL 2001. IEEE 54TH. VEHICULAR TECHNOLOGY CONFERENCE. PROCEEDINGS. ATLANTIC CITY, NJ, OCT. 7 - 11, 2001, IEEE VEHICULAR TECHNOLOGY CONFERENCE, NEW YORK, NY : IEEE, US, vol. VOL. 1 OF 4. CONF. 54, 7 October 2001 (2001-10-07), pages 1196-1200, XP010562621 ISBN: 0-7803-7005-8 paragraphs [0001], [0002] figure 1	1-14, 23-34
A	US 6 104 937 A (FUJIMOTO SHIGERU [JP]) 15 August 2000 (2000-08-15) column 2, line 57 - column 3, line 31 figure 1	1

-/-

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/EP2007/054770

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>BLUETHGEN H-M ET AL: "A programmable platform for software-defined radio" SYSTEM-ON-CHIP, 2003. PROCEEDINGS. INTERNATIONAL SYMPOSIUM ON NOV. 19-21, 2003, PISCATAWAY, NJ, USA, IEEE, 19 November 2003 (2003-11-19), pages 15-15, XP010682701 ISBN: 0-7803-8160-2 the whole document</p>	<p>1-14, 23-34</p>

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/EP2007/054770

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
EP 1328066	A2	16-07-2003	CN 1433180 A	30-07-2003
			DE 60217818 T2	24-05-2007
			JP 2003209616 A	25-07-2003
			TW 588519 B	21-05-2004
			US 2003133337 A1	17-07-2003
			US 2005064829	A1
			WO 2005034546 A1	14-04-2005
US 6978149	B1	20-12-2005	NONE	
US 2003063691	A1	03-04-2003	JP 3811040 B2	16-08-2006
			JP 2003110581 A	11-04-2003
WO 0111789	A	15-02-2001	AU 6466200 A	05-03-2001
			CN 1369146 A	11-09-2002
			DE 10084919 T0	14-08-2002
			GB 2371185 A	17-07-2002
			US 6606490 B1	12-08-2003
			US 2003194986 A1	16-10-2003
			US 6104937	A
			AU 1516297 A	11-09-1997
			CA 2199441 A1	08-09-1997
			JP 9247035 A	19-09-1997
			NL 1005457 C2	02-04-2002
			NL 1005457 A1	09-09-1997

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100125874

弁理士 川端 純市

(72)発明者 ブリュノー・ブガール

ベルギー、ベ - 1 3 7 0 ジョドワーニュ、リュ・ジャン・レイ 8 番

Fターム(参考) 5K022 EE02 EE14 EE21 EE31

5K061 AA02 CC52 JJ06 JJ07 JJ24

5K067 AA41 BB04 GG08 JJ36