

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-235231

(P2004-235231A)

(43) 公開日 平成16年8月19日(2004.8.19)

(51) Int. Cl.<sup>7</sup>

H01L 29/78

F I

H01L 29/78 652Z

H01L 29/78 653A

テーマコード (参考)

審査請求 有 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2003-19066 (P2003-19066)  
 (22) 出願日 平成15年1月28日 (2003.1.28)

(71) 出願人 000116024  
 ローム株式会社  
 京都府京都市右京区西院溝崎町2 1 番地  
 (74) 代理人 100087701  
 弁理士 稲岡 耕作  
 (74) 代理人 100101328  
 弁理士 川崎 実夫  
 (72) 発明者 高石 昌  
 京都市右京区西院溝崎町2 1 番地 ローム  
 株式会社内

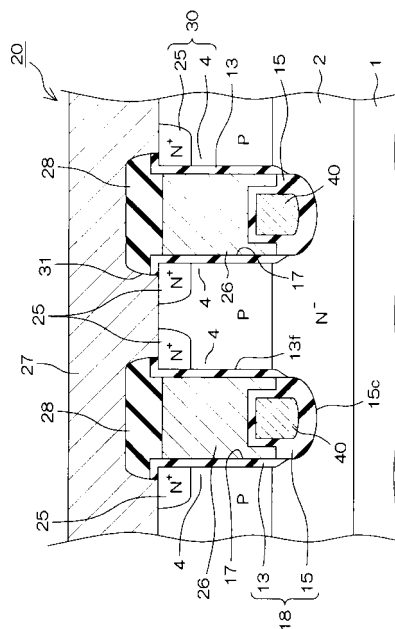
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 オン抵抗の低減を図りつつ、スイッチングロスの低減を図ることが可能な半導体装置を提供する。

【解決手段】 シリコン基板 1 の表面には、N<sup>-</sup> エピタキシャル層 2 が形成されており、N<sup>-</sup> エピタキシャル層 2 の上には、拡散領域 30 が形成されている。拡散領域 30 を貫通してN<sup>-</sup> エピタキシャル層 2 の厚さ方向途中に至るトレンチ 17 が形成されている。トレンチ 17 の内部には、ゲート電極 26 および導電層 40 が配置されている。ゲート電極 26 は、トレンチ 17 内において導電層 40 より浅い部分に設けられている。トレンチ 17 の内側壁に沿う領域には、ゲート酸化膜 13 が形成されている。導電層 40 の周囲は、酸化層 15 により覆われている。拡散領域 30 は、トレンチ 17 縁部に形成されたN<sup>+</sup> ソース領域 25 とゲート電極 26 に対向するチャネル領域 4 とを含んでいる。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

半導体基板の表層部に形成された第 1 導電型のチャネル領域と、  
 このチャネル領域を貫通して形成されたトレンチの縁部に形成された上記第 1 導電型とは異なる第 2 導電型のソース領域と、  
 上記トレンチの底部と隣接する領域に形成された上記第 2 導電型のドレイン領域と、  
 上記トレンチの内側壁に沿って形成されたゲート絶縁膜と、  
 上記トレンチ内において、上記ゲート絶縁膜を挟んで上記チャネル領域に対向するように配置されたゲート電極と、  
 上記トレンチ内において、上記ゲート電極より上記ドレイン領域側に形成された導電層と  
 、  
 上記導電層の周囲を覆い、上記導電層と上記ゲート電極および上記ドレイン領域との間を電氣的に絶縁する絶縁層とを含むことを特徴とする半導体装置。

## 【請求項 2】

上記導電層が不純物の導入により導電化されたポリシリコンからなることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 3】

請求項 1 記載の半導体装置を製造するための方法であって、  
 半導体基板の表層部に上記第 2 導電型のエピタキシャル層を形成する工程と、  
 このエピタキシャル層に上記トレンチを形成する工程と、  
 上記トレンチの底部に第 1 絶縁層を形成する工程と、  
 この第 1 絶縁層を形成する工程の後、上記トレンチ内で上記第 1 絶縁層の上に上記導電層を形成する工程と、  
 この導電層を形成する工程の後、この導電層の露出表面に、上記第 1 絶縁層とともに上記絶縁層を構成する第 2 絶縁層を形成する工程と、  
 上記トレンチの内側壁に沿って上記ゲート絶縁膜を形成する工程と、  
 上記トレンチ内に、上記絶縁層により上記導電層から電氣的に絶縁された上記ゲート電極を形成する工程と、  
 上記エピタキシャル層に、上記ゲート絶縁膜を挟んで上記ゲート電極と対向する上記第 1 導電型の上記チャネル領域を形成する工程と、  
 上記エピタキシャル層において上記トレンチの縁部に対応する領域に、上記第 2 導電型の上記ソース領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

## 【請求項 4】

上記第 1 絶縁層を形成する工程が、上記トレンチの内壁を熱酸化させて犠牲酸化膜を形成する工程と、この犠牲酸化膜を上記トレンチの底部に存在する部分を残して除去する工程とを含み、  
 上記第 2 絶縁層を形成する工程が、上記導電層の露出面を酸化させる工程を含むことを特徴とする請求項 3 記載の半導体装置の製造方法。

## 【請求項 5】

上記ゲート電極を形成する工程が、不純物の導入により導電化されたポリシリコン膜を形成する工程を含むことを特徴とする請求項 3 または 4 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、トレンチ構造を有する半導体装置およびその製造方法に関し、特に、トレンチ構造を有する高周波スイッチング用の MOS FET およびその製造方法に関する。

## 【0002】

## 【従来の技術】

図 6 は、従来のトレンチ構造を有する MOS FET が形成された半導体装置の構造を示す図解的な断面図である。

シリコン基板 5 1 の表面には、 $N^-$  エピタキシャル層 5 2 が形成されており、 $N^-$  エピタキシャル層 5 2 の上には、拡散領域 6 5 が形成されている。拡散領域 6 5 を貫通して  $N^-$  エピタキシャル層 5 2 の厚さ方向途中に至る複数のトレンチ 5 4 が、一定間隔ごとに形成されている。トレンチ 5 4 の内部には、不純物の導入により導電化されたポリシリコンからなるゲート電極 5 5 が配置されている。

【0003】

トレンチ 5 4 の内壁に沿って、ゲート酸化膜 5 6 が設けられている。すなわち、ゲート電極 5 6 と  $N^-$  エピタキシャル層 5 2 および拡散領域 6 5 とは、ゲート酸化膜 5 6 を挟んで対向している。トレンチ 5 4 の内側壁はほぼ平坦な面になっており、トレンチ 5 4 の底はシリコン基板 5 1 側に突出した湾曲面をなしている。トレンチ 5 4 のこのような形状を反映して、ゲート酸化膜 5 6 と拡散領域 6 5 および  $N^-$  エピタキシャル層 5 2 との界面は、平坦面 5 6 f および湾曲面 5 6 c を有している。平坦面 5 6 f は、拡散領域 6 5 において、特定の面方位を有する面であってその面に沿って電流が流れるとき抵抗値が低くなるような面に沿うようにされている。

10

【0004】

拡散領域 6 5 の表層部でトレンチ 5 4 の周辺（縁部）には、 $N^+$  ソース領域 5 7 が形成されている。拡散領域 6 5 の残部は導電型が P 型のチャネル領域 5 3 となっている。トレンチ 5 4 の上方を覆うように酸化シリコンからなる絶縁膜 5 9 が形成されている。絶縁膜 5 9 は、平面視においてトレンチ 5 4 の縁部（ $N^+$  ソース領域 5 7 の上）にも存在する。隣接する 2 つの絶縁膜 5 9 の間は、コンタクトホール 6 0 となっている。拡散領域 6 5 および絶縁膜 5 9 の上には、アルミニウムなどの金属からなる電極膜 6 1 が設けられている。電極膜 6 1 は、コンタクトホール 6 0 内を埋めるように形成されている。

20

【0005】

以上の半導体装置の動作時（オン状態のとき）には、 $N^+$  ソース領域 5 7 と  $N^-$  エピタキシャル層 5 2 との間に、電流（ドレイン電流）が流れる。ドレイン電流は、チャネル領域 5 3 中のゲート酸化膜 5 6 近傍を、ゲート酸化膜 5 6 に沿って流れる。このような半導体装置は、たとえば、下記特許文献 1 に開示されている。

【0006】

【特許文献 1】

特開平 8 - 1 6 7 7 1 1 号公報

30

【0007】

【発明が解決しようとする課題】

ところが、以上のような構造を有する半導体装置は、高周波のスイッチング用途（たとえば、DC - DC コンバータ）に好適に用いることができなかつた。このような用途に用いる半導体装置は、低いオン抵抗および低いスイッチングロスが要求されるが、上記の構造を有する半導体装置では、オン抵抗の低減とスイッチングロスの低減とを両立できなかつた。これは、以下のような理由による。

【0008】

ドレイン電流は、ゲート酸化膜 5 6 近傍をゲート酸化膜 5 6 に沿って流れるので、チャネル領域 5 3 と湾曲面 5 6 c とが接していると、ドレイン電流は湾曲面 5 6 c 近傍では、湾曲面 5 6 c に沿って流れる。このため、ドレイン電流の経路は、抵抗値が低くなる面方位を有する面から外れた経路を含むことになるので、オン抵抗は高くなる。したがって、オン抵抗を低くするためには、図 6 に示すように、チャネル領域 5 3 はゲート酸化膜 5 6 に対して平坦面 5 6 f にのみ接するようにしなければならない。すなわち、湾曲面 5 6 c は全面に渡って  $N^-$  エピタキシャル層 5 2 と接するようにされる。

40

【0009】

ところが、これにより、ゲート電極 5 5 と  $N^-$  エピタキシャル層 5 2 との対向部の面積は大きくなり、 $N^-$  エピタキシャル層 5 2 とゲート電極 5 5 との間の容量、すなわち、ドレイン - ゲート間の容量  $C_{DG}$  が大きくなり、スイッチングロスが大きくなる。たとえば、上記の構造を有する半導体装置は、300 kHz の周波数で動作させて使用す

50

ることは可能であるが、1 MHzの周波数で満足な動作をさせるのは困難であった。

【0010】

トレンチ54の底を平坦面にし、N<sup>-</sup>エピタキシャル層52に対してトレンチ54を浅く形成することにより、ゲート電極55とN<sup>-</sup>エピタキシャル層52とが対向する部分の面積を小さくし、ドレイン-ゲート間の容量C<sub>DC</sub>を小さくすることができる。しかし、トレンチ54をこのような形状に形成することは困難であり、できたとしてもトレンチ54の底と内側壁との間に角部が形成され、この角部に電界が集中して良好な特性を有することができない。

【0011】

そこで、この発明の目的は、オン抵抗の低減を図りつつ、スイッチングロスの低減を図ることが可能な半導体装置を提供することである。 10

この発明の他の目的は、オン抵抗の低減を図りつつ、スイッチングロスの低減を図ることが可能な半導体装置の製造方法を提供することである。

【0012】

【課題を解決するための手段および発明の効果】

上記の課題を解決するための請求項1記載の発明は、半導体基板(1)の表層部に形成された第1導電型のチャネル領域(4)と、このチャネル領域を貫通して形成されたトレンチ(17)の縁部に形成された上記第1導電型とは異なる第2導電型のソース領域(25)と、上記トレンチの底部と隣接する領域に形成された上記第2導電型のドレイン領域(2)と、上記トレンチの内側壁に沿って形成されたゲート絶縁膜(13)と、上記トレンチ内において、上記ゲート絶縁膜を挟んで上記チャネル領域に対向するように配置されたゲート電極(26, 36)と、上記トレンチ内において、上記ゲート電極より上記ドレイン領域側に形成された導電層(37, 40, 40a, 40b)と、上記導電層の周囲を覆い、上記導電層と上記ゲート電極および上記ドレイン領域との間を電氣的に絶縁する絶縁層(15)とを含むことを特徴とする半導体装置(20, 21, 22)である。 20

【0013】

なお、括弧内の数字は、後述の実施形態における対応構成要素等を表す。以下、この項において同じ。

この発明によれば、ゲート電極が一定の大きさ以上の電位にされることにより、チャネル領域を介して、ソース領域とドレイン領域との間に電流(ドレイン電流)を流すことができる。すなわち、この半導体装置はMOS FET(Metal-Oxide-Semiconductor Field Effect Transistor)として機能する。 30

【0014】

ゲート電極とドレイン領域との間には、絶縁膜、導電層(導電化された半導体層を含む。以下同じ。)、および絶縁膜が順に配列されている。したがって、ゲート電極からドレイン領域に至る部分は、複数のコンデンサが直列に接続されたものと等価である。たとえば、導電層が1つの場合は、ゲート電極とドレイン領域との間に2つのコンデンサが直列に接続されたものとみなすことができる。直列に接続された複数のコンデンサの合成容量は、各コンデンサの容量より小さいので、ゲート電極とドレイン領域との間の容量は低減されている。 40

【0015】

また、導電層は複数個あってもよく、絶縁層は、これらの複数の導電層の間にも形成されているものとしてすることができる。この場合、ゲート電極からドレイン領域に至る部分は、3つ以上のコンデンサが直列に接続されたものと等価であり、ゲート電極とドレイン領域との間の容量は、さらに低くなる。

トレンチの内側壁はほぼ平坦面とすることができ、この平坦面は、チャネル領域における特定の面方位を有する面であってその面に沿って電流が流れるとき抵抗値が低くなるような面に沿うものとしてすることができる。トレンチの底が湾曲面をなしている場合、この湾曲面の全領域がドレイン領域に対向するようにし、チャネル領域にはトレンチの平坦な面の 50

みが対向するようにすることができる。

【0016】

これにより、ドレイン電流は、抵抗値の低くなる面方位を有する面のみに沿って流れることができるので、オン抵抗を低くすることができる。また、この湾曲面に沿って広い領域に渡ってゲート電極とドレイン領域とが対向している場合でも、これらの間の容量は小さいので、この半導体装置のスイッチングロスを小さくできる。

半導体基板の表面にはエピタキシャル層が形成されていてもよく、この場合、チャンネル領域、ソース領域、およびドレイン領域はエピタキシャル層に形成されていてもよい。

【0017】

この半導体装置の半導体部分がシリコンからなる場合、絶縁層のうち導電層とドレイン領域との間に存在する部分やゲート絶縁膜は、たとえば、このトレンチの内壁を酸化させてなる酸化シリコンからなるものとすることができる。

導電層は、請求項2記載のように、不純物の導入により導電化されたポリシリコンからなるものであってもよい。

不純物の導入により導電化されたポリシリコンの形成は、半導体装置の製造工程において普通に行われる。したがって、このようなポリシリコンからなる導電層を形成する際、特別な装置を用いる必要がない。導電化されたポリシリコンは、たとえば、CVD (Chemical Vapor Deposition) 法によりポリシリコン膜を形成した後、このポリシリコン膜に不純物をイオン注入して得ることができる。

【0018】

この場合、絶縁膜のうち導電層とゲート電極との間に存在する部分は、導電層の一部を酸化させてなる酸化シリコンからなるものであってもよい。

請求項3記載の発明は、請求項1記載の半導体装置(20, 21, 22)を製造するための方法であって、半導体基板(1)の表層部に上記第2導電型のエピタキシャル層(2)を形成する工程と、このエピタキシャル層に上記トレンチ(17)を形成する工程と、上記トレンチの底部に第1絶縁層(11)を形成する工程と、この第1絶縁層を形成する工程の後、上記トレンチ内で上記第1絶縁層の上に上記導電層(37, 40, 40a, 40b)を形成する工程と、この導電層を形成する工程の後、この導電層の露出表面に、上記第1絶縁層とともに上記絶縁層を構成する第2絶縁層(14)を形成する工程と、上記トレンチの内側壁に沿って上記ゲート絶縁膜(13)を形成する工程と、上記トレンチ内に、上記絶縁層により上記導電層から電氣的に絶縁された上記ゲート電極(26, 36)を形成する工程と、上記エピタキシャル層に、上記ゲート絶縁膜を挟んで上記ゲート電極と対向する上記第1導電型の上記チャンネル領域(4)を形成する工程と、上記エピタキシャル層において上記トレンチの縁部に対応する領域に、上記第2導電型の上記ソース領域(25)を形成する工程とを含むことを特徴とする半導体装置の製造方法である。

【0019】

この発明に係る半導体装置の製造方法により、請求項1記載の半導体装置を製造でき、請求項1記載の半導体装置と同様の効果を奏することができる。

ドレイン領域は、たとえば、チャンネル領域およびソース領域を形成した後のエピタキシャル層の残部とすることができる。

チャンネル領域を形成する工程およびソース領域を形成する工程は、トレンチを形成する工程の前に実施されてもよく、トレンチを形成する工程の後に実施されてもよい。

【0020】

請求項4記載の発明は、上記第1絶縁層を形成する工程が、上記トレンチの内壁を熱酸化させて犠牲酸化膜(11)を形成する工程と、この犠牲酸化膜を上記トレンチの底部に存在する部分を残して除去する工程とを含み、上記第2絶縁層を形成する工程が、上記導電層の露出面を酸化させる工程を含むことを特徴とする請求項3記載の半導体装置の製造方法である。

この発明によれば、犠牲酸化膜の形成および除去により、犠牲酸化膜が除去された後のトレンチの内壁を平坦にすることができる。これにより、ドレイン電流がチャンネル領域中を

10

20

30

40

50

抵抗値が低くなる面方位を有する特定の面に沿って流れるようにすることができ、オン抵抗の低減を図ることができる。

【0021】

犠牲酸化膜の除去は、ゲート絶縁膜が形成される部分、すなわち、ゲート電極とチャネル領域との対向部についてのみ行えばよく、それ以外の部分の犠牲酸化膜を残して絶縁層の一部とすることができる。これにより、工程を大幅に増やすことなく絶縁層を形成できる。絶縁層の他の部分は、導電層の露出表面を酸化させることにより形成できる。ゲート絶縁膜を熱酸化により形成する場合は、同時に、導電層の露出表面を酸化させることができる。

【0022】

請求項5記載の発明は、上記ゲート電極を形成する工程が、不純物の導入により導電化されたポリシリコン膜を形成する工程を含むことを特徴とする請求項3または4記載の半導体装置の製造方法である。

この発明に係る半導体装置の製造方法により、請求項2記載の半導体装置を製造でき、請求項2記載の半導体装置と同様の効果を奏することができる。

【0023】

【発明の実施の形態】

以下では、添付図面を参照して、本発明の実施の形態について詳細に説明する。

図1は、本発明の一実施形態に係る半導体装置20の構造を示す図解的な断面図である。半導体装置20は、高周波スイッチング用のMOS FETである。シリコン基板1の表面には、N<sup>-</sup>エピタキシャル層2が形成されており、N<sup>-</sup>エピタキシャル層2の上には、拡散領域30が形成されている。拡散領域30を貫通してN<sup>-</sup>エピタキシャル層2の厚さ方向途中に至る複数のトレンチ17が、一定間隔ごとに形成されている。各トレンチ17は、図1の紙面に垂直な方向に互いにほぼ平行に延びている。トレンチ17の内側壁はほぼ平坦な面をなしており、トレンチ17の底はシリコン基板1側に突出した湾曲面をなしている。

【0024】

トレンチ17の内部には、不純物の導入により導電化されたポリシリコンからなるゲート電極26および導電層40が配置されている。導電層40は、トレンチ17の深部(N<sup>-</sup>エピタキシャル層2側)で、N<sup>-</sup>エピタキシャル層2および拡散領域30に対向する領域に配置されている。ゲート電極26は、トレンチ17内において導電層40より浅い部分に、導電層40と離隔されて配置されている。また、ゲート電極26は、トレンチ17の深部において拡散領域30と導電層40との間に入り込んでいる。

【0025】

トレンチ17の内側壁に沿う領域には、ゲート酸化膜13が形成されている。ゲート電極26と拡散領域30とは、ゲート酸化膜13を挟んで対向している。導電層40の周囲は、酸化層15により覆われている。したがって、酸化層15は、導電層40とゲート電極26との間、および導電層40とN<sup>-</sup>エピタキシャル層2との間に存在している。これにより、導電層40とゲート電極26およびN<sup>-</sup>エピタキシャル層2とは電氣的に絶縁されている。ゲート電極26とN<sup>-</sup>エピタキシャル層2との間は、ゲート酸化膜13および酸化層15により電氣的に絶縁されている。ゲート酸化膜13と酸化層15とは、一体の酸化膜18をなしている。

【0026】

ゲート酸化膜13と拡散領域30との界面は、トレンチの形状を反映してほぼ平坦な平坦面13fとなっている。平坦面13fは、チャネル領域4における特定の面方位を有する面であって、その面に沿って電流が流れるとき抵抗値が低くなるような面にほぼ沿っている。特定の面方位とは、たとえば、(1, 0, 0)である。また、酸化層15とN<sup>-</sup>エピタキシャル層2との界面は、トレンチ17の形状を反映してシリコン基板1側に突出した湾曲面15cを有している。拡散領域30は、酸化膜18に対して平坦面13fでのみ接しており、湾曲面15cとは接していない。

10

20

30

40

50

## 【0027】

拡散領域30の表層部には、 $N^+$ ソース領域25が形成されており、拡散領域30の残部はP型のチャンネル領域4となっている。 $N^+$ ソース領域25はトレンチ17の周辺(縁部)に形成されている。

ゲート電極26の上には、酸化シリコンからなる絶縁膜28が形成されている。絶縁膜28は、平面視においてトレンチ17の縁部( $N^+$ ソース領域25の上)にまで及んでいる。隣接する2つの絶縁膜28の間は、コンタクトホール31となっている。拡散領域30および絶縁膜28の上には、アルミニウムなどの金属からなる電極膜27が設けられている。電極膜27は、コンタクトホール31内を埋めるように形成されており、コンタクトホール31内に露出した拡散領域30と接している。

10

## 【0028】

以上の半導体装置20において、 $N^+$ ソース領域25と $N^-$ エピタキシャル層2との間に適当な電圧を印加し、ゲート電極26を一定の大きさ以上の電位とすることにより、 $N^+$ ソース領域25と $N^-$ エピタキシャル層2との間にドレイン電流が流れる。すなわち、 $N^-$ エピタキシャル層2は、ドレイン領域として機能する。

ドレイン電流は、チャンネル領域4中をゲート酸化膜13に沿って流れる。この際、ドレイン電流はゲート酸化膜13の平坦面13fに沿って流れ、湾曲面15cに沿って流れることはない。したがって、ドレイン電流はチャンネル領域4中を抵抗値が低い特定の面方位を有する面に沿って流れることができるので、オン抵抗は低い。このような半導体装置20のオン抵抗は、たとえば、5mΩないし7mΩまたはそれ以下とすることができる。

20

## 【0029】

また、ゲート電極26と $N^-$ エピタキシャル層2との間には、酸化層15、導電層40、および酸化層15が順に配列されている。したがって、ゲート電極26から $N^-$ エピタキシャル層2に至る部分は、2つのコンデンサが直列に接続されたものと等価である。直列に接続された2つのコンデンサの合成容量は、各コンデンサの容量より小さい。このため、ゲート電極26と $N^-$ エピタキシャル層2とが湾曲面15cを介して広い面積で対向しているにもかかわらず、ゲート電極26と $N^-$ エピタキシャル層2との間の容量、すなわち、ドレイン-ゲート間の容量 $C_{DG}$ は低減されている。したがって、このような半導体装置20のスイッチングロスが小さい。

30

## 【0030】

このような半導体装置20(MOS FET)を用いて、CPU(Central Processing Unit)を1MHzで駆動する場合、たとえば、CPUを1.3Vで駆動するときの電源効率を85%程度とすることができ、CPUを3.3Vまたは5Vで駆動するときの電源効率を90%程度とすることができる。

図2および図3は、図1に示す半導体装置20の製造方法を説明するための図解的な断面図である。

## 【0031】

まず、シリコン基板1の表面に、 $N^-$ エピタキシャル層2が形成される。続いて、反応性イオンエッチング(RIE)により、所定の深さを有するトレンチ17が形成される。トレンチ17の底は、シリコン基板1側に突出した湾曲面となる。この状態が、図2(a)に示されている。

40

次に、以上の工程を経た半導体基板1の露出表面、すなわち、トレンチ17の内壁および $N^-$ エピタキシャル層2の表面が熱酸化されて、犠牲酸化膜11が形成される。犠牲酸化膜11の厚さは、たとえば、1500ないし3000程度(たとえば、2000程度)とされる。この状態が、図2(b)に示されている。

## 【0032】

その後、CVD(Chemical Vapor Deposition)法により、以上の工程を経たシリコン基板1の上に、トレンチ17の内部を埋めるように、ポリシリコン膜12が形成される(図2(c)参照)。続いて、ポリシリコン膜12に不純物が導入されて、ポリシリコン膜12は導電化される。さらに、ポリシリコン膜12は、トレンチ

50

17底部(シリコン基板1側の部分)に存在する部分を残してエッチバックされる(図2(d)参照)。

【0033】

続いて、犠牲酸化膜11がエッチバックされる。この際、ポリシリコン膜12の側壁の一部が露出され、N<sup>-</sup>エピタキシャル層2とポリシリコン膜12との間の犠牲酸化膜11(トレンチ17の底部側の部分)は残るようにされる。

犠牲酸化膜11が除去された部分のトレンチ17の幅は、わずかに広がる。また、犠牲酸化膜11が除去された後のトレンチ17の内側壁はほぼ平坦な面になる。この状態が図3(e)に示されている。

【0034】

次に、以上の工程を経たシリコン基板1の露出表面が熱酸化される。これにより、トレンチ17の内側壁にゲート酸化膜13が形成され、ポリシリコン膜12の露出表面に酸化膜14が形成される。ゲート酸化膜13の厚さは、たとえば、200ないし600とされる。ポリシリコン膜12の残部は、導電層40となる。犠牲酸化膜11の残部と酸化膜14とは、導電層40の周囲を覆う酸化層15となり、酸化層15とゲート酸化膜13とは、一体の酸化膜18となる。

【0035】

ゲート酸化膜13と拡散領域30との界面は、トレンチ17の形状を反映して、ほぼ平坦な平坦面13fとなる。酸化層15とN<sup>-</sup>エピタキシャル層2との界面は、トレンチ17の形状を反映して、湾曲面15cを有するようになる。この状態が図3(f)に示されている。

その後、CVD法により、トレンチ17の内部を埋めるようにポリシリコン膜が形成され、このポリシリコン膜に不純物が導入されて導電化される。そして、このポリシリコン膜のうちトレンチ17外の部分が除去される。ポリシリコン膜の残部は、ゲート電極26となる。

【0036】

次に、所定のパターンの開口を有するマスクにより、N<sup>-</sup>エピタキシャル層2にイオン注入されて、P型のチャネル領域4が形成される。さらに、別のパターンの開口を有するマスクにより、チャネル領域4にイオン注入されてN<sup>+</sup>ソース領域25が形成される。チャネル領域4およびN<sup>+</sup>ソース領域25は、拡散領域30をなす。

拡散領域30の形成に際して、イオンの注入深さが制御されて、拡散領域30が、酸化膜18に対して、平坦面13fでのみ接し、湾曲面15cとは接しないようにされる。また、ゲート酸化膜13を挟んで、拡散領域30が全領域に渡ってゲート電極26と対向するようにされる。

【0037】

そして、以上の工程を経たシリコン基板1の上に全面に、CVD法により、酸化シリコンからなる絶縁膜28が形成される(図3(g)参照)。そして、所定のパターンの開口を有するマスクを用いて、絶縁膜28にコンタクトホール31が形成される。

さらに、以上の工程を経たシリコン基板1の上に全面にアルミニウムなどからなる電極膜27が形成されて、図1に示す半導体装置20が得られる。

【0038】

以上の半導体装置20の製造方法において、犠牲酸化膜11が形成された後、この犠牲酸化膜11はすべて除去されるのではなく、ポリシリコン膜12とN<sup>-</sup>エピタキシャル層2との間に存在するものが残るようにされる。したがって、工程を大幅に増やすことなく酸化層15を形成できる。

さらに、犠牲酸化膜11を厚めに形成することにより、導電層40とN<sup>-</sup>エピタキシャル層2との間に存在する酸化層15の厚さを厚くすることができる。このことによって、ゲート電極26とN<sup>-</sup>エピタキシャル層2との間の容量の低減を図ることができ、スイッチングロス低減できる。

【0039】

10

20

30

40

50



図4は、本発明の他の実施形態に係る半導体装置21の構造を示す図解的な断面図である。図1に示す半導体装置20の構成要素等に対応する構成要素等には、同じ参照符号を付して説明を省略する。

この半導体装置21は、図1に示す半導体装置20のゲート電極26および導電層40のそれぞれに対応して、ゲート電極36および導電層37が設けられている。半導体装置20では、ゲート電極26の一部が、N<sup>-</sup>エピタキシャル層2と導電層40との間に入り込んでいたが、この半導体装置21においては、ゲート電極36はN<sup>-</sup>エピタキシャル層2と導電層37との間に入り込んでいない。ゲート電極36と導電層37との間は、ほぼ平坦な酸化層15により区画されている。

#### 【0040】

このような半導体装置21は、半導体装置20の製造方法における犠牲酸化膜11を除去する工程(図3(f)参照)で、N<sup>-</sup>エピタキシャル層2とポリシリコン膜12との間の犠牲酸化膜11が除去されないようにすることにより得ることができる。すなわち、ポリシリコン膜12のエッチバック面(シリコン基板1側とは反対側の面)と犠牲酸化膜11のエッチバック面とがほぼ面一になったときに、犠牲酸化膜11のエッチバックを終了すればよい。

#### 【0041】

図5は、本発明のさらに他の実施形態に係る半導体装置22の構造を示す図解的な断面図である。図1に示す半導体装置20の構成要素等に対応する構成要素等には、同じ参照符号を付して説明を省略する。

図1に示す半導体装置20では、導電層40が1つのみ形成されていたが、この半導体装置22においては、2つの導電層40a, 40bが形成されている。導電層40a, 40bは、トレンチ17の深さ方向に沿って配列されており、酸化層15は、導電層40aと酸化層40bとの間にも存在している。

#### 【0042】

したがって、ゲート電極26とN<sup>-</sup>エピタキシャル層2の間には、酸化層15、導電層40a、酸化層15、導電層40b、および酸化層15が順に配列されている。これにより、ゲート電極26からN<sup>-</sup>エピタキシャル層2に至る部分は、3つのコンデンサが直列に接続されたものと等価になっており、ゲート電極26とN<sup>-</sup>エピタキシャル層2との間の容量のさらなる低減が図られている。したがって、半導体装置22は、半導体装置20, 21に比してさらなるスイッチングロスの低減が図られている。

#### 【0043】

導電層40, 40a, 40bの代わりに、3つ以上の導電層が設けられていてもよい。このような半導体装置22は、以下のようにして得ることができる。熱酸化によるゲート酸化膜13の形成(図3(f)参照)までが、半導体装置20の製造方法と同様にして実施される。続いて、トレンチ17内にポリシリコン膜12と同様のポリシリコン膜が形成され、このポリシリコン膜に不純物が導入されて導電化された後、このポリシリコン膜がエッチバックされる。ポリシリコン膜の残部は、導電層40bとなる。

#### 【0044】

次に、導電層40bの露出面が熱酸化された後、ポリシリコン膜12と同様のポリシリコン膜が形成され、このポリシリコン膜に不純物が導入されて導電化された後、さらに、このポリシリコン膜のうちトレンチ17の外部のものがエッチバックされる。ポリシリコン膜の残部は、ゲート電極26となる。

ゲート電極26や導電層40, 40a, 41bは、タングステン(W)等の金属からなるものであってもよい。

#### 【0045】

以上の実施形態では、チャネル領域4やN<sup>+</sup>ソース領域25は、トレンチ17を形成する前に形成されているが、トレンチ17を形成した後に形成することとしてもよい。

以上の実施形態に係る半導体装置は、いずれもNチャネルトランジスタの例であるが、半導体装置はPチャネルトランジスタであってもよい。

10

20

30

40

50

その他、特許請求の範囲に記載された事項の範囲で種々の変更を施すことが可能である。

【図面の簡単な説明】

【図 1】本発明の一実施形態に係る半導体装置の構造を示す図解的な断面図である。

【図 2】図 1 に示す半導体装置の製造方法を説明するための図解的な断面図である。

【図 3】図 1 に示す半導体装置の製造方法を説明するための図解的な断面図である。

【図 4】本発明の他の実施形態に係る半導体装置の構造を示す図解的な断面図である。

【図 5】本発明のさらに他の実施形態に係る半導体装置の構造を示す図解的な断面図である。

【図 6】従来のトレンチ構造を有する MOS FET が形成された半導体装置の構造を示す図解的な断面図である。

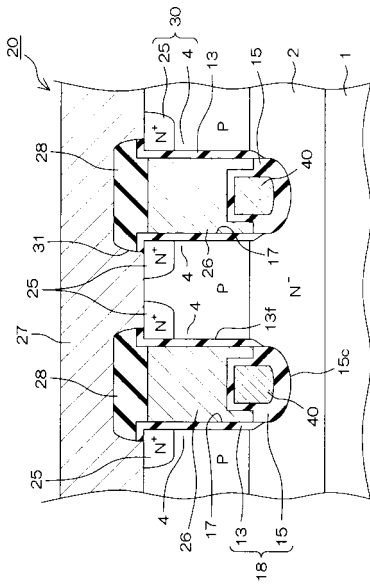
10

【符号の説明】

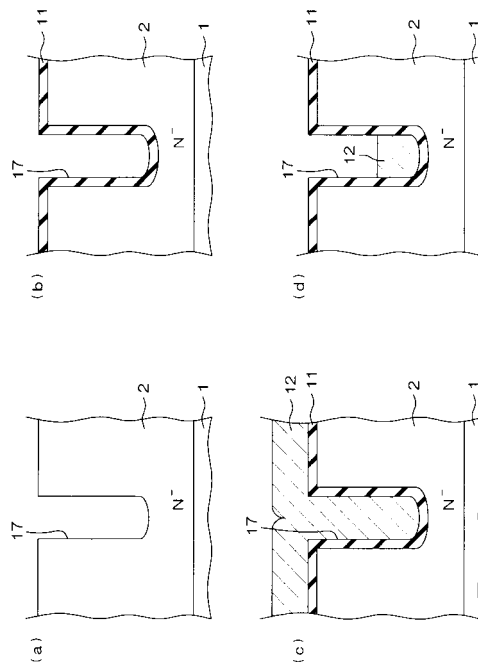
- 1 シリコン基板
- 2 N<sup>-</sup>エピタキシャル層
- 4 チャンネル領域
- 11 犠牲酸化膜
- 14 酸化膜
- 13 ゲート酸化膜
- 15 酸化層
- 17 トレンチ
- 20, 21, 22 半導体装置
- 25 N<sup>+</sup>ソース領域
- 26, 36 ゲート電極
- 37, 40, 40a, 40b 導電層

20

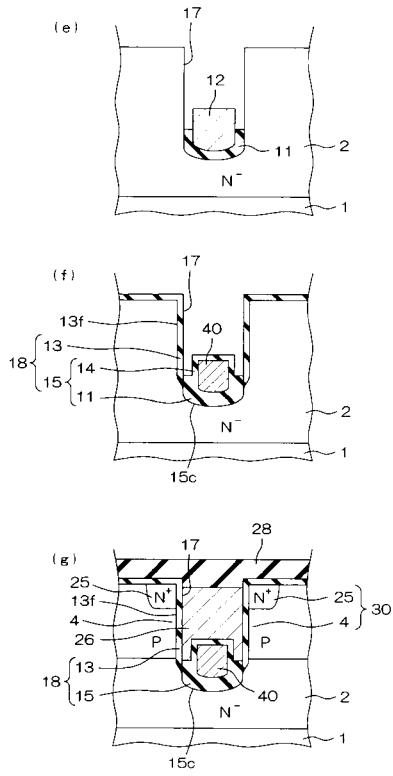
【図 1】



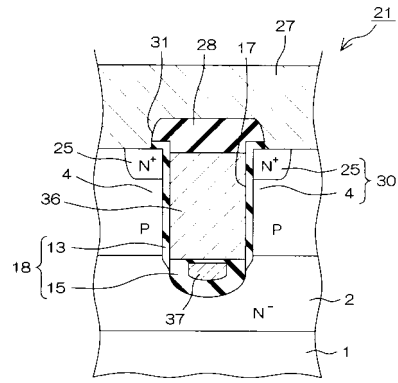
【図 2】



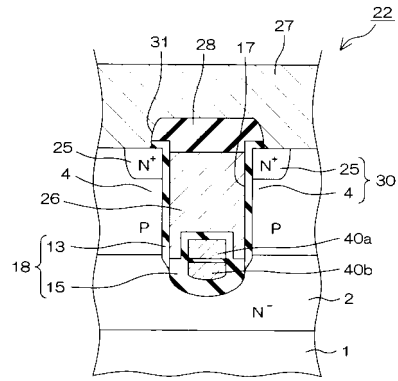
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

