



(21)申請案號：112115393

(22)申請日：中華民國 112 (2023) 年 04 月 25 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L29/40 (2006.01)

H01L29/41 (2006.01)

H01L29/43 (2006.01)

H01L29/66 (2006.01)

(30)優先權：2022/05/23 美國

17/751,367

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)

新竹市新竹科學工業園區力行六路八號

(72)發明人：姚宣孝 YAO, HSUAN-HSIAO (TW)；蕭柏鎧 HSIAO, PO-KAI (TW)；林範誠 LIN,
FAN-CHENG (TW)；黃才育 HUANG, TSAI-YU (TW)；張惠政 CHANG,
HUICHENG (TW)；楊 育佳 YEO, YEE-CHIA (SG)

(74)代理人：李世章；秦建譜

(56)參考文獻：

TW 202141802A

US 2020/0161574A1

US 2021/0234018A1

US 2021/0328020A1

US 2022/0115498A1

審查人員：翁佑菱

申請專利範圍項數：10 項 圖式數：28 共 123 頁

(54)名稱

半導體裝置及其形成之方法

(57)摘要

在一個實施例中，一種形成半導體裝置的方法包含：形成第一氧化層於半導體鰭片結構上方；進行第一氮化製程以將第一氧化層轉化為氮氧化層；沉積含矽層於氮氧化層上方；對含矽層進行第一退火，其中在進行第一退火之後，氮氧化層在與半導體鰭片結構之界面處的氮原子濃度高於在氮氧化層之主體區中的氮原子濃度；以及形成虛置閘極結構於含矽層上方。

In an embodiment, a method of forming a semiconductor device includes: forming a first oxide layer over a semiconductor fin structure; performing a first nitridation process to convert the first oxide layer to an oxynitride layer; depositing a silicon-containing layer over the oxynitride layer; performing a first anneal on the silicon-containing layer, wherein after performing the first anneal, the oxynitride layer has a higher nitrogen atomic concentration at an interface with the semiconductor fin structure than in a bulk region of the oxynitride layer; and forming a dummy gate structure over the silicon-containing layer.

指定代表圖：

符號簡單說明：

50:基材

55:奈米結構

66:鰭片

68:淺溝槽隔離(STI)區

92:磊晶源極/汲極區

102:閘極電極

134:絕緣鰭片

A-A':剖面

B-B':剖面

C-C':剖面

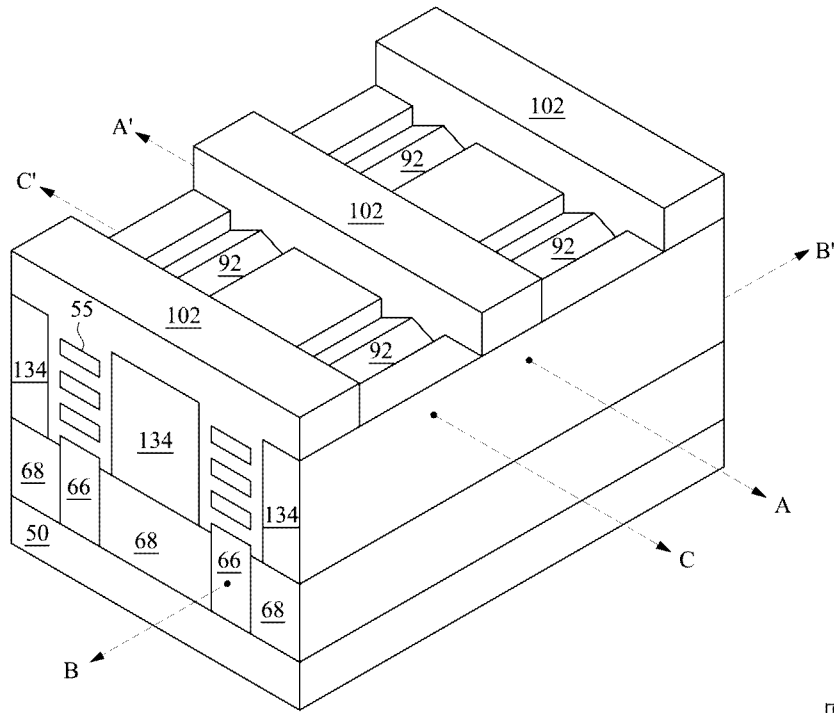


圖 1



I860699

【發明摘要】

公告本

【中文發明名稱】半導體裝置以及其形成之方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF FORMING SAME

【中文】

在一個實施例中，一種形成半導體裝置的方法包含：形成第一氧化層於半導體鰭片結構上方；進行第一氮化製程以將第一氧化層轉化為氮氧化層；沉積含矽層於氮氧化層上方；對含矽層進行第一退火，其中在進行第一退火之後，氮氧化層在與半導體鰭片結構之界面處的氮原子濃度高於在氮氧化層之主體區中的氮原子濃度；以及形成虛置閘極結構於含矽層上方。

【英文】

In an embodiment, a method of forming a semiconductor device includes: forming a first oxide layer over a semiconductor fin structure; performing a first nitridation process to convert the first oxide layer to an oxynitride layer; depositing a silicon-containing layer over the oxynitride layer; performing a first anneal on the silicon-containing layer, wherein after performing the first anneal, the oxynitride layer has a higher nitrogen atomic concentration at an interface with the semiconductor fin structure than in a bulk region of the oxynitride layer; and forming a dummy gate structure over the

silicon-containing layer.

【指定代表圖】圖(1)。

【代表圖之符號簡單說明】

5 0	:	基 材
5 5	:	奈 米 結 構
6 6	:	鰭 片
6 8	:	淺 溝 槽 隔 離 (S T I) 區
9 2	:	磊 晶 源 極 / 汲 極 區
1 0 2	:	閘 極 電 極
1 3 4	:	絕 緣 鰭 片
A - A '	:	剖 面
B - B '	:	剖 面
C - C '	:	剖 面

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 半導體裝置以及其形成之方法

【英文發明名稱】 SEMICONDUCTOR DEVICE AND METHOD OF FORMING SAME

【技術領域】

【0001】 本揭露的實施例是關於一種半導體裝置及其形成之方法，且特別是關於一種奈米結構的半導體裝置及其形成之方法。

【先前技術】

【0002】 半導體裝置用於各式各樣的電子應用中，例如個人電腦、手機、數位相機和其他電子設備。半導體裝置的製造通常透過在半導體基材上依序沉積絕緣或介電層、導電層和半導體層的材料，並使用光學微影圖案化各種材料層以在其上形成電路組件和元件。

【0003】 半導體產業藉由不斷減少最小特徵尺寸來持續改良各種電子組件（例如電晶體、二極體、電阻、電容等）的集成密度，從而允許更多元件集成於給定區域中。然而，隨著最小特徵尺寸減少，額外需解決的問題也隨之出現。

【發明內容】

【0004】 一種形成半導體裝置的方法，其方法包含：形成第

一氧化層於半導體鰭片結構上方；進行第一氮化製程，以將第一氧化層轉化為氮氧化層；沉積含矽層於氮氧化層上方；對含矽層進行第一退火製程，其中在進行第一退火製程之後，相較於氧化層位於氮氧化層的主體區中，氧化層位於與半導體鰭片結構之界面處具有較高的氮原子濃度；以及形成虛置閘極結構於含矽層上方。

【0005】 一種形成半導體裝置之方法，其方法包含：形成鰭片結構於基材上方，其中鰭片結構包含鰭片以及設置於此鰭片上方之複數個奈米結構，其中那些奈米結構包含設置於鰭片上方之犧牲層以及位於犧牲層上方之半導體層；蝕刻出鰭片結構中的第一凹槽，以暴露那些奈米結構的側壁；形成含氮層於在半導體層的側壁以及犧牲層的側壁上；形成介電層於含氮層的上方；蝕刻介電層以及含氮層，以暴露出半導體層的側壁；以及形成磊晶區於第一凹槽中以及直接相鄰於半導體層。

【0006】 一種半導體裝置，包含：設置於第一奈米結構以及第二奈米結構之間的閘極介電質以及導電材料；與第一奈米結構以及第二奈米結構物理接觸的源極/汲極區；設置在鄰近於第一奈米結構的第一含氮層；設置在鄰近於第二奈米結構的第二含氮層；以及介於閘極介電質以及源極/汲極區之間的內間隔物。

【圖式簡單說明】

【0007】 當與附圖一起閱讀時，從以下詳細描述中可以最好

地理解揭露的方面。值得注意的是，根據行業的標準做法，各種特徵並未按照比例繪製。事實上，可以任意放大或縮小各種特徵的尺寸以清晰的討論。

圖 1 係根據一些實施例，以三維視圖繪示出之奈米結構裝置的示例，例如場效電晶體 (nano-FET)。

圖 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12 A, 12 B, 12 C, 13 A, 13 B, 13 C, 14 A, 14 B, 14 C, 15 A, 15 B, 15 C, 16 A, 16 B, 16 C, 17 A, 17 B, 17 C, 17 D, 18 A, 18 B, 18 C, 18 D, 19 A, 19 B, 19 C, 20 A, 20 B, 20 C, 21 A, 21 B, 21 C, 22 A, 22 B, 22 C, 23 A, 23 B, 23 C, 24 A, 24 B, 24 C, 25 A, 25 B, 25 C, 26 A, 26 B, 26 C, 27 A, 27 B, 27 C 和圖 27 D 係根據一些實施例，為奈米裝置在製造的中間階段之剖面圖。

圖 27 E 係根據一些實施例，描繪在製造中的奈米結構裝置之相對原子濃度的圖表。

圖 28 A、圖 28 B 和圖 28 C 係根據一些實施例之奈米結構裝置的剖面圖。

【實施方式】

【0008】 以下揭露提供許多不同的實施例或示例，用於實現本揭露的不同特徵，為了簡化本揭露案件，元件和排列的具體示例描述如下，當然，這些僅僅是示例，並且不旨在進行限制，例如，在以下描述中，第一特徵形成於第二特徵上或上方，可能包含第一和第二特徵直接接觸而形成的

實施例，並且也可能包含其中額外特徵可以形成在第一和第二特徵之間，而使得第一和第二特徵不直接接觸的實施例。此外，本揭露會在各種示例中重複使用參考數字和/或字母。此重複使用係為了簡單和清楚之目的，並不限定所討論的各種實施例和/或組件之間的關係。

【0009】 此外，空間相對術語，如“在...之下”、“在...下方”、“下方”、“在...之上”、“在...上方”及類似用語，在此處係為了便於描述一個元件或部件與另外一個(一些)元件或部件之間的關係，如附圖所繪示。除了圖中描繪的方向之外，空間相對術語意旨涵蓋設備在使用或操作中的不同方向。此裝置可以以其他方式定向(旋轉90度或在其他方向)，並且本文所使用的空間相對描述同樣可以相應地解釋。

【0010】 下面在特定上下文中描述實施例，例如，一晶粒包含奈米結構裝置，例如奈米線 FET、奈米片 FET 或其他閘極全環(gate all-around; GAA)電晶體。然而，各種實施例可以應用於晶粒，其包含其他類型的電晶體(例如，鰭式場效電晶體(FinFETs)、平面電晶體等)來代替或組合其奈米結構裝置。本揭露之實施例包含形成一個或多個擴散阻障層(diffusion barrier layer)(例如，含氮層)於奈米結構裝置的製造過程中。例如，在形成鰭片之後，其包含堆疊之奈米結構(例如，通道區和犧牲層的交替層)，第一擴散阻障層可以形成於奈米結構的側壁上方和周圍。因此，第一擴散阻障層將抑制元件、摻雜物以及雜質從隨後形成之相鄰層和特徵中擴散至奈米結構的側壁中，反之

亦然。此外，進行在奈米結構的那些端點處形成內間隔物和源極/汲極區(例如，源極/汲極區)的步驟之前，第二擴散阻障層可以形成在奈米結構的端點處。因此，第二擴散阻障層將抑制元素、摻雜物以及雜質從隨後形成的源極/汲極區中擴散至奈米結構的端點處，反之亦然。電晶體可例如，因為對通道區的組成和晶體結構具有改善的控制，而以提高的產量、性能和可靠性來製造。在利用上述擴散阻障層之一者或二者之電晶體製造中，可達到多個優點。

【0011】 圖 1 係繪示根據一些實施例之奈米結構裝置(例如，奈米線 FET、奈米片 FET (Nano-FET)等)的三維視圖的示例。此奈米結構裝置包含鱗片 66 上之奈米結構 55(例如奈米片、奈米線等)，位於一基材 50(例如半導體基材)上方，其中奈米結構 55 用作奈米結構裝置的通道區。奈米結構 55 可以包含 p 型奈米結構、n 型奈米結構或兩者之組合。淺溝槽隔離 (shallow trench isolation; STI) 區 68 設置在相鄰的鱗片 66 之間，其可以從相鄰的隔離區 68 之間突出，且突出相鄰的 STI 區 68 之間上方。雖然 STI 區 68 與基材 50 兩者分開描述/繪示，如此處所使用，但術語“基材”可指單獨的半導體基材或半導體基材和隔離區的組合。此外，雖然鱗片 66 的底部繪示為與基材 50 接續的單一材料，但鱗片 66 和/或基材 50 的底部可以包含單一材料或多種材料。在本文中，鱗片 66 指的是在相鄰的隔離區 68 之間延伸的部分。

【0012】 閘極介電層 100(未具體地繪示)在鱗片 66 的頂部

表面之上並且沿著奈米結構 55 的頂部表面、側壁以及底部表面。閘極電極 102 在閘極介電層 100 的上方。磊晶源極 / 汲極區 92 設置於閘極介電層 100 和閘極電極 102 之相對側的鰭片 66 上。

【0013】 絕緣鰭片 134，也可以稱為混合鰭片或介電鰭片，設置在隔離區 68 上方，以及相鄰的磊晶源極 / 汲極區 92 之間。絕緣鰭片 134 在磊晶源極 / 汲極區 92 形成期間阻擋磊晶生長，以防止相鄰的磊晶源極 / 汲極區 92 合成。例如，在一些實施例中，可以形成絕緣鰭片 134 以分離相鄰電晶體中的磊晶源極 / 汲極區 92。

【0014】 圖 1 更繪示後面圖示中所使用之參考剖面。剖面 A - A' 沿著閘極電極 102 的縱軸及一方向，例如此方向垂直於 nano-FET 的磊晶源極 / 汲極區 92 之間的電流方向。剖面 B - B' 垂直於剖面 A - A'，並且平行於 nano-FET 之鰭片 66 的縱軸及一方向，例如，此方向為 nano-FET 的磊晶源極 / 汲極區 92 之間的電流流動的方向。剖面 C - C' 平行於剖面 A - A'，並且延伸通過奈米結構裝置的磊晶源極 / 汲極區 92。為清楚起見，隨後的圖皆參考這些參考剖面。

【0015】 本文討論的一些實施例是在形成奈米結構裝置的背景下所討論，係使用一後閘極製程。在其他實施例中，可以使用先閘極製程。此外，一些實施例考慮在平面裝置中使用的方面，例如平面 FETs 或在鰭式場效電晶體 (FinFETs) 中。

【0016】 圖 2 至圖 28C 係根據一些實施例，包含奈米結構

裝置在製造的中間階段之剖面圖。圖 2 至圖 11、12 A、13 A、14 A、15 A、16 A、17 A、18 A、19 A、20 A、21 A、22 A、23 A、24 A、25 A、26 A、27 A 和圖 28 A 繪示圖 1 中所示之參考剖面 A-A'。圖 12 B、13 B、14 B、15 B、16 B、17 B、17 D、18 B、18 D、19 B、20 B、21 B、22 B、23 B、24 B、25 B、26 B、27 B 和圖 28 B 繪示圖 1 中所示之參考剖面 B-B'。圖 12 C、13 C、14 C、15 C、16 C、17 C、18 C、19 C、20 C、21 C、22 C、23 C、24 C、25 C、26 C、27 C 和圖 28 C 繪示圖 1 中所示之參考剖面 C-C'。

【0017】 在圖 2 中，提供一基材 50。基材 50 可以是半導體基材，例如塊體半導體 (bulk semiconductor)、絕緣體上覆半導體 (semiconductor-on-insulator; SOI) 基材等，其可以被摻雜 (例如，用 p 型或 n 型摻雜物) 或不摻雜。基材 50 可以是晶片，例如矽晶片。通常，SOI 基材是形成在絕緣層上的一層半導體材料。絕緣層可以是例如氧化埋 (Buried Oxide; BOX) 層、氧化矽層等。絕緣層設置在基材上，通常是矽或玻璃基材。也可以使用其他基材，例如多層或梯度基材。在一些實施例中，基材 50 的半導體材料可以包含矽；鍺；一種化合物半導體，包含碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮和 / 或銻化銮；合金半導體，包含矽鍺、磷化砷化鎵、砷化鋁銮、砷化鋁鎵、砷化鎵銮、磷化鎵銮和 / 或磷砷化鎵銮；或前述之組合。

【0018】 基材 50 具有 n 型區 50N 和 p 型區 50P。n 型區 50N 可以用於形成 n 型裝置，例如 NMOS 電晶體，例如 n

型奈米結構裝置，以及 p 型區 50P 可用於形成 p 型裝置，例如 PMOS 電晶體，例如 p 型奈米結構裝置。n 型區 50N 可以與 p 型區 50P 物理分離（如藉由所繪示之分隔物 20），以及任何數量的裝置特徵（例如，其他主動裝置、摻雜區等）可以設置於 n 型區 50N 和 p 型區 50P 之間。雖然僅繪示出一個 n 型區 50N 和一個 p 型區 50P，但是可以提供任意數量的 n 型區 50N 和 p 型區 50P。

【0019】 進一步參照圖 2，多層堆疊 64 形成於基材 50 上方。多層堆疊 64 包含第一半導體層 51A-C（整體稱為第一半導體層 51）和第二半導體層 53A-C（整體稱為第二半導體層 53）的交替層。出於說明的目的並且如下文更詳細討論，第二半導體層 53 將會被移除，並且第一半導體層 51 將會被圖案化，以在 p 型區 50P 中形成奈米結構裝置的通道區。此外，第一半導體層 51 將會被移除，並且第二半導體層 53 將會被圖案化，以在 n 型區 50N 中形成奈米結構裝置的通道區。然而，在一些實施例中，可以移除第一半導體層 51 並且可以圖案化第二半導體層 53 以在 n 型區 50N 中形成奈米結構裝置的通道區，以及可以移除第二半導體層 53 並且可以圖案化第一半導體層 51 以在 p 型區 50P 中形成奈米結構裝置的通道區。

【0020】 又有一些實施例中，可以移除第一半導體層 51 並且可以圖案化第二半導體層 53 以形成奈米結構裝置的通道區於 n 型區 50N 和 p 型區 50P 兩者中。在其他實施例中，可以移除第二半導體層 53 並且可以圖案化第一半導體

層 51 以形成 nano-FETs 的通道區於 n 型區 50N 和 p 型區 50P 兩者中。在這樣的實施例中，n 型區 50N 和 p 型區 50P 兩者中的通道區可以具有相同的材料成分(例如，矽或另一種半導體材料)並且同時形成。圖 28A 至圖 28C 繪示出由這樣的實施例所產生之結構，其中 p 型區 50P 和 n 型區 50N 兩者中的通道區包含例如矽。

【0021】 多層堆疊 64 繪示為包含每個第一半導體層 51 和第二半導體層 53 的三層是出於說明之目的。在一些實施例中，多層堆疊 64 可以包含任意數量的第一半導體層 51 和第二半導體層 53，例如，形成結晶超晶格。多層堆疊 64 中的每一層可以藉由一製程來磊晶成長，例如化學氣相沉積 (Chemical Vapor Deposition; CVD)、原子層沉積 (Atomic Layer Deposition; ALD)、氣相磊晶 (Vapor Phase Epitaxy; VPE)、分子束磊晶 (Molecular Beam Epitaxy; MBE) 等。因此，可以形成多層堆疊 64 中的每一層以遵循下層以及基材 50 的結晶度。在各種實施例中，第一半導體層 51 可以由適用於 p 型奈米結構裝置的第一半導體材料形成，例如矽鍺(例如，作為超晶格之一部分的結晶矽鍺)等，以及第二半導體層 53 可以由適用於 n 型奈米結構裝置的第二半導體材料形成，例如矽(例如，作為超晶格形式之一部分的結晶矽)、矽碳等。多層堆疊 64 繪示為具有適用於 p 型奈米結構裝置之最底部半導體層，係出於說明之目的。在一些實施例中，可以形成多層堆疊 64，使得最底層是適用於 n 型奈米結構裝

置的半導體層。

【0022】 第一半導體材料和第二半導體材料可以是彼此具有高蝕刻選擇比的材料。如此，可以移除第一半導體材料的第一半導體層 51，而不會很大程度地移除 n 型區 50N 中的第二半導體材料的第二半導體層 53，從而允許圖案化第二半導體層 53 以形成 n 型奈米裝置的通道區。同樣地，可以移除第二半導體材料的第二半導體層 53，而不會很大程度地移除 p 型區 50P 中的第一半導體材料的第一半導體層 51，從而允許圖案化第一半導體層 51 以形成通道區，例如 p 型奈米裝置的通道區。

【0023】 現在參照圖 3，根據一些實施例，鰭片 66 形成於基材 50 中並且奈米結構 55 形成於多層堆疊 64 中。在一些實施例中，奈米結構 55 和鰭片 66 可以分別形成於多層堆疊 64 和基材 50 中，藉由在多層堆疊 64 和基材 50 中蝕刻溝槽。蝕刻可以是任何可接受的蝕刻製程，例如反應離子蝕刻 (Reactive Ion Etch ; RIE)、中性射束蝕刻 (Neutral Beam Etch ; NBE) 等或上述之組合。蝕刻可以是非等向性的。藉由蝕刻多層堆疊 64 而形成奈米結構 55，可以進一步從第一半導體層 51 中定義第一奈米結構 52A、52B 和 52C (整體稱為第一奈米結構 52)，以及從第二半導體層 53 中定義第二奈米結構 54A、54B、54C (整體稱為第二奈米結構 54)。第一奈米結構 52 和第二奈米結構 54 可以進一步整體稱為奈米結構 55。

【0024】 鰭片 66 和奈米結構 55 可以藉由任何合適的製程

來進行圖案化。例如，鰭片 66 和奈米結構 55 可以使用一個或多個微影製程來進行圖案化，包含雙重圖案化或多重圖案化製程。通常，雙重圖案化或多重圖案化結合微影和自對準製程，從而允許創建具有以下特徵的圖案，例如可以獲得比使用單個、直接的微影製程具更小間距的圖案。例如，在一實施例中，在一基材上方形成一犧牲層，並使用微影製程進行圖案化。使用自對準製程以沿著圖案化之犧牲層的旁邊形成間隔物。然後，移除犧牲層，並且剩餘的間隔物可作為一遮罩 58 以圖案化鰭片 66 和奈米結構 55。

【0025】 圖 3 將 n 型區 50N 和 p 型區 50P 中的鰭片 66 繪示為具有基本相等的寬度係為了說明之目的。在一些實施例中，n 型區 50N 中的鰭片 66 寬度可以大於或小於 p 型區 50P 中的鰭片 66 寬度。此外，雖然鰭片 66 和奈米結構 55 中的每一個繪示為具有始終一致的寬度，但在一些實施例中，鰭片 66 和 / 或奈米結構 55 可能具有錐形側壁，使得鰭片 66 和 / 或奈米結構 55 中每一個的寬度在朝向基材 50 的方向上不斷地增加。在這樣的實施例中，每個奈米結構 55 可以具有不同的寬度，並且是梯形的。

【0026】 在圖 4 中，淺溝槽隔離 (STI) 區 68 相鄰於鰭片 66 而形成。STI 區 68 可以透過在基材 50、鰭片 66 和奈米結構 55 上方，以及相鄰的鰭片 66 之間沉積一絕緣材料而形成。此絕緣材料可以是氧化物，例如氧化矽、氮化物等，或上述之組合，並且可以透過高密度等離子體化

學氣相沉積 (high-density plasma CVD ; HDP-CVD) 、可流動化學氣相沉積 (flowable CVD ; FCVD) 等製程，或上述之組合而形成。其他絕緣材料可以透過任何可接受的製程所形成。在所繪示之實施例中，絕緣材料是透過 FCVD 製程而形成的氧化矽。一旦絕緣材料形成之後，即可實施一退火製程。在一個實施例中，絕緣材料的形成使得多餘的絕緣材料覆蓋奈米結構 55。雖然絕緣材料在繪示中為單層，但在一些實施例中可能使用多層。例如，在一些實施例中，會沿著基材 50、鱗片 66 和奈米結構 55 的表面形成一襯墊 (未個別地說明)，而後，一填充材料，如上面所討論之材料可以形成於此襯墊上。

【0027】 一移除製程可應用於上述絕緣材料，以移除奈米結構 55 上多餘的絕緣材料。在一些實施例中，可以使用一平坦化製程例如化學機械研磨 (chemical mechanical polish ; CMP)、回蝕製程、上述製程之組合或類似之製程等。平坦化製程可以曝露遮罩 58 或移除遮罩 58 以露出奈米結構 55，會使得遮罩 58 或奈米結構 55 的頂部表面和絕緣材料在平坦化製程完成後是平坦的。在所繪示之實施例中，遮罩 58 保留在奈米結構 55 上方。

【0028】 凹陷絕緣材料以形成 STI 區 68。凹陷絕緣材料來使得在 n 型區 50N 和 p 型區 50P 中的遮罩 58 之上部分從相鄰的 STI 區 68 之間突出。再者，STI 區 68 的頂部表面可以具有如圖所示之平坦表面、凸表面、凹表面 (如碟狀) 或上述之組合。透過適當的蝕刻，STI 區 68 的頂部表面

可能為平坦狀、凸狀和/或凹狀。可以利用可接受的蝕刻製程使 STI 區 68 凹陷，例如一對絕緣材料的材料具有選擇性的蝕刻製程(例如，相較於鱗片 66 和奈米結構 55 的材料，以較快的速率蝕刻絕緣材料的材料)。例如，可以使用一氧化物移除製程，使用例如稀氫氟酸(dilute hydrofluoric ; dHF)。

【0029】 上面圖 2 至圖 4 中所描述的製程，僅是關於鱗片 66 和奈米結構 55 如何形成的一個示例。在一些實施例中，鱗片 66 和/或奈米結構 55 可以利用遮罩和磊晶生長製程而形成。例如，可以形成介電層在基材 50 的頂部表面上，並且可以蝕刻溝槽穿過介電層以露出下方的基材 50。磊晶結構可以在溝槽中磊晶生長，並且可以凹蝕介電層，使得磊晶結構從介電層突出以形成鱗片 66 和/或奈米結構 55。磊晶結構可以包含上述討論的交替半導體材料，例如第一半導體材料和第二半導體材料。在磊晶結構中磊晶生長的一些實施例中，磊晶生長的材料在生長期間可於原位(*in situ*)摻雜，如此可不需要前佈植和後續佈植步驟，即使原位和佈植摻雜可一起使用。

【0030】 此外，第一半導體層 51(和所得的第一奈米結構 52)以及第二半導體層 53(和所得的第二奈米結構 54)在本文所繪示及討論中為在 p 型區 50P 和 n 型區 50N 中包含相同的材料，僅係出於說明之目的。因此，在一些實施例中，第一半導體層 51 和第二半導體層 53 中的一個或兩個可以是不同的材料或者以不同的順序形成於 p 型區 50P

和 n 型區 50N 中。

【0031】 進一步參照圖 4，適當的井區(未個別地說明)可以形成於鰭片 66、奈米結構 55 和 / 或 STI 區 68 中。在具有不同井區類型之實施例中，可以使用光阻或其他遮罩(未個別地說明)進行 n 型區 50N 和 p 型區 50P 的不同佈植步驟。例如，光阻可以形成於 n 型區 50N 和 p 型區 50P 中的鰭片 66 以及 STI 區 68 之上。圖案化光阻以曝露 p 型區 50P。光阻可以透過使用旋轉塗抹技術而形成，並且可以使用可接受的微影技術進行圖案化。光阻一旦圖案化後，佈植一 n 型雜質於 p 型區 50P，並且光阻可作為遮罩以實質地防止 n 型雜質佈植到 n 型區 50N 中。n 型的雜質可以是磷、砷、銻等，或是類似的雜質，其以濃度範圍約為 10^{13} 至 10^{14} 個原子個數 / 立方公分佈植於區域中。佈植後，移除光阻藉由例如一可接受的灰化製程。

【0032】 在佈植 p 型區 50P 之後或之前，光阻或其他遮罩(未個別地說明)可以形成於 p 型區 50P 和 n 型區 50N 中的鰭片 66、奈米結構 55 和 STI 區 68 之上。圖案化光阻以曝露 n 型區 50N。光阻可以透過使用旋轉塗抹技術而形成，並且可以使用可接受的微影技術進行圖案化。光阻一旦圖案化後，佈植一 p 型雜質於 n 型區 50N，並且光阻可作為遮罩以實質地防止 p 型雜質佈植到 p 型區 50P 中。p 型雜質可以是硼、氟化硼、銦等，或是類似的雜質，其以濃度範圍約為 10^{13} 至 10^{14} 個原子個數 / 立方公分佈植於區域中。佈植後，可以移除光阻藉由例如一可接受的灰化

製程。

【0033】 佈植 n 型區 50N 和 p 型區 50P 後，可進行退火製程以修復佈植所造成的缺陷，並且活化佈植的 p 型和 / 或 n 型雜質。在一些實施例中，生長期間可於原位摻雜磊晶鰭片的生長材料，如此可不需要佈植步驟，儘管可一同使用原位和佈植摻雜。

【0034】 在圖 5 至圖 6 中，第一擴散阻障層 122 形成於奈米結構 55 上方。第一擴散阻障層 122 可以保護奈米結構 55 在半導體裝置之製造期間，免於氧化和隨後製程的其他影響。參照圖 5，根據一些實施例，進行一濕式清理製程於凹陷絕緣材料以形成 STI 區 68 之後，導致氧化層 120 作為化學氧化物形成於結構上方。氧化層 120 形成於奈米結構 55 之上並且還可以形成於 STI 區 68 的頂部表面上方。例如，氧化層 120 可以是氧化矽等。在一些實施例中，氧化層 120 透過 CVD、ALD 或合適的方法而形成。氧化層 120 可以形成一厚度範圍為 0.5 奈米 (nm) 至 3 nm。

【0035】 參考圖 6，在一些實施例中，進行第一氮化製程以將氧化層 120 (例如，氧化矽) 轉化為第一擴散阻障層 122。因此，第一擴散阻障層 122 可以是氮化物或氮氧化物 (例如，在以上示例中的氮氧化矽)。例如，第一氮化製程可以是進行一熱氮化，在溫度範圍從 700°C 至 1200°C 內，持續時間範圍在 0.2 毫秒 (ms) 至 300 秒 (s)。此外，熱氮化可以在含氮環境中進行，例如 NH₃、NO、N₂O、NO₂ 等。在一些實施例中，第一氮化製程可以是在小於或等於

700°C 的溫度下進行的等離子氮化 (plasma nitridation) 製程，例如範圍從室溫 (例如，20°C 至 25°C) 至 700°C。此外，等離子氮化可以進行於環境中或使用前驅物，例如 N₂、NH₃、NO、N₂O、NO₂ 等，載氣例如氬氣或 N₂。

【0036】 雖然沒有具體說明，第一擴散阻障層 122 可以包含主體部分和富氮 (nitrogen-rich) 部分，其中富氮部分靠近並沿著奈米結構 55。富氮部分之形成是透過來自第一擴散阻障層 122 的氮，被吸引至靠近並沿著第一擴散阻障層 122 的奈米結構中，和 / 或與其中的矽和 / 或鍺原子形成鍵 (例如，化學鍵)。因此，第一擴散阻障層 122 可以具有一氮濃度梯度穿越其厚度，使得與奈米結構 55 相鄰之富氮部分具有比遠離奈米結構 55 之主體部分更高的氮濃度。在一些實施例中，第一擴散阻障層 122 的一部分 (例如，富氮部分的一部分) 可以包含矽和 / 或鍺原子，其與富氮部分中的氮原子鍵合。

【0037】 第一擴散阻障層 122 中的氮可以減少或防止各種雜質或其他元素擴散至第一擴散阻障層 122 以及從第一擴散阻障層 122 中擴散。例如，第一擴散阻障層 122 可以減少或防止鍺從奈米結構 55 向外擴散，從而改變奈米結構 55 的性能特性。同樣地，第一擴散阻障層 122 可以減少或限制鍺或其他元素擴散至奈米結構 55 中，這也可能改變奈米結構 55 的性能特性。

【0038】 在圖 7 中，第一隔離層 126 形成於第一擴散阻障

層 122 之上。如以下更詳細討論，可以移除第一隔離層 126 和第一擴散阻障層 122，並且以一閘極電極替代。第一隔離層 126 可以順應地沉積，例如使用 CVD、ALD 等，或者合適之方法。例如，第一隔離層 126 可以是含矽層，例如矽鍺、矽、碳氮化矽、氧化矽等，或前述之組合。

【0039】 在一些實施例中，第一隔離層 126 之形成可以透過一半導體材料(例如，選自基材 50 的候選半導體材料中的一種)例如矽鍺，其可以透過例如氣相磊晶(vapor phase epitaxy; VPE)或分子束磊晶(molecular beam epitaxy; MBE)的製程生長，沉積係透過例如化學氣相沉積(CVD)或原子層沉積(ALD)等製程。例如，第一隔離層 126 可以由矽或矽鍺形成。

【0040】 在圖 8 中，部分的第一隔離層 126 被圖案化，而且部分的第一隔離層 126 從奈米結構 55 和 STI 區 68 的頂部表面移除。移除製程可以包含等向性或非等向性蝕刻製程，並且可以是濕蝕刻或乾蝕刻，雖然任何合適的蝕刻製程皆可以使用。例如，第一隔離層 126 可以使用非等向性濕蝕刻製程來蝕刻。在一些實施例中，部分的第一擴散阻障層 122 與第一隔離層 126 一起被圖案化，且部分的第一擴散阻障層 122 與第一隔離層 126 一起被移除。第一隔離層 126 和第一擴散阻障層 122 之剩餘部分設置於 STI 區 68 上方並且沿著奈米結構 55、鱗片 66 和遮罩(如果存在)的側壁。在一些未具體說明的實施例中，第一隔離層 126 的材料具有與第一擴散阻障層 122 的材料不同的蝕刻

速率(例如, 更高的蝕刻速率), 使得第一擴散阻障層 122 可以用作一蝕刻停止層。因此, 在移除製程之後, 部分的第一擴散阻障層 122 可以保留於奈米結構 55 和/或 STI 區 68 的頂部表面上方。

【0041】 在未具體說明之一些實施例中, 第一擴散阻障層 122 的暴露部分可以保留於相鄰之奈米結構 55 之間。例如, 部分的第一擴散阻障層 122 可以保留在 n 型區 50N 和 p 型區 50P 中所繪示的奈米結構 55 之間, 係由於奈米結構 55 的密度和奈米結構 55 的長寬比。

【0042】 在圖 9 中, 第二隔離層 128 形成於第一隔離層 126 上方。如以下更詳細討論, 填充材料(例如以下參照圖 10 所討論之填充材料 130)可以形成於第二隔離層 128 上方。第二隔離層 128 可以用作襯墊層, 並且第二隔離層 128 和隨後形成的填充材料和覆蓋層(capping layer)可以共同形成絕緣鰭片於奈米結構 55 之間。第二隔離層 128 可以順應地(conformally)沉積, 例如, 使用 CVD、ALD、物理氣相沉積(physical vapor deposition; PVD)等, 或合適之方法。類似地, 第二隔離層 128 可以為含矽層, 例如矽鍺、矽、碳氮化矽、氧化矽等, 或前述之組合。然而, 第二隔離層 128 可以是與用於第一隔離層 126 之不同的材料。在一些實施例中, 第二隔離層 128 可以由一種或多種介電材料而形成, 此介電材料對鰭片 66、奈米結構 55 和第一隔離層 126 的蝕刻具有高蝕刻選擇性, 例如, 作為一氮化物像是氮化矽、碳氮化矽、碳氮氧化矽等。第二

隔離層 128 減少第一隔離層 126 的氧化，在隨後形成填充材料 130 之期間，這對於隨後移除第一隔離層 126 可以是有用的。在一些實施例中，第二隔離層 128 是碳氮化矽並且透過 CVD 而形成。

【0043】 在圖 10 中，填充材料 130 形成於第二隔離層 128 上方，填充於鱗片 66 和奈米結構 55 之間未被第一隔離層 126 或第二隔離層 128 填充之剩餘區域。填充材料 130 可以形成絕緣鱗片 134 下部分之主體以使隨後形成的源極/汲極區彼此絕緣。填充材料 130 可以形成，藉由一可接受的沉積製程例如 ALD、CVD、PVD 等。填充材料 130 可以由一種或多種介電材料而形成，對鱗片 66、奈米結構 55、第一隔離層 126 和第二隔離層 128 的蝕刻具有高蝕刻選擇性，例如，作為一氧化物像是例如氧化矽、氮氧化矽、碳氮氧化矽、碳氧化矽等，或前述之組合。

【0044】 仍然參照圖 10，第二隔離層 128 的上部分以及鱗片 66、奈米結構 55 和遮罩 58 之頂部表面上方的填充材料 130 可以使用一個或多個可接受的平面化和/或蝕刻製程來移除。蝕刻製程對於第二隔離層 128 和填充材料 130 可以是選擇性的(例如，選擇性地蝕刻第二隔離層 128 和填充材料 130，以一相較於第一隔離層 126、奈米結構 55 和/或遮罩 58 更快的速率)。在一些實施例中，第二隔離層 128 和填充材料 130 的頂部表面可以低於遮罩 58 的頂部表面。在未具體說明之其他實施例中，填充材料 130 可以凹陷於遮罩 58 的頂部表面之下，而第二隔離層 128 保持

在與遮罩 58 相同之水平。

【0045】 在圖 11 中，介電覆蓋層 132 形成於填充材料 130 和第二隔離層 128 之上。第二隔離層 128、填充材料 130 和介電覆蓋層 132 的組合可以稱為絕緣鰭片 134。可以沉積介電覆蓋層 132 以填充一剩餘區域，其位於第二隔離層 128、填充材料 130、第一擴散阻障層 122 和第一隔離層 126 的上方，以及遮罩 58 的側壁之間。介電覆蓋層 132 可以透過一可接受之沉積製程而形成，例如 ALD、CVD、PVD 等。介電覆蓋層 132 可以由一種或多種介電材料形成，對鰭片 66、奈米結構 55、第一隔離層 126、第二隔離層 128 和填充材料 130 的蝕刻具有高蝕刻選擇性。例如，介電覆蓋層 132 可以包含高 k 材料，例如氧化鉛、氧化銻、銻鋁氧化物、鉛鋁氧化物、鉛矽氧化物、氧化鋁等，或前述之組合。以這種方式，介電覆蓋層 132 可以用作硬遮罩，保護下方的第二隔離層 128 和填充材料 130 於後續製程中免受過度蝕刻。

【0046】 介電覆蓋層 132 可以形成以初步地覆蓋奈米結構 55 和遮罩 58 (參照圖 10)。隨後，應用移除製程以移除介電覆蓋層 132 多餘之材料。在一些實施例中，可以使用一平坦化製程例如 CMP、回蝕製程，或前述之組合等。平坦化製程暴露遮罩 58，使得第一擴散阻障層 122、第一隔離層 126、第二隔離層 128、介電覆蓋層 132，以及遮罩 58 的頂部表面是共面的 (在製程變化內)。在一些未具體繪示出之實施例中，遮罩 58 的部分或全部也可以透過平坦化製

程而移除。

【0047】 仍然參照圖 11，遮罩 58 的剩餘部分在平坦化製程之後可以使用蝕刻製程移除，例如，以暴露奈米結構 55 的頂部表面。蝕刻製程可以是一濕蝕刻，其選擇性地移除遮罩 58 而不很大程度地蝕刻絕緣鰭片 134。蝕刻製程可以是非等向性的。此外，還可以應用蝕刻製程(或是一單獨、選擇性之蝕刻製程)以將第一擴散阻障層 122 和第一隔離層 126 的高度減小至與堆疊之奈米結構 55 相似的水平(例如，在製程變化中相同)。在蝕刻製程之後，堆疊之奈米結構 55、第一擴散阻障層 122 和第一隔離層 126 的最頂表面可以露出並且可以低於絕緣鰭片 134 的最頂表面。

【0048】 因此，絕緣鰭片 134 形成於第一隔離層 126 之間並與其接觸。如上所述，絕緣鰭片 134 包含第二隔離層 128、填充材料 130 和介電覆蓋層 132。第一隔離層 126 和第一擴散阻障層 122 將絕緣鰭片 134 與奈米結構 55 隔開，並且可以調整絕緣鰭片 134 的尺寸，藉由調整第一隔離層 126 的厚度。

【0049】 根據一些實施例，進行熱處理製程。熱處理製程可以是一退火在溫度範圍為 700°C 至 900°C 或高於 900°C 內，以及熱處理製程可以進行於 N_2 、 O_2 等、前述組合之環境，或合適之周圍環境。在一些實施例中，熱處理製程進行於形成第二隔離層 128 之前或者，可選擇地，在如上所述之進行移除第一隔離層 126 的部分之前(參見圖 8)。因此，熱處理製程可以對第一隔離層 126 而不是對第二隔

離層 128 進行。

【0050】 在熱處理製程期間，元素、摻雜物和雜質於第一和第二隔離層 126/128 和奈米結構 55 中可能傾向於向相鄰的特徵擴散。例如，銻可以從例如第一和/或第二隔離層 126/128 中的矽銻材料向奈米結構 55 擴散，此係由於銻在第一和/或第二隔離層 126/128 內的鍵合不如矽穩定。類似地，在奈米結構 55 (例如，第一奈米結構 52) 之端點處的銻，在結晶超晶格中的鍵合可能不如矽穩定，此係由於奈米結構的端點是部分非晶的。第一擴散阻障層 122 的氮化抑制 (例如，防止或減少) 銻從第一和/或第二隔離層 126/128 擴散至奈米結構 55 中。同樣地，第一擴散阻障層 122 抑制銻從奈米結構 55 擴散至第一和/或第二隔離層 126/128 中。

【0051】 第一擴散阻障層 122 的富氮部分可以提供更堅固的擴散阻障，相較於第一擴散阻障層 122 的主體部分。因此，銻 (或其他元素、摻雜物和雜質) 可以從第一和/或第二隔離層 126/128 擴散至第一擴散阻障層 122 的主體部分中，而第一擴散阻障層 122 的富氮部分防止或減少銻 (或其他元素、摻雜物和雜質) 從奈米結構 55 擴散至第一擴散阻障層 122 或更遠。例如，在熱處理製程之後，第一擴散阻障層 122 的主體部分可以具有銻濃度範圍從 15 at.% 至 30 at.%。由於如上所述第一擴散阻障層 122 抑制擴散，奈米結構 55 (例如，其將成為通道區) 保持足夠的電洞遷移率或電子遷移率，從而改善半導體裝置的性能。第一擴散

阻障層 122 透過隨後的製程步驟，包含可能包含熱處理的那些製程步驟，來繼續用作上述之阻障。

【0052】 圖 12A 至圖 28C 繪示出半導體裝置在製造中的各種額外步驟，係根據各種實施例。附圖繪示 n 型區 50N 或 p 型區 50P 中的特徵，除非另有描述或標記。

【0053】 在圖 12A 至圖 12C 中，虛置閘極結構(例如，包含虛置閘極 76 和虛置遮罩 78)形成於奈米結構 55 和絕緣鱗片 134 上方。可以形成虛置閘極 76 和虛置遮罩 78，藉由沉積虛置閘極層和遮罩層於虛置閘極層上方。圖案化遮罩層和虛置閘極層以形成虛置閘極 76 和虛置遮罩 78，如圖 12A 至圖 12C 所繪示。虛置閘極層可被沉積，然後例如透過 CMP 來被平坦化。然後遮罩層可以沉積於平坦化的虛置閘極層上方。虛置閘極層可以是導電或非導電材料以及可以選自一群組包含非晶矽、多晶矽(polysilicon)、多晶矽鍺(poly-SiGe)、金屬氮化物、金屬矽化物、金屬氧化物和金屬。可以沉積虛置閘極層，藉由物理氣相沉積(PVD)、CVD、濺射沉積或用於沉積選定材料之其他技術。虛置閘極層可以由其他材料所製成，其對絕緣鱗片 134 的蝕刻具有高蝕刻選擇性。遮罩層可以包含例如氮化矽、氮氧化矽等。在這個示例中，單個虛置閘極層以及單個遮罩層跨越 n 型區 50N 和 p 型區 50P 而形成。

【0054】 可以圖案化遮罩層，使用可接受的微影和蝕刻技術以形成虛置遮罩 78。然後虛置遮罩 78 的圖案可以轉移至虛置閘極層以形成虛置閘極 76。如圖 12C 所繪示，在移

除奈米結構 55 上方之第一隔離層 126 和第一擴散阻障層 122 的暴露部分之前，可以停止圖案化。在一些實施例中（未具體地說明），圖案進一步轉移至第一隔離層 126 和第一擴散阻障層 122。虛置閘極 76 覆蓋奈米結構 55 和鰭片 66 的相應通道區。虛置遮罩 78 的圖案可用於將虛置閘極 76 中的每一個與相鄰的虛置閘極 76 物理分離。虛置閘極 76 還可以具有一縱向，實質上垂直於各個鰭片 66 的縱向。如上所述，虛置閘極 76 和虛置遮罩 78 整體可以稱為“虛置閘極結構”。

【0055】 在下面更詳細討論的後續製程步驟中，這些虛置閘極結構可以用功能性閘極疊層替代。具體地，第一隔離層 126（和第一擴散阻障層 122）可以用作臨時間隔物，於製程期間以描繪絕緣鰭片 134 的邊界。例如，第一隔離層 126 和一些奈米結構 55（例如，第一奈米結構 52）可以隨後移除並且用閘極結構替代，其包圍環繞剩餘的其他奈米結構 55（例如，第二奈米結構 54）。在一些實施例中，第一隔離層 126 由一材料而形成，其對剩餘的奈米結構 55（例如，第二奈米結構 54）的材料之蝕刻具有高蝕刻選擇性。例如，第一隔離層 126 可以由與第一奈米結構 52 相同的半導體材料形成，使得第一隔離層 126 和第一奈米結構 52 可以在單個製程步驟中移除。或者，第一隔離層 126 可以由與第一奈米結構 52 不同的材料而形成。

【0056】 在一些實施例（未具體說明）中，省略將氧化層 120 轉化為第一擴散阻障層 122 之第一氮化製程，以及第一隔

離層 126 和第二隔離層 128 形成於氧化層 120 上方。在一些實施例中，絕緣鱗片 134 不是如上所述而形成。例如，在 n 型區 50N 和 / 或 p 型區 50P 的一些或全部部分中，形成第一擴散阻障層 122、第一隔離層 126 和第二隔離層 128，並且省略填充材料 130 和介電覆蓋層 132 的形成。在 n 型區 50N 和 / 或 p 型區 50P 的一些或全部部分中，可以根本不形成第一擴散阻障層 122、第二隔離層 128 和絕緣鱗片 134。

【0057】 在圖 13A 至圖 13C 中，一個或多個間隔層可以形成於虛置閘極結構上方並且圖案化以形成相鄰於虛置閘極結構的閘極間隔物 81。閘極間隔物 81 有利於自對準源極 / 汲極區的形成。在一些實施例中，間隔層可以包含第一間隔層和第二間隔層(未個別地繪示)，以及間隔層可以形成於 STI 區 68 的頂部表面上；鱗片 66、奈米結構 55 和虛置遮罩 78 的頂部表面和側壁；以及虛置閘極 76 的側壁。例如，第一間隔層可以由氧化矽、氮化矽、氮氧化矽、碳氮氧化矽等形成，使用技術例如熱氧化或透過 CVD、ALD 等沉積，以及第二間隔層可以由一材料而形成，其具有與第一間隔層的材料不同的蝕刻速率，可以由氧化矽、氮化矽、氮氧化矽、碳氮氧化矽等形成，並且可以透過 CVD、ALD 等來沉積。

【0058】 在形成第一間隔層之後，並且在形成第二間隔層之前，可以進行輕摻雜源極 / 汲極 (lightly-doped source/drain; LDD) 區(未個別地繪示)的佈植。在具有

不同裝置類型的實施例中，類似於上文在圖 4 中所討論之佈植物，一遮罩，例如光阻，可以形成於 n 型區 50N 上方，而露出 p 型區 50P，並且適當型態(例如，p 型)的雜質可以佈植至曝露的鰭片 66 和 p 型區 50P 的奈米結構 55 中。而後移除遮罩。在 p 型區 50P 中形成 LDD 區的之前或之後，一遮罩，例如光阻，可以形成於 p 型區 50P 上方，而露出 n 型區，並且適當型態(例如，n 型)的雜質可以佈植至曝露的鰭片 66 和 n 型區 50N 的奈米結構 55 中。然後可以移除光罩。n 型雜質可以是先前討論的任何 n 型雜質，並且 p 型雜質也可以是先前討論的任何 p 型雜質。LDD 區可具有雜質濃度範圍為大約 1×10^{15} 至大約 1×10^{19} 個原子個數/立方公分。可以進行退火製程以修復佈植所造成的缺陷，並且活化所佈植的雜質。

【0059】 依然參照圖 13A 至圖 13C，蝕刻間隔層以形成閘極間隔物 81。在一些實施例中，第一隔離層 126 和第一擴散阻障層 122 的暴露部分(例如，未被虛置閘極 76、虛置遮罩 78 或閘極間隔物 81 所覆蓋)可以保持實質地未蝕刻，在閘極間隔物 81 形成的期間。在一些實施例(未具體地繪示)中，可以蝕刻第一隔離層 126 和第一擴散阻障層 122 的暴露部分並且從鰭片 66 和奈米結構 55 中移除。如將在下文更詳細討論的，閘極間隔物 81 用於自對準隨後形成之源汲區，以及在後續製程期間保護鰭片 66 和/或奈米結構 55 的側壁。間隔層(以及第一隔離層 126 和第一擴散阻障層 122)可以利用一合適的蝕刻製程來蝕刻，例如等向

性蝕刻製程(例如,濕蝕刻製程)、非等向性蝕刻製程(例如,乾蝕刻製程)等。在一些實施例中,第二間隔層的材料具有不同於第一間隔層的材料之蝕刻速率,使得圖案化第二間隔層時,第一間隔層可以作為蝕刻停止層,以及使得圖案化第一間隔層時,第二間隔層可以作為遮罩。例如,可以使用非等向性蝕刻製程來蝕刻第二間隔層,其中第一間隔層作為蝕刻停止層,之後,圖案化的第二間隔物作為遮罩,同時蝕刻第一間隔層之暴露部分,從而形成閘極間隔物 81。如圖所示,閘極間隔物 81 設置在虛置遮罩 78 和虛置閘極 76 的側壁上。

【0060】 值得注意的是,上述揭露大致地描述一形成間隔物和 LDD 區的製程。可以使用其他製程和順序。例如,可以使用更少或額外的間隔物,可以使用不同順序的步驟(例如,可以在沉積第二間隔層 82 之前,圖案化閘極間隔物 81),可以形成和移除額外的間隔物,和/或類似之方法。此外,n 型和 p 型裝置可以使用不同的結構和步驟來形成。

【0061】 在圖 14A 至圖 14C 中,根據一些實施例,形成第一凹槽 86。如果存在第一擴散阻障層 122 和第一隔離層 126 的部分,第一擴散阻障層 122 和第一隔離層 126 的部分將在第一凹槽 86 的形成中蝕刻,從而暴露 STI 區 68。絕緣鱗片 134 可以構成第一凹槽 86 的側壁,例如,在圖 14C 所示的剖面中,並且奈米結構 55 和基材 50 可以構成第一凹槽 86 的側壁,例如,在圖 14B 所示的剖面中。隨後將在第一凹槽 86 中形成磊晶源極/汲極區。第一凹槽 86

可以延伸穿過奈米結構 55 (例如, 第一奈米結構 52 和第二奈米結構 54) 並且至鰭片 66 和 / 或基材 50 中。如圖 14C 所示, STI 區 68 的頂部表面可以與第一凹槽 86 的底部表面齊平。在各種實施例 (未具體地繪示) 中, 可以蝕刻鰭片 66, 使得第一凹槽 86 的底部表面設置於 STI 區 68 的頂部表面下方、STI 區 68 的頂部表面上方等。使用一種或多種蝕刻製程, 例如 RIE、NBE 等, 可以透過蝕刻鰭片 66、奈米結構 55 (以及第一擴散阻障層 122 和第一隔離層 126) 和基材 50, 來形成第一凹槽 86。閘極間隔物 81 和虛置遮罩 78 用作部分的鰭片 66、奈米結構 55 和基材 50 的遮罩, 在用於形成第一凹槽 86 的蝕刻製程期間。單個蝕刻製程或多個蝕刻製程可以用於蝕刻奈米結構 55 中的每一層和 / 或鰭片 66。在第一凹槽 86 達到期望深度之後, 可以使用定時蝕刻製程來停止第一凹槽 86 的蝕刻。

【0062】 在圖 15A 至圖 15C 中, 奈米結構 55 中層的部分側壁由第一凹槽 86 暴露之第一半導體材料 (例如, 第一奈米結構 52) 所形成, 並蝕刻此奈米結構 55 中層的部分側壁以形成側壁凹槽 88 於 n 型區 50N 中, 以及奈米結構 55 中層的部分側壁由第一凹槽 86 暴露之第二半導體材料 (例如, 第二奈米結構 54) 所形成, 並蝕刻此奈米結構 55 中層的部分側壁以形成側壁凹槽 88 於 p 型區 50P 中。雖然側壁凹槽 88 中的第一奈米結構 52 和第二奈米結構 54 的側壁在圖 15B 中繪示為直的, 但是側壁可能是凹狀或凸狀。蝕刻側壁可以使用等向性蝕刻製程來蝕刻, 例如濕蝕刻等。

p 型區 50P 可以使用遮罩(未示出)來保護，當對第一半導體材料具有選擇性之蝕刻物用於蝕刻第一奈米結構 52 時，使得第二奈米結構 54 和基材 50 相較於 n 型區 50N 中的第一奈米結構 52，保持相對未蝕刻。同樣地，n 型區 50N 可以使用遮罩(未示出)來保護，當對第二半導體材料具有選擇性之蝕刻物用於蝕刻第二奈米結構 54 時，使得第一奈米結構 52 和基材 50 相較於 P 型區 50P 中的第二奈米結構 54，保持相對未蝕刻。在其中一實施例中，第一奈米結構 52 包含，例如矽鍺(SiGe)，以及第二奈米結構 54 包含，例如矽(Si)或碳化矽(SiC)，一使用四甲基氫氧化銨(tetramethylammonium hydroxide; TMAH)、氫氧化銨(ammonium hydroxide; NH₄OH)等的乾蝕刻製程，可用於蝕刻 n 型區 50N 中第一奈米結構 52 的側壁，以及一使用氟化氫、其他氟類蝕刻物等的濕或乾蝕刻製程，可用於蝕刻 p 型區 50P 中第二奈米結構 54 的側壁。

【0063】 如圖所示，根據一些實施例，一個或兩個蝕刻製程可以形成一氧化層 220，例如化學氧化物，於結構上方。氧化層 220 沿著奈米結構 55、基材 50 和 STI 區 68 而形成，包含在第一凹槽 86 和側壁凹槽 88 內。在一些實施例中，氧化層 220 還可以形成於虛置閘極結構(例如，虛置遮罩 78 和/或虛置閘極 76)和/或閘極間隔物 81 的暴露表面上方。例如，氧化層 220 可以是氧化矽等。雖然繪示為連續的，但是氧化層 220 可以沿著奈米結構 55 以離散部分形成。在一些實施例中，可以形成氧化層 220 透過 CVD、

ALD 或合適之方法，在蝕刻形成側壁凹槽 88 之後。

【0064】 在圖 16A 至圖 16C 中，在一些實施例中，進行第二氮化製程以將氧化層 220 (例如，氧化矽) 轉化為第二擴散阻障層 222 (例如，第二含氮層)，類似上面所描述之結合第一氮化製程和第一擴散阻障層 122。因此，第二擴散阻障層 222 可以是氮化物或氮氧化物，例如氮氧化矽。例如，第二氮化製程可以是熱氮化，進行於溫度範圍從 700°C 至 1200°C 內，持續範圍從 0.2 ms 至 300 s。此外，熱氮化可以在含氮環境中進行，例如 NH_3 、 NO 、 N_2O 、 NO_2 等。在一些實施例中，第二氮化製程可以是在小於或等於 700°C 的溫度下進行的等離子氮化 (plasma nitridation) 製程，例如範圍從室溫 (例如， 20°C 至 25°C) 至 700°C 。此外，等離子氮化製程可以進行於環境中或使用前驅物，例如 NH_3 、 NO 、 N_2O 、 NO_2 等，載氣例如氫氣或 N_2 。

【0065】 雖然沒有具體地說明，第二擴散阻障層 222 可以包含主體部分和富氮部分，其中富氮部分靠近並沿著奈米結構 55。富氮部分之形成是透過來自第二擴散阻障層 222 的氮，被吸引至靠近並沿著第二擴散阻障層 222 的奈米結構中，和 / 或與其中的矽和 / 或鍍原子形成鍵 (例如，化學鍵)。因此，第二擴散阻障層 222 可以具有一氮濃度梯度貫穿其厚度，使得與奈米結構 55 相鄰之富氮部分具有比遠離奈米結構 55 之主體部分更高的氮濃度。在一些實施例中，第二擴散阻障層 222 的一部分 (例如，富氮部分的一部分) 可以

包含矽和/或鍺原子，其與富氮部分中的氮原子鍵合。

【0066】 根據一些實施例(未具體說明)，氧化層 220(例如，圖 15A 至圖 15C)以及隨後形成之第二擴散阻障層 222(例如，圖 16A 至圖 16C)可以僅在 n 型區 50N 和 p 型區 50P 之一中的奈米結構 55 上方形成。例如，可以遮罩 p 型區 50P 同時橫向蝕刻 n 型區 50N 中的奈米結構 55(例如，第一奈米結構 52)。因此，氧化層 220 可以形成於 n 型區 50N 中的奈米結構 55 上方，同時遮罩 p 型區 50P。此外，氧化層 220 可以不形成於 p 型區 50P 中的奈米結構 55 上方，例如當遮罩 n 型區 50N 時。相反地，氧化層 220 可以形成於 p 型區 50P 中的奈米結構 55 上方，同時遮罩 n 型區 50N。因此，氧化層 220 可以不形成在 n 型區 50N 中的奈米結構 55 上方。

【0067】 在圖 17A 至圖 17D 中，內間隔物 90 形成於側壁凹槽 88 中，在奈米結構 55 和第二擴散阻障層 222 上方。內間隔物 90 用作隔離特徵於隨後形成的源極/汲極區和閘極結構之間。正如以下將更詳細地討論的，源極/汲極區將形成於第一凹槽 86 中，而 n 型 50N 中的第一奈米結構 52 和 p 型區 50P 中的第二奈米結構 54 將被相應的閘極結構所替代。

【0068】 可以形成內間隔物 90 透過沉積一內間隔層(未個別地繪示)於結構上方，使用一順應沉積製程，例如 CVD、ALD 等。內間隔層可以包含例如氮化矽或氮氧化矽的材料，雖然可以使用任何合適的材料，例如低介電常數(low-k)

的材料具有一小於約 3.5 的 k 值。然後內間隔層可以非等向性地蝕刻以形成第一內間隔物 90。此外，非等向性地蝕刻可以移除部分的第二擴散阻障層 222。雖然內間隔物 90 的外側壁繪示為與 n 型區 50N 中的第二奈米結構 54 的側壁齊平並且與 p 型區 50P 中的第一奈米結構 52 的側壁齊平，但內間隔物 90 的外側壁可以延伸超過第二奈米結構 54 和 / 或第一奈米結構 52 的側壁或從第二奈米結構 54 和 / 或第一奈米結構 52 的側壁凹陷，分別地。

【0069】 此外，雖然內間隔物 90 的外側壁在圖 17B 中繪示為是直的，但是內間隔物 90 的外側壁可以是凹入的或凸出的。作為示例，圖 17D 繪示出一個實施例，其中第一奈米結構 52 的側壁是凹入的，第二擴散阻障層 222 的外側壁是凹入的，內間隔物 90 的外側壁是凹入的，並且內間隔物 90 從 n 型區 50N 中的第二奈米結構 54 的側壁中凹陷。還繪示出第二奈米結構 54 的側壁是凹入的、第二擴散阻障層 222 的外側壁是凹入的、內間隔物 90 的外側壁是凹入之實施例，並且內間隔物 90 從 p 型區 50P 中的第一奈米結構 52 的側壁中凹陷。可以蝕刻內間隔層透過一非等向性蝕刻製程，例如 RIE、NBE 等。內間隔物 90 可用於防止隨後形成的源極 / 汲極區 (例如，磊晶源極 / 汲極區 92，如下面關於圖 18A 至圖 18D 中所討論) 受到後續蝕刻製程的損壞，例如用於形成閘極結構的蝕刻製程。

【0070】 在圖 18A 至圖 18D 中，磊晶源極 / 汲極區 92 形成於第一凹槽 86 中。在一些實施例中，磊晶源極 / 汲極區

92 可以施加應力於 n 型區 50N 中的第二奈米結構 54 以及 p 型區 50P 中的第一奈米結構 52，從而提高性能。如圖所示，磊晶源極/汲極區 92 形成於第一凹槽 86 中，使得每個虛置閘極 76 設置在相應的相鄰磊晶源極/汲極區 92 對之間。在一些實施例中，閘極間隔物 81 用於將磊晶源極/汲極區 92 與虛置閘極 76 分開，以及內間隔物 90 以及第二擴散阻障層 222 用於將磊晶源極/汲極區 92 與奈米結構 55 隔開適當的橫向距離，使得磊晶源極/汲極區 92 不會與隨後形成之所得奈米裝置中的閘極短路。

【0071】 n 型區 50N (例如 NMOS 區) 中的磊晶源極/汲極區 92 可以透過遮罩 p 型區 50P (例如 PMOS 區) 來形成。然後，磊晶源極/汲極區 92 在 n 型區 50N 中的第一凹槽 86 內磊晶生長。磊晶源極/汲極區 92 可以包含適用於 n 型奈米裝置之任何可接受材料。例如，如果第二奈米結構 54 為矽，則磊晶源極/汲極區 92 可以包含在第二奈米結構 54 上施加拉伸應變 (例如，在其中形成拉伸應變) 的材料，例如矽、碳化矽、摻磷矽、摻磷碳化矽、摻磷矽鍺、磷化矽等。磊晶源極/汲極區 92 可以具有從奈米結構 55 各自的表面凸起之表面，並且可以具有刻面 (facet)。

【0072】 p 型區 50P (例如 PMOS 區) 中的磊晶源極/汲極區 92 可以透過遮罩 n 型區 50N (例如 NMOS 區) 來形成。然後，磊晶源極/汲極區 92 在 p 型區 50P 中的第一凹槽 86 內磊晶生長。磊晶源極/汲極區 92 可以包含適用於 p 型奈米裝置之任何可接受材料。例如，如果第一奈米結構 52

為矽鍺，則磊晶源極/汲極區 92 可以包含在第一奈米結構 52 上施加壓縮應力(例如，在其中形成壓縮應變)的材料，例如矽鍺、鍺、鍺錫等。磊晶源極/汲極區 92 可以具有從奈米結構 55 各自的表面凸起之表面，並且可以具有刻面。

【0073】 磊晶源極/汲極區 92、第一奈米結構 52、第二奈米結構 54 和/或基材 50 可以佈植摻雜物以形成源極/汲極區，類似於先前所討論之用於形成輕摻雜源極/汲極區的製程，隨後進行退火。源極/汲極區的雜質濃度可以在約 1×10^{19} 原子/cm³ 和約 1×10^{21} 原子/cm³ 之間。源極/汲極區的 n 型和/或 p 型雜質可以是先前討論之任何雜質。在一些實施例中，磊晶源極/汲極區 92 可以在生長期間原位摻雜。

【0074】 作為用於形成磊晶源極/汲極區 92 的磊晶製程的因此，磊晶源極/汲極區 92 的上部表面具有刻面，其橫向向外擴展超出鱗片 66 和奈米結構 55 的側壁。然而，絕緣鱗片 134 阻擋橫向磊晶生長。因此，在完成磊晶製程之後，相鄰的磊晶源極/汲極區 92 保持分離，如圖 18C 所繪示。磊晶源極/汲極區 92 接觸絕緣鱗片 134 的側壁。在所繪示之實施例中，生長磊晶源極/汲極區 92 使得磊晶源極/汲極區 92 的上表面設置於絕緣鱗片 134 的頂部表面下方。在各種實施例中，磊晶源極/汲極區 92 的上表面設置於絕緣鱗片 134 的頂部表面之上；磊晶源極/汲極區 92 的上表面具有設置於絕緣鱗片 134 之頂部表面上方和下方的部分；等之類。例如，絕緣鱗片 134 可以絕緣和物理分離相鄰電

晶體的磊晶源極/汲極區 92。

【0075】 磊晶源極/汲極區 92 可以包含一個或多個半導體材料層。例如，磊晶源極/汲極區 92 可以包含第一半導體材料層 92 A、第二半導體材料層 92 B 和第三半導體材料層 92 C。任何數量的半導體材料層可用於磊晶源極/汲極區 92。第一半導體材料層 92 A、第二半導體材料層 92 B 和第三半導體材料層 92 C 中的每一個可以由不同的半導體材料所形成，並且可以摻雜不同的摻雜物濃度。在一些實施例中，第一半導體材料層 92 A 可以具有一摻雜物濃度小於第二半導體材料層 92 B，並且大於第三半導體材料層 92 C。在磊晶源極/汲極區 92 包含三個半導體材料層的實施例中，第一半導體材料層 92 A 可以沉積在離散部分中，其相鄰於奈米結構 55 和基材 50，第二半導體材料層 92 B 可以沉積於第一半導體材料層 92 A 上方並且合併成一連續層，以及第三半導體材料層 92 C 可以沉積於第二半導體材料層 92 B 上方。

【0076】 圖 18 D 繪示出一個實施例，其中 n 型區 50 N 中的第一奈米結構 52 的側壁以及 p 型區 50 P 中的第二奈米結構 54 的側壁是凹入的，第二擴散阻障層 222 的外側壁、內間隔物 90 的外側壁是凹入的，以及內間隔物 90 分別從第二奈米結構 54 和第一奈米結構 52 的側壁中凹陷。如圖 18 D 所示，磊晶源極/汲極區 92 可以形成為與內間隔物 90 接觸並且可以延伸經過 n 型區 50 N 中第二奈米結構 54 的側壁以及 p 型區 50 P 中第一奈米結構 52 的側壁。

【0077】 如上所述，在磊晶生長之後，退火磊晶源極/汲極區 92，例如，在溫度大於或等於 900°C ，像是大於或等於 1000°C 下。在退火期間，元素、摻雜物和雜質於磊晶源極/汲極區 92 和奈米結構 55 中可能傾向於擴向相鄰的特徵。例如，銻(如果存在)可以從磊晶源極/汲極區 92 中向奈米結構 55 擴散，係由於銻在磊晶源極/汲極區 92 內的鍵合不如矽穩定。類似地，在奈米結構 55(例如，第一奈米結構 52)之端點處的銻，在結晶超晶格中的鍵合可能不如矽穩定，係由於端點是部分非晶的。第二擴散阻障層 222 抑制(例如，防止或減少)銻從磊晶源極/汲極區 92 擴散至奈米結構 55 中。同樣地，第二擴散阻障層 222 抑制，例如，銻從奈米結構 55 擴散至磊晶源極/汲極區 92 中。

【0078】 第二擴散阻障層 222 的富氮部分可以提供更堅固的擴散阻障，相較於第二擴散阻障層 222 的主體部分。因此，銻(或其他元素、摻雜物和雜質)可以更容易地從磊晶源極/汲極區 92 擴散至第二擴散阻障層 222 的主體部分中，而第二擴散阻障層 222 的富氮部分防止或減少銻(或其他元素、摻雜物和雜質)在奈米結構 55(例如，第一奈米結構 52)和磊晶源極/汲極區 92 之間的擴散。在一些實施例中，第二擴散阻障層 222 防止任何銻在奈米結構 55 和磊晶源極/汲極區 92 之間的擴散。例如，在退火之後，第二擴散阻障層 222 的主體部分可以具有銻濃度範圍從 15 at.% 到 30 at.%。由於如上所述第二擴散阻障層 222 抑制擴散，磊晶源極/汲極區 92 保留所需的成分，從而改善半導體裝

置的性能。第二擴散阻障層 222 繼續用作上述之阻障層，通過隨後的製程步驟，包含可能包含熱處理的那些。

【0079】 在圖 19 A 至圖 19 C 中，第一層間介電質 (ILD) 96 沉積於結構上方。第一 ILD 96 可以由一介電材料所形成，並且可以透過任何合適的方法來沉積，例如 CVD、電漿增強 CVD (plasma-enhanced CVD; PECVD) 或 FCVD。介電材料可以包含磷矽酸鹽玻璃 (phospho-silicate glass; PSG)、硼矽酸鹽玻璃 (boro-silicate glass; BSG)、摻硼磷矽酸鹽玻璃 (boron-doped phospho-silicate glass; BPSG)、未摻雜的矽酸鹽玻璃 (undoped silicate glass; USG) 等。其他絕緣材料可以透過使用任何可接受的製程而形成。在一些實施例中，一接觸蝕刻停止層 (contact etch stop layer; CESL) 94 設置在第一 ILD 96 和磊晶源極/汲極區 92、虛置遮罩 78、閘極間隔物 81，以及絕緣鰭片 134 之間。CESL 94 可以包含一介電質材料，例如氮化矽、氧化矽、氮氧化矽等，具有一蝕刻速率不同於上覆第一 ILD 96 的材料。

【0080】 在圖 20 A 至圖 20 C 中，可以進行一平坦化製程，例如 CMP，以使得第一 ILD 96 的頂部表面與虛置閘極 76 或虛置遮罩 78 的頂部表面齊平。平坦化製程還可以移除虛置閘極 76 上的虛置遮罩 78，以及沿著虛置遮罩 78 側壁之部分的閘極間隔物 81。在平坦化製程之後，虛置閘極 76、閘極間隔物 81 和第一 ILD 96 的頂部表面在製程變化範圍內是水平的。因此，虛置閘極 76 的頂部表面透過

第一 I L D 96 以露出。在一些實施例中，可以保留虛置遮罩 78，在這種情況下，平坦化製程使第一 I L D 96 的頂部表面與虛置遮罩 78 的頂部表面和閘極間隔物 81 齊平。

【0081】 在圖 21A 至圖 21C 中，虛置閘極 76、虛置遮罩 78 (如果存在)、第一擴散阻障層 122 以及第一隔離層 126 在一個或多個蝕刻步驟中移除，以形成第二凹槽 98。在一些實施例中，虛置閘極 76、第一擴散阻障層 122 以及第一隔離層 126 透過一個或多個的非等向性乾蝕刻製程來移除。例如，蝕刻製程可以包含使用反應氣體的乾蝕刻製程，此反應氣體選擇性地蝕刻虛置閘極 76，以一比第一 I L D 96、閘極間隔物 81 或絕緣鱗片 134 更快的速率。每個第二凹槽 98 曝露和 / 或覆蓋部分的奈米結構 55，其作為通道區於隨後完成的奈米裝置中。部分的奈米結構 55 作為通道區，設置於相鄰的磊晶源極 / 汲極區 92 對之間。在移除製程期間，當蝕刻虛置閘極 76 時，第一隔離層 126 以及第一擴散阻障層 122 可用作蝕刻停止層。因此，在虛置閘極 76 的移除製程之後，第一隔離層 126 和第一擴散阻障層 122 可以使用一個或多個蝕刻製程來移除。

【0082】 在圖 22A 至圖 22C 中，移除 n 型區 50N 中的第一奈米結構 52 和 p 型區 50P 中的第二奈米結構 54，在剩餘的相鄰之奈米結構 55 之間延伸第二凹槽 98。可以移除 n 型區 50N 中的第一奈米結構 52，透過在 p 型區 50P 上方形成遮罩 (未示出)，以及進行一等向性蝕刻製程例如濕蝕刻等，使用對第一奈米結構 52 的材料具有選擇性的蝕刻

物，而與第一奈米結構 52 相比，第二奈米結構 54、基材 50、STI 區 68 以及絕緣鱗片 134 保持相對未蝕刻。在第一奈米結構 52 包含例如 SiGe，以及第二奈米結構 54 包含例如 Si 或 SiC 的實施例中，四甲基氫氧化銨 (TMAH)、氫氧化銨 (NH₄OH) 等，可用於移除 n 型區 50N 中的第一奈米結構 52。此外，可以移除部分的第二擴散阻障層 222，在透過第一奈米結構 52 的移除製程而暴露之後 (參見圖 23B)。

【0083】 可以移除 p 型區 50P 中的第二奈米結構 54，透過在 n 型區 50N 上方形成遮罩 (未示出)，以及進行一等向性蝕刻製程例如濕蝕刻等，使用對第二奈米結構 54 的材料具有選擇性的蝕刻物，而與第二奈米結構 54 相比，第一奈米結構 52、基材 50、STI 區 68 以及絕緣鱗片 134 保持相對未蝕刻。在第二奈米結構 54 包含例如 Si 或 SiC，以及第一奈米結構 52 包含例如 SiGe 之實施例中，氟化氫、另一種基於氟的蝕刻物等可用於移除 p 型區 50P 中的第二奈米結構 54。此外，可以移除部分的第二擴散阻障層 222，在透過第二奈米結構 54 的移除製程而暴露之後 (參見圖 23B)。

【0084】 在一些實施例中，n 型區 50N 和 p 型區 50P 中的通道區可以同時形成，例如透過移除 n 型區 50N 和 p 型區 50P 兩者中的第一奈米結構 52 或透過移除 n 型區 50N 和 p 型區 50P 兩者中的第二奈米結構 54。在這樣的實施例中，n 型奈米結構裝置和 p 型奈米結構裝置的通道區可以具有

相同的材料成分，例如矽、矽鍺等。圖 28A 至圖 28C 繪示出由這樣的實施例所產生之結構，其中 p 型區 50P 和 n 型區 50N 兩者中的通道區由第二奈米結構 54 提供並且包含例如矽。

【0085】 在圖 23A 至圖 23C 中，可選擇地，n 型區 50N 和 / 或 p 型區 50P 中的奈米結構 55 可以過度蝕刻以窄化部分的通道區，同時增加相鄰通道區之間的第二凹槽 98 的間距。過度蝕刻製程可以是上述一個或多個蝕刻製程的延續，或者是額外的蝕刻製程。如圖所示，過度蝕刻可以將通道區(例如，剩餘的奈米結構 55)成形為槓鈴或啞鈴形狀。此外，暴露的鱗片 66(例如，基材 50)，例如，在 n 型區 50N 中同樣地可以過度蝕刻。在一些實施例中，過度蝕刻可以移除部分的第二擴散阻障層 222 直到到達內間隔物 90。如圖所示，第二擴散阻障層 222 之剩餘部分可以垂直地介於內間隔物 90 和剩餘的奈米結構 55 之間。在一些實施例(未具體地繪示)中，第二擴散阻障層 222 的其他部分可以保持覆蓋內間隔物 90。

【0086】 在圖 24A 至圖 24C 中，形成閘極介電層 100 和閘極電極 102 以用於替代閘極。閘極介電層 100 順應地沉積於第二凹槽 98 中。在 n 型區 50N 中，閘極介電層 100 可以形成於基材 50 的頂部表面和側壁上，以及第二奈米結構 54 的頂部表面、側壁和底部表面。在 p 型區 50P 中，閘極介電層 100 可以形成於基材 50 的頂部表面和側壁上，以及第一奈米結構 52 的頂部表面、側壁和底部表面。閘極

介電層 100 也可以沉積在第一 ILD 96、CESL 94、閘極間隔物 81 以及 STI 區 68 的頂部表面，以及內間隔物 90 和 / 或第二擴散阻障層 222 的側壁上。

【0087】 根據一些實施例，閘極介電層 100 包含一個或多個介電層，例如氧化物、金屬氧化物等，或前述之組合。例如，在一些實施例中，閘極介電質可以包含氧化矽層和在氧化矽層上方的金屬氧化層。在一些實施例中，閘極介電層 100 包含一高 k 介電材料，並且在這些實施例中，閘極介電層 100 可以具有大於約 7.0 的 k 值，並且可以包含金屬氧化物或鉛、鋁、銦、鐳、錳、鋇、鈦、鉛及上述組合的矽酸鹽。在 n 型區 50N 和 p 型區 50P 中，閘極介電層 100 的結構可以相同或不同。閘極介電層 100 之形成方法可以包含分子束沉積 (molecular-beam deposition; MBD)、ALD、PECVD 等。

【0088】 閘極電極 102 沉積在閘極介電層 100 上方，分別地，並填充第二凹槽 98 的剩餘部分。閘極電極 102 可以包含一含金屬材料如氮化鈦、氧化鈦、氮化鈮、碳化鈮、鈷、鈦、鋁、鎢、上述之組合或上述之多層。例如，雖然僅繪示單一層閘極電極 102，但是閘極電極 102 可以包含任何數量的襯層、任何數量的功函數調諧層 (work function tuning layers) 和填充材料。構成閘極電極 102 的任何組合層可以沉積在 n 型區 50N 中，在相鄰的第二奈米結構 54 之間，以及第二奈米結構 54A 和基材 50 之間，並且可以沉積在 p 型區 50P 中，在相鄰的第一奈米

結構 52 之間。

【0089】 在 n 型區 50N 和 p 型區 50P 中形成閘極介電層 100 可以同時發生，使得閘極介電層 100 在每個區域中皆由相同的材料形成，以及閘極電極 102 的形成可以同時發生，使得每個閘極電極 102 在每個區域中由相同的材料形成，在一些實施例中，閘極介電層 100 在每個區域中可以透過不同的製程而形成，使得閘極介電層 100 可以是不同的材料和/或具有不同的層數，和/或閘極電極 102 在每個區域中的可以透過不同的製程而形成，使得閘極電極 102 可以是不同的材料和/或具有不同的層數。當使用不同的製程時，各種的遮罩步驟可以用以遮蔽和暴露適當的區域。

【0090】 在填充第二凹槽 98 之後，可以進行平坦化製程，例如 CMP，以移除閘極介電層 100 的多餘部分和閘極電極 102 的材料，這些多餘部分在第一 ILD 96 的頂部表面之上。閘極電極 102 和閘極介電層 100 的材料之剩餘部分，因此而形成所得的奈米裝置的替代閘極結構。閘極電極 102 和閘極介電層 100 整體可以稱為“閘極結構”。

【0091】 在圖 25A 至圖 25C 中，閘極結構(包含閘極介電層 100 和對應的覆蓋閘極電極 102)是凹陷的，從而直接形成一凹槽於閘極結構上方和閘極間隔物 81 的相對部分之間。閘極遮罩 104 包含一層或多層介電材料，例如氮化矽、氮氧化矽等，填充於凹槽中，隨後藉由平坦化製程以移除在第一 ILD 96 上方延伸的介電材料之多餘部分。後續形成的閘極接觸(例如下面關於圖 27A 至圖 28C 所討論

的接觸 114) 穿過閘極遮罩 104，以接觸凹陷的閘極電極 102 的頂部表面。

【0092】 如進一步所示，第二 ILD 106 沉積於第一 ILD 96 上方以及閘極遮罩 104 上方。在一些實施例中，第二 ILD 106 是透過 FCVD 所形成的可流動薄膜。在一些實施例中，第二 ILD 106 由一介電材料例如 PSG、BSG、BPSG、USG 等所形成，並且可以透過任何合適方法，例如 CVD、PECVD 等來沉積。

【0093】 在圖 26A 至圖 26C 中，蝕刻第二 ILD 106、第一 ILD 96、CESL 94 和閘極遮罩 104 形成第三凹槽 108，以露出磊晶源極/汲極區 92 和/或閘極結構的表面。第三凹槽 108 可以透過利用一非等向性蝕刻製程，例如 RIE、NBE 等蝕刻而形成。在一些實施例中，第三凹槽 108 可以利用第一蝕刻製程蝕刻穿過第二 ILD 106 和第一 ILD 96；可以使用第二蝕刻製程蝕刻穿過閘極遮罩 104；然後可以使用第三蝕刻製程蝕刻穿過 CESL 94。一遮罩，例如光阻，可以形成並圖案化於第二 ILD 106 之上，以從第一蝕刻製程和第二蝕刻製程中遮罩部分的第二 ILD 106。在一些實施例中，蝕刻製程可能會過度蝕刻，因此，第三凹槽 108 延伸至磊晶源極/汲極區 92 和/或閘極結構中，並且第三凹槽 108 的底部可以齊平於(例如，在相同水平，或與基材具有相同距離)或低於(例如，更靠近基材)磊晶源極/汲極區 92 和/或閘極結構的頂部表面。雖然圖 26B 將第三凹槽 108 繪示為在相同剖面中曝露磊晶源極/汲極區 92 和

閘極結構，在各種實施例中，磊晶源極/汲極區 92 和閘極結構可以藉由第三凹槽 108 而曝露於不同剖面中，從而降低後續形成之接觸短路的風險。

【0094】 在形成第三凹槽 108 之後，矽化物區 110 形成於磊晶源極/汲極區 92 之上。在一些實施例中，矽化物區 110 是透過首先沉積一金屬(未特別地說明)而形成，此金屬能夠與下方磊晶源極/汲極區 92 的半導體材料(例如，矽、矽鍺、鍺)產生反應而形成矽化物或鍺化物區，如鎳、鈷、鈦、鉭、鉑、鎢、其他貴金屬、其他難熔金屬、稀土金屬或前述之合金，於磊晶源極/汲極區 92 的曝露部分上方，然後進行熱退火製程以形成矽化物區 110。然後移除沉積金屬中未反應的部分，例如透過一蝕刻製程。雖然矽化物區 110 被稱為矽化物區，但矽化物區 110 也可以是鍺化物區或鍺化矽區(例如，包含矽化物和鍺化物的區域)。在一個實施例中，矽化物區 110 包含鈦矽(TiSi)，並且具有厚度範圍大約在 2 nm 和大約 10 nm 之間。

【0095】 在圖 27A 至圖 27E 中，接觸 112 和 114(亦可稱為接觸插塞)於第三凹槽 108 中形成。接觸 112 和 114 可以各自包含一層或多層，例如阻障層、擴散層和填充材料。例如，在一些實施例中，接觸 112 和 114 每個都包含阻障層和導電材料，並且電耦合至下方的導電特徵(例如，所繪示之實施例中的閘極電極 102 和/或矽化物區 110)。接觸 114 電耦合到閘極電極 102，並且可以稱為閘極接觸，以及接觸 112 電耦合到矽化物區 110，並且可以稱為源極/

汲極接觸。阻障層可以包含鈦、氮化鈦、鉭、氮化鉭等。導電材料可以是銅、銅合金、銀、金、鎢、鈷、鋁、鎳等。可以進行平坦化製程，例如 CMP，以從第二 ILD 106 的表面移除多餘的材料。

【0096】 圖 27D 繪示出圖 27B 之區域 200 的放大視圖，以及圖 27E 是一圖表，描繪氮和矽的相對原子濃度，沿著圖 27B 和圖 27D 中所標記的路徑 X-X' (也參照圖 28B)。如關鍵所示，所描繪的氮濃度表示為十倍，為比較氮和矽濃度的好處。例如，此圖可以表示內間隔物 90 是氧化矽，第二奈米結構 54 是矽，並且第二擴散阻障層 222 是氮氧化矽或氮化矽之實施例。在一些實施例中，圖 27E 還可以表示沿著圖 27B 中所標記的路徑 Y-Y' 的氮和矽相對原子濃度的定性描述。如圖 27E 中進一步所繪示，氮濃度可以在 2 at.% 至 30 at.% 的範圍內取決於，例如在相鄰層的組成。

【0097】 圖 28A 至圖 28C 繪示出根據一些實施例的裝置之剖面圖。圖 28A 繪示圖 1 中所示的參考剖面 A-A'。圖 28B 繪示圖 1 中所示的參考剖面 B-B'。圖 28C 繪示圖 1 中所示的參考剖面 C-C'。此外，相同的參考標號表示透過相似製程而形成的相似元件，如圖 27A 至圖 28C 中的結構。然而，n 型區 50N 和 p 型區 50P 中的通道區包含相同的材料。例如，第二奈米結構 54 (例如，包含矽) 提供溝道區給 p 型區 50P 中的 p 型奈米結構裝置以及 n 型區 50N 中的 n 型奈米結構裝置。可以形成圖 28A 至圖 28C 的結

構，例如，透過同時從 p 型區 50P 和 n 型區 50N 兩者中移除第一奈米結構 52；沉積閘極介電層 100 和閘極電極 102P (例如，適用於 p 型奈米結構裝置的閘極電極) 於 p 型區 50P 中第二奈米結構 54 的周圍；以及沉積閘極介電層 100 和閘極電極 102N (例如，適用於 n 型奈米結構裝置的閘極電極) 於 n 型區 50N 中第二奈米結構 54 的周圍。在這樣的實施例中，與 p 型區 50P 相比，n 型區 50N 中的磊晶源極/汲極區 92 的材料可以不同，如上所述。

【0098】 實施例可以達成多個優點。例如，一個或多個擴散阻障層 122/222 在製造半導體裝置的期間形成，可以防止或抑制元素、摻雜物和雜質從附近的特徵擴散至奈米結構 55 中，以及元素、摻雜物和雜質從奈米結構 55 擴散至附近的特徵中。可以形成第一擴散阻障層 122 以保護奈米結構 55 和鱗片 66，於例如形成虛置閘極結構的期間內。特別地，抑制鍺向奈米結構的側壁處或沿著其側壁的區域擴散和積聚。此外，第二擴散阻障層 222 可以形成於奈米結構 55 的端點以及隨後形成的內間隔物 90 之間。特別地，抑制鍺向奈米結構 55 或隨後形成的磊晶源極/汲極區 92 之側壁的端點或沿著端點的區域擴散和積聚。所得之半導體裝置 (例如，包含一個或多個奈米結構裝置) 可以以提高的產量和改進的性能和可靠性來製造。

【0099】 上述的閘極全環 (GAA) 電晶體結構可以透過任何合適的製程來圖案化。例如，結構可以使用一個或多個微影製程來進行圖案化，包含雙重圖案化或多重圖案化製程。

通常，雙重圖案化或多重圖案化結合微影和自對準製程，從而允許創建具有以下特徵的圖案，例如可以獲得比使用單個、直接的微影製程具更小間距的圖案。例如，在一實施例中，在一基材上方形成一犧牲層，並使用微影製程進行圖案化。使用自對準製程時來沿著圖案化之犧牲層的旁邊形成間隔物。然後，移除犧牲層，且剩餘的間隔物可用於圖案化 G A A 結構。

【0100】 在一個實施例中，一種形成半導體裝置之方法包含：在半導體鰭片結構上方形成第一氧化層；進行第一氮化製程以將第一氧化層轉化為氮氧化層；沉積含矽層於氮氧化層之上；對含矽層進行第一退火，其中在進行第一退火後，氮氧化層在與半導體鰭片結構的界面處具有更高的氮原子濃度，相較於在氮氧化層的主體區中；以及形成虛置閘極結構於含矽層上方。在另一個實施例中，含矽層還包含鍺，並且其中在進行第一退火之後，氮氧化層包含鍺。在另一個實施例中，進行第一氮化製程包含進行一熱氮化，在 NH_3 、 NO 、 N_2O 和 NO_2 之至少一種環境中進行，其中該環境溫度範圍介於 700°C 至 1200°C 之間。在另一個實施例中，方法還包含：蝕刻半導體鰭片結構以形成第一凹槽，第一凹槽的側壁暴露半導體層以及半導體鰭片結構的犧牲層；蝕刻犧牲層以在第一凹槽的側壁中形成第二凹槽；以及進行第二次氮化處理，以形成含氮層於第一凹槽和第二凹槽中。在另一個實施例中，方法還包含：形成介電層於第一凹槽和第二凹槽中的含氮層上方；蝕刻含氮層和介電層，

其中在蝕刻完含氮層和介電層之後，介電層的剩餘部分形成內間隔物於第二凹槽中；以及磊晶生長源極/汲極區於第一凹槽中。在另一實施例中，源極/汲極區包含鍺，以及其中在磊晶生長源極/汲極區之後，含氮層包含鍺。在另一個實施例中，第二氮化處理包含進行等離子體氮化，在 20°C 至 700°C 的溫度下使用包含 N_2 、 NH_3 、 NO 、 N_2O 和 NO_2 中之至少一種的前驅物。

【0101】 在一個實施例中，一種形成半導體裝置的方法包含：形成鰭片結構於基材上方，鰭片結構包含鰭片和設置在鰭片上方的奈米結構，奈米結構包含設置在鰭片上方的犧牲層和位於犧牲層上方的半導體層；蝕刻出鰭片結構中的第一凹槽以露出奈米結構的側壁；形成含氮層於半導體層的側壁和犧牲層的側壁上；形成介電層於含氮層上方；蝕刻介電層及含氮層，以露出半導體層的側壁；以及形成磊晶區於第一凹槽中並且直接相鄰於半導體層。在另一個實施例中，方法還包含對磊晶區進行第一退火，其中在進行第一退火之後，介電層包含鍺。在另一個實施例中，方法還包含，在形成含氮層之前，蝕刻犧牲層以形成第二凹槽於奈米結構的側壁上，其中含氮層的一部份形成於第二凹槽中，以及其中介電層的一部份形成於第二凹槽中。在另一個實施例中，方法還包含：移除犧牲層以形成第三凹槽介於基材與半導體層之間，其中移除犧牲層包含蝕刻含氮層的一部份；以及形成閘極電極於第三凹槽中。在另一個實施例中，方法還包含，在蝕刻第一凹槽之前：形成額外含

氮層於鰭片結構上方；形成含鍺層於額外含氮層的上方；以及形成虛置閘極結構於鰭片結構上方。在另一個實施例中，方法還包含，在形成含鍺層之後並且在蝕刻鰭片中的第一凹槽之前，進行第二退火，其中在進行第二退火之後，額外含氮層包含鍺。在另一個實施例中，方法還包含：移除虛置閘極結構；從鰭片結構上移除額外的含氮層；以及形成替代閘極。

【0102】 在一個實施例中，一種半導體裝置包含：閘極介電質以及設置在第一奈米結構和第二奈米結構之間的導電材料；源極/汲極區物理地接觸第一奈米結構和第二奈米結構；第一含氮層設置相鄰於第一奈米結構；第二含氮層設置相鄰第二奈米結構；以及一內間隔物介於閘極介電質和源極/汲極區之間。在另一實施例中，內間隔物介於第一含氮層與第二含氮層之間。在另一實施例中，第一含氮層包含氮氧化矽，以及其中第二含氮層包含氮氧化矽。在另一個實施例中，在與第一奈米結構的界面處之第一含氮層的第一部分具有比遠離第一奈米結構之第一含氮層的第二部分更高的氮濃度。在另一個實施例中，第一含氮層的第二部分還包含鍺。在另一個實施例中，內間隔物包含鍺。

【0103】 前面概述幾個實施例的特徵，以便本領域的技術人員可以更好地理解本揭露的各個方面。本領域技術人員應當理解，他們可以輕易地使用本揭露作為基礎，用於設計或修改其他過程和結構，以進行相同目的和/或實現本文所介紹之實施例的相同優點。本領域技術人員也應該瞭解，

這樣的等效結構並不脫離本揭露的精神和範圍，並且他們可以對本文進行各種改動、替換和變更，在不脫離本揭露的精神和範圍的情況下。

【符號說明】

【0104】

5 5	:	奈米結構
6 6	:	鰭片
5 0	:	基材
6 8	:	淺溝槽隔離 (S T I) 區
1 0 0	:	閘極介電層
1 0 2	:	閘極電極
1 3 4	:	絕緣鰭片
9 2	:	磊晶源極 / 汲極區
A - A '	:	剖面
B - B '	:	剖面
C - C '	:	剖面
5 0 N	:	n 型區
5 0 P	:	p 型區
6 4	:	多層堆疊
5 1 , 5 1 A , 5 1 B , 5 1 C	:	第一半導體層
5 3 , 5 3 A , 5 3 B , 5 3 C	:	第二半導體層
5 2 , 5 2 A , 5 2 B , 5 2 C	:	第一奈米結構
5 4 , 5 4 A , 5 4 B , 5 4 C	:	第二奈米結構

5 8	:	遮罩
1 2 2	:	第一擴散阻障層
1 2 0	:	氧化層
1 2 6	:	第一隔離層
1 2 8	:	第二隔離層
1 3 0	:	填充材料
1 3 2	:	介電覆蓋層
7 6	:	虛置閘極
7 8	:	虛置遮罩
8 1	:	閘極間隔物
8 2	:	第二間隔層
8 6	:	第一凹槽
8 8	:	側壁凹槽
2 2 0	:	氧化層
2 2 2	:	第二擴散阻障層
9 0	:	內間隔物
9 2 A	:	第一半導體材料層
9 2 B	:	第二半導體材料層
9 2 C	:	第三半導體材料層
9 6	:	第一層間介電質
9 4	:	接觸蝕刻停止層
9 8	:	第二凹槽
1 0 4	:	閘極遮罩
1 0 6	:	第二層間介電質

1 0 8 : 第三凹槽
1 1 0 : 矽化物區
1 1 2 : 接觸
1 1 4 : 接觸
1 0 2 N , 1 0 2 P : 閘極電極

【生物材料寄存】

無

【發明申請專利範圍】

【請求項 1】一種形成半導體裝置之方法，其方法包含：

形成一第一氧化層於一半導體鰭片結構上方；

進行一第一氮化製程，以將該第一氧化層轉化為一氮氧化層；

沉積一含矽層於該氮氧化層上方；

對該含矽層進行一第一退火製程，其中在進行該第一退火製程之後，相較於該氧化層位於該氮氧化層的一主體區中，該氧化層位於與該半導體鰭片結構之界面處具有一較高的氮原子濃度；以及

形成一虛置閘極結構於該含矽層上方。

【請求項 2】如請求項 1 所述之方法，其中進行該第一氮化製程還包含：

在 NH_3 、 NO 、 N_2O 和 NO_2 之至少一種環境中進行一熱氮化，其中環境溫度範圍介於 700°C 至 1200°C 之間。

【請求項 3】如請求項 1 所述之方法，還包含：

蝕刻該半導體鰭片結構以形成一第一凹槽，其中該第一凹槽之一側壁暴露一半導體層以及該半導體鰭片結構之一犧牲層；

蝕刻該犧牲層以在該第一凹槽的側壁中形成一第二凹槽；以及

進行一第二氮化製程以在該第一凹槽以及該第二凹槽中

形成一含氮層。

【請求項 4】如請求項 3 所述之方法，還包含：

形成一介電層於該含氮層上方，其中該含氮層位於該第一凹槽以及該第二凹槽中；

蝕刻該含氮層以及該介電層，其中在蝕刻該含氮層和該介電層之後，該介電層之剩餘部分在該第二凹槽中形成一內間隔物；以及

磊晶生長一源極/汲極區於該第一凹槽中。

【請求項 5】如請求項 3 所述之方法，其中該第二氮化製程包含：

進行一等離子體氮化製程在介於 20°C 至 700°C 之間的一溫度範圍內，並使用包含 N_2 、 NH_3 、 NO 、 N_2O 和 NO_2 中之至少一種的前驅物 (precursor)。

【請求項 6】一種形成一半導體裝置之方法，其方法包含：

形成一鱗片結構於一基材上方，其中該鱗片結構包含一鱗片以及複數個奈米結構設置於該鱗片上方，其中該些奈米結構包含設置於該鱗片上方之一犧牲層以及位於該犧牲層上方之一半導體層；

蝕刻出該鱗片結構中的一第一凹槽，以暴露該些奈米結構的一側壁；

形成一含氮層於該半導體層的一側壁以及該犧牲層的一

側壁上；

形成一介電層於該含氮層的上方；

蝕刻該介電層以及該含氮層，以暴露出該半導體層的該側壁；以及

形成一磊晶區於該第一凹槽中以及直接相鄰於該半導體層。

【請求項 7】如請求項 6 所述之方法，還包含：

移除該犧牲層以形成一第三凹槽，其中該第三凹槽介於該基材和該半導體層之間，其中移除該犧牲層包含蝕刻該含氮層之一部分；以及

形成一閘極電極於該第三凹槽中。

【請求項 8】如請求項 6 所述之方法，在蝕刻該第一凹槽之前還包含：

形成一額外含氮層於該鰭片結構上方；

形成一含鍺層於該額外含氮層的上方；以及

形成一虛置閘極結構於該鰭片結構上方。

【請求項 9】如請求項 8 所述之方法，還包含：

移除該虛置閘極結構；

從該鰭片結構中移除該額外含氮層；以及

形成一替代閘極。

【請求項 10】一種半導體裝置，包含：

一閘極介電質以及一導電材料，設置於一第一奈米結構以及一第二奈米結構之間；

一源極/汲極區，與該第一奈米結構以及該第二奈米結構物理地接觸；

一第一含氮層，設置鄰近於該第一奈米結構；

一第二含氮層，設置鄰近於該第二奈米結構；以及

一內間隔物，介於該閘極介電質以及該源極/汲極區之間，並接觸該源極/汲極區。

【發明圖式】

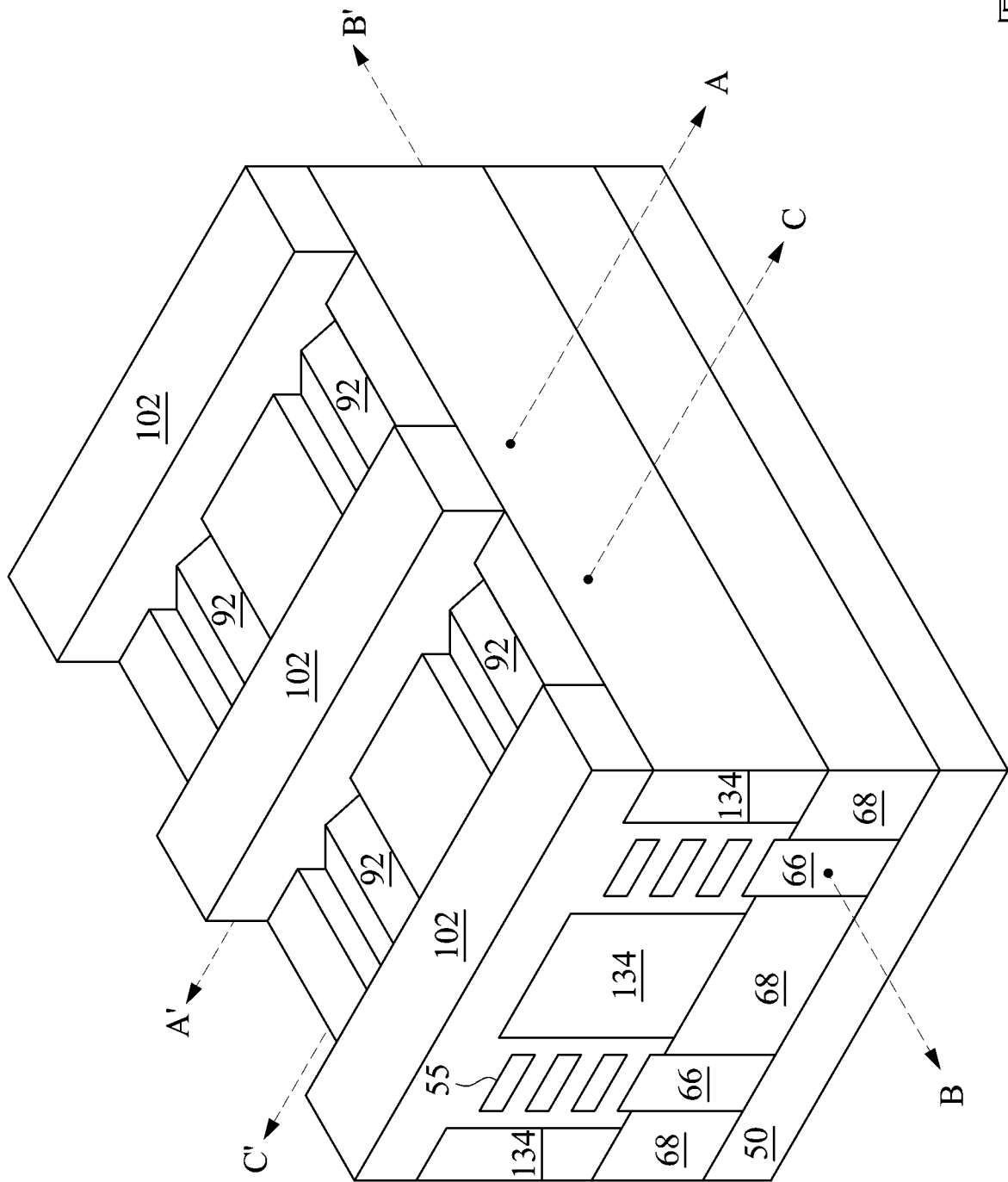


圖 1

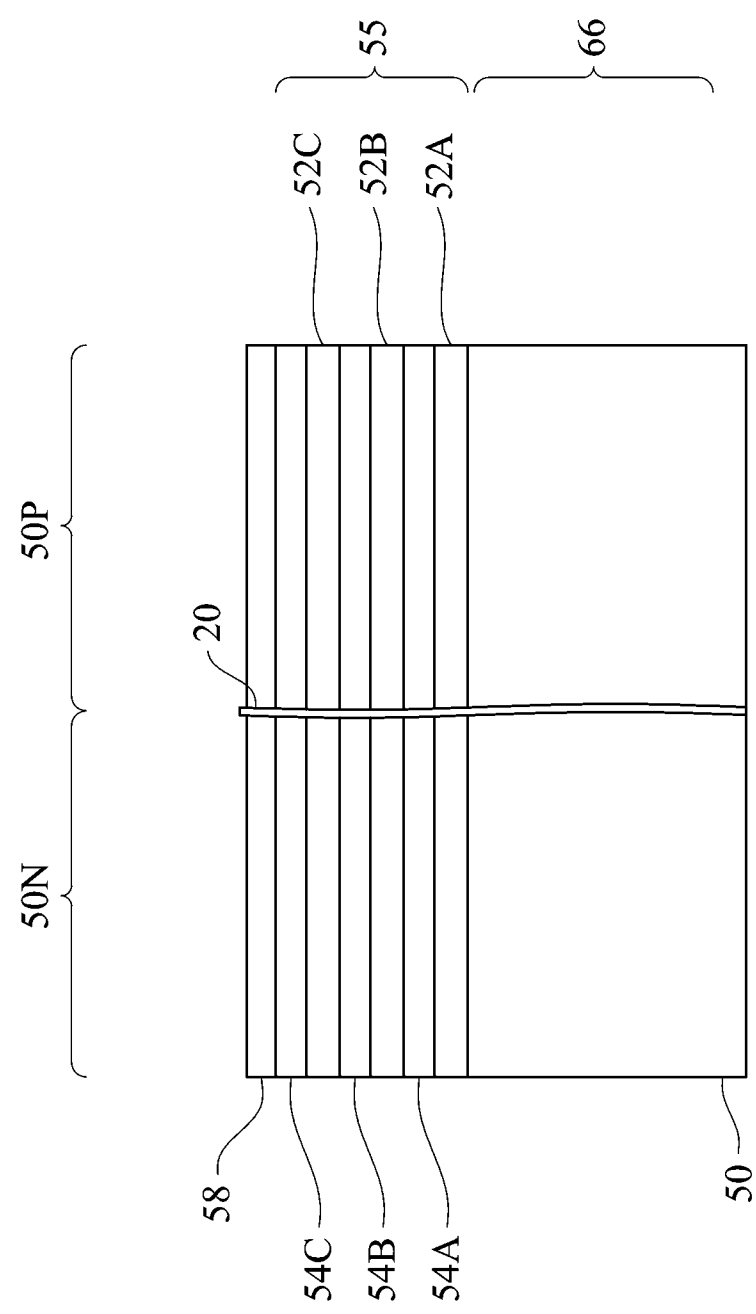


圖 2

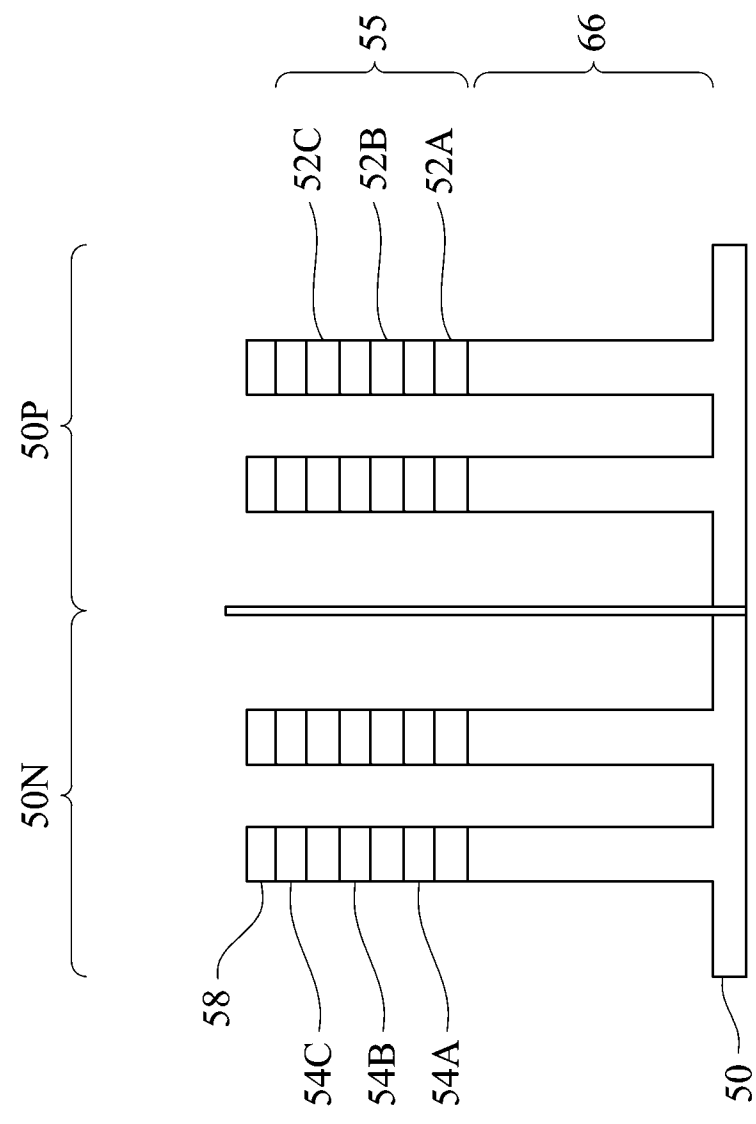


圖 3

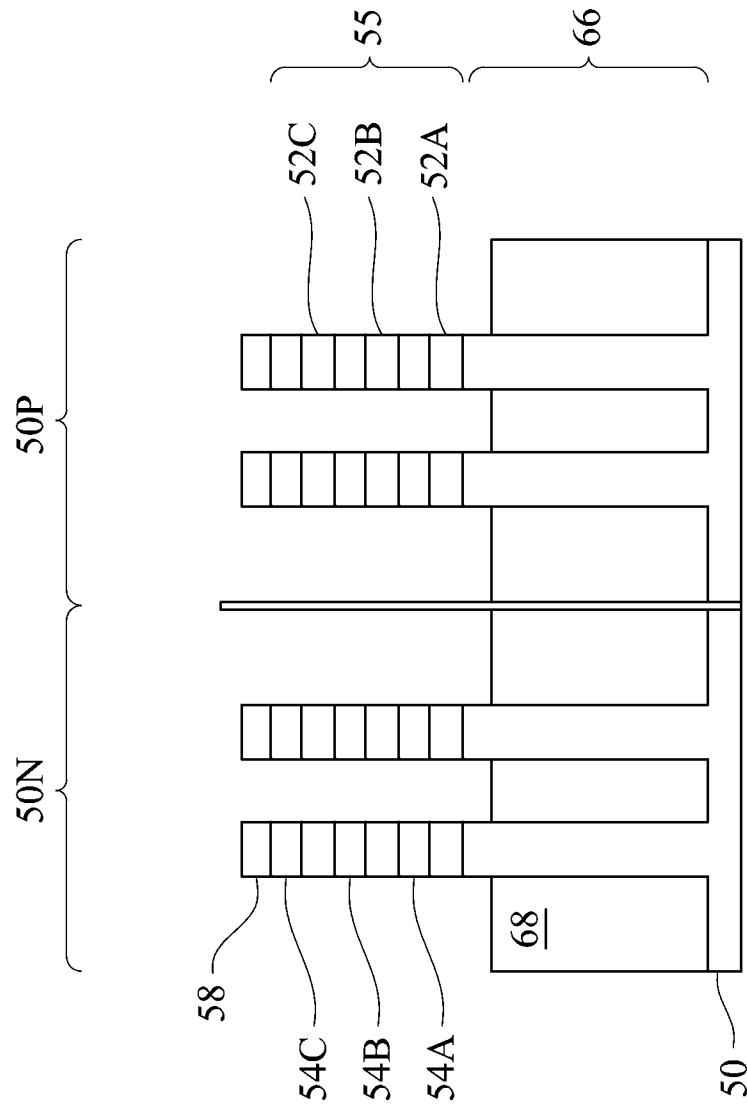


圖 4

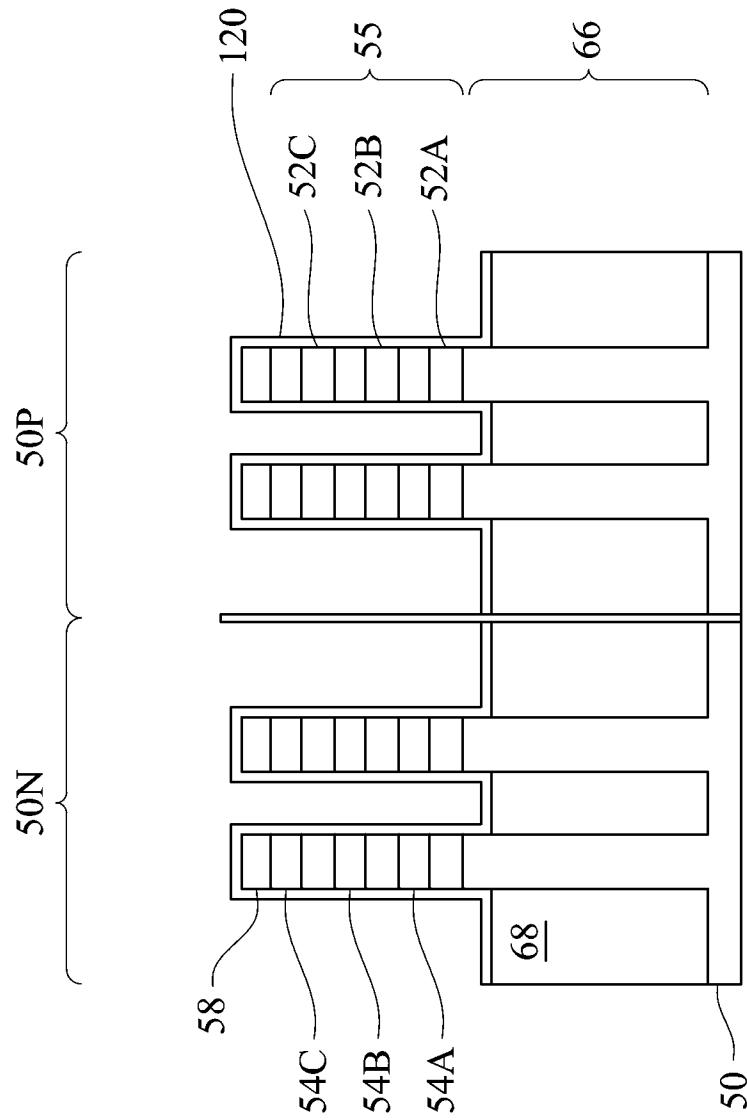


圖 5

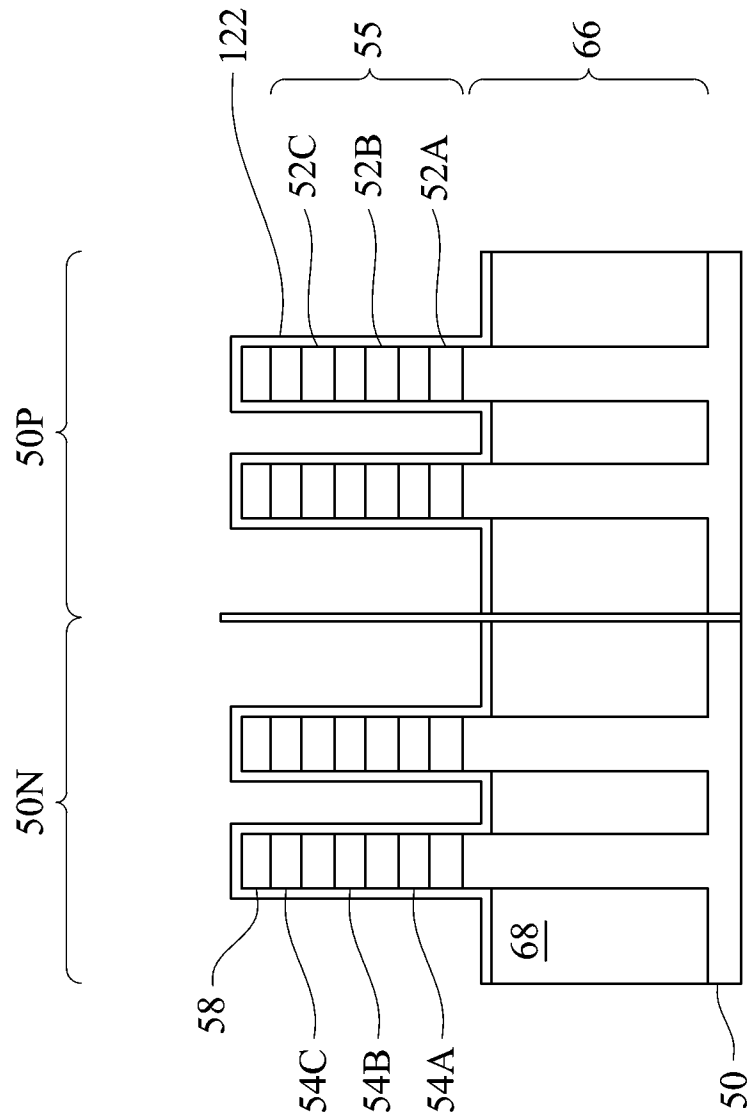


圖6

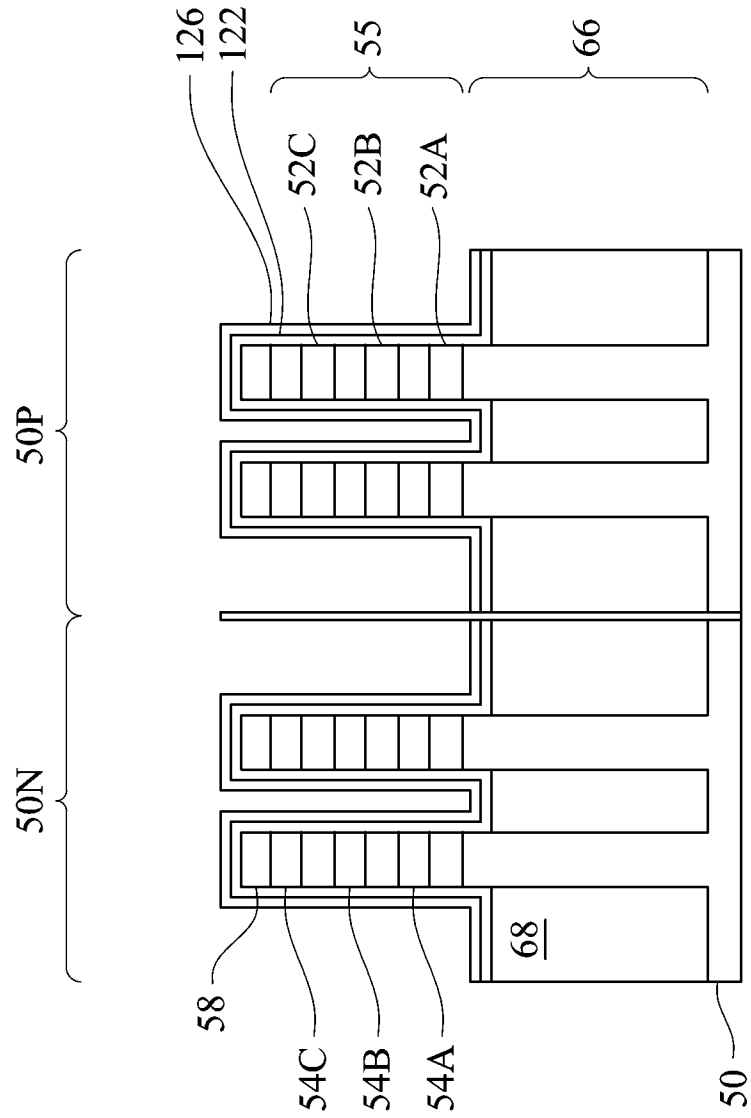


圖 7

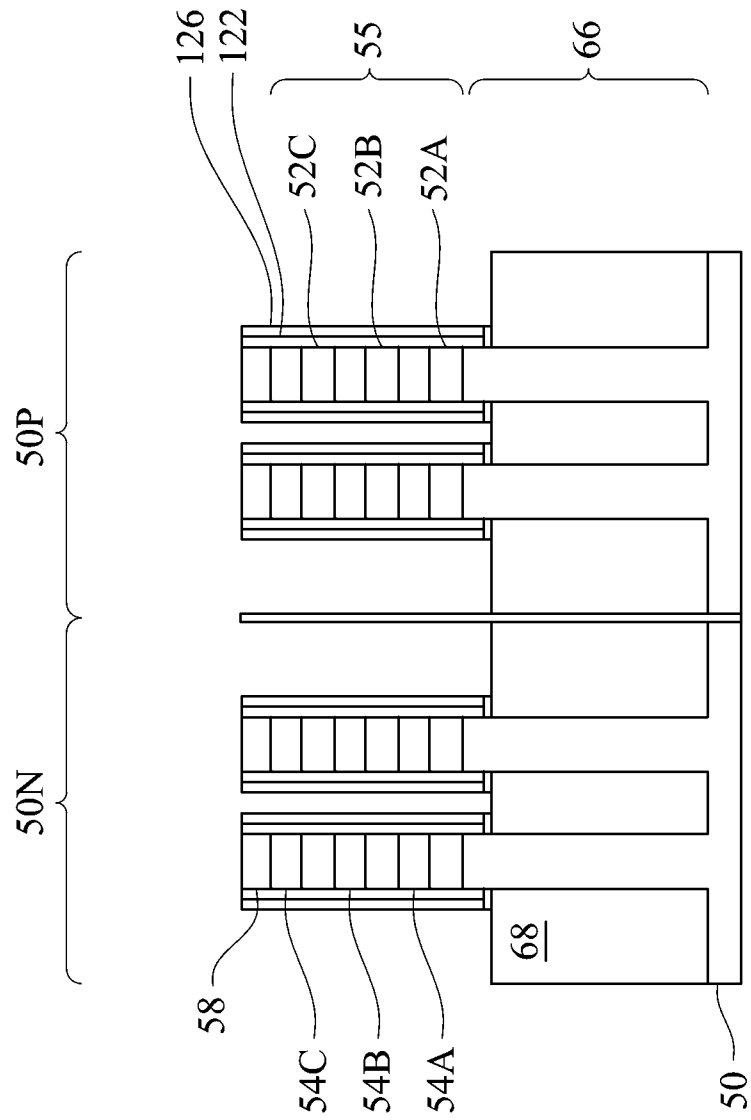


圖 8

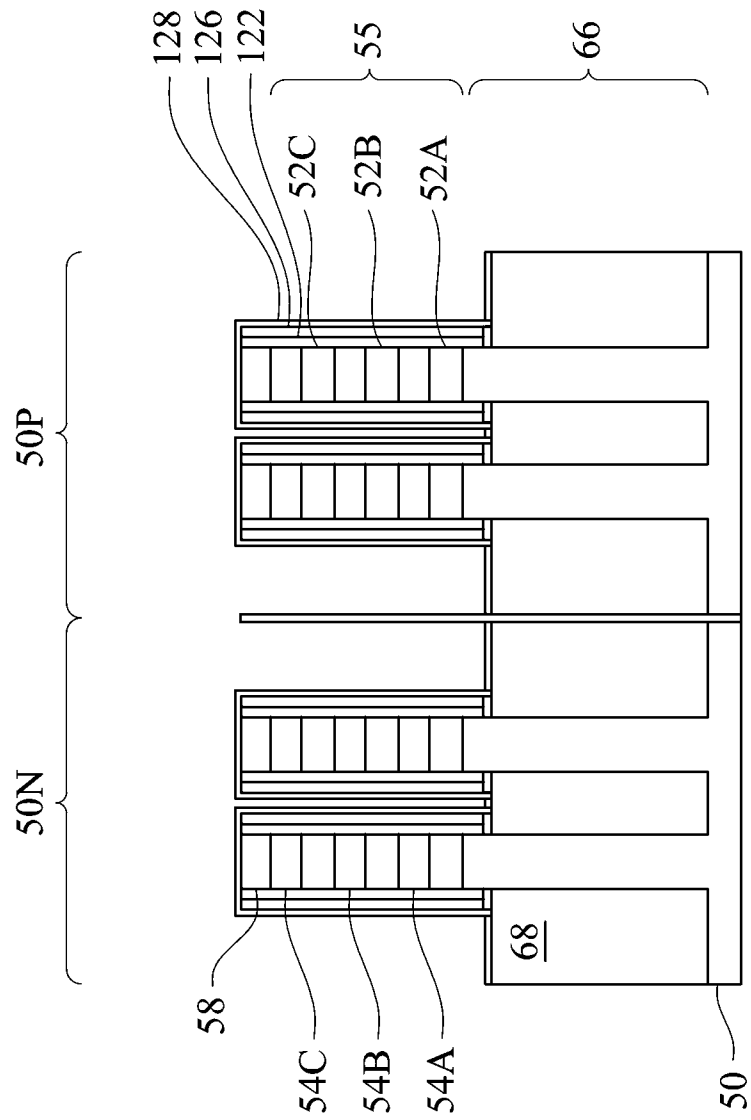


圖 9

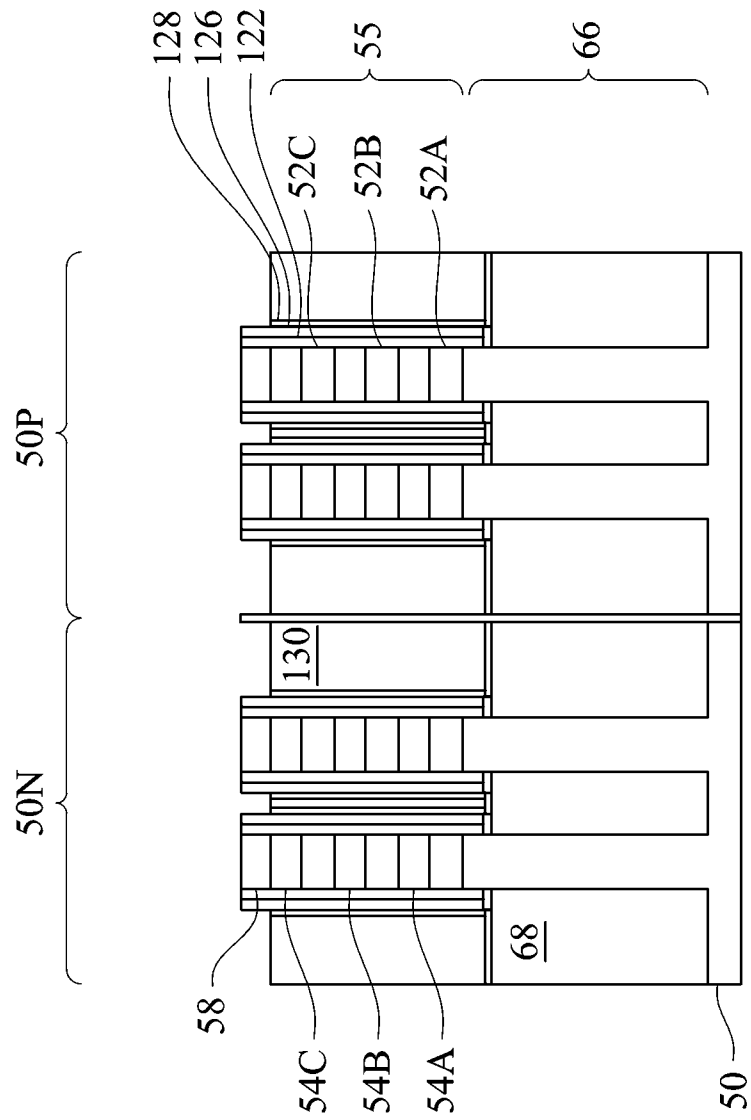


圖 10

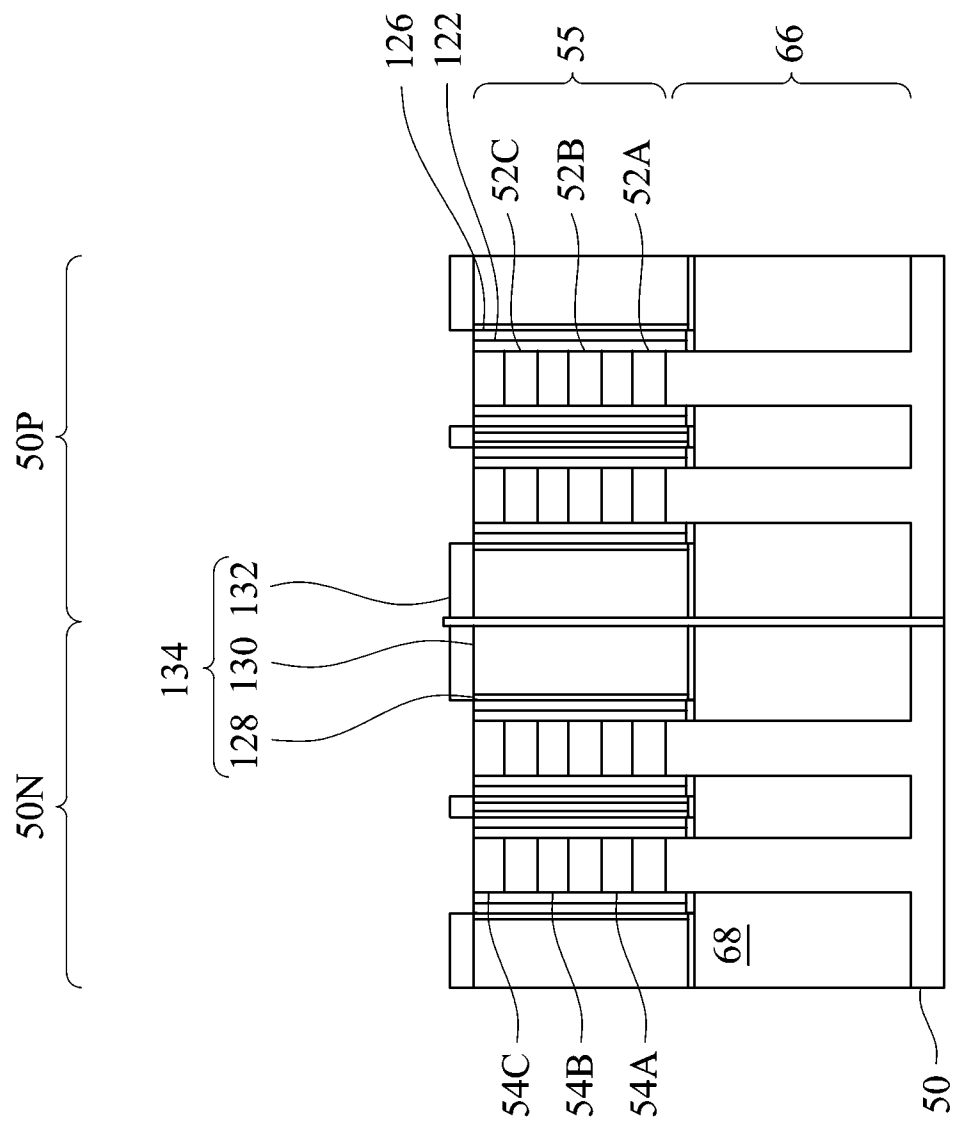


圖 11

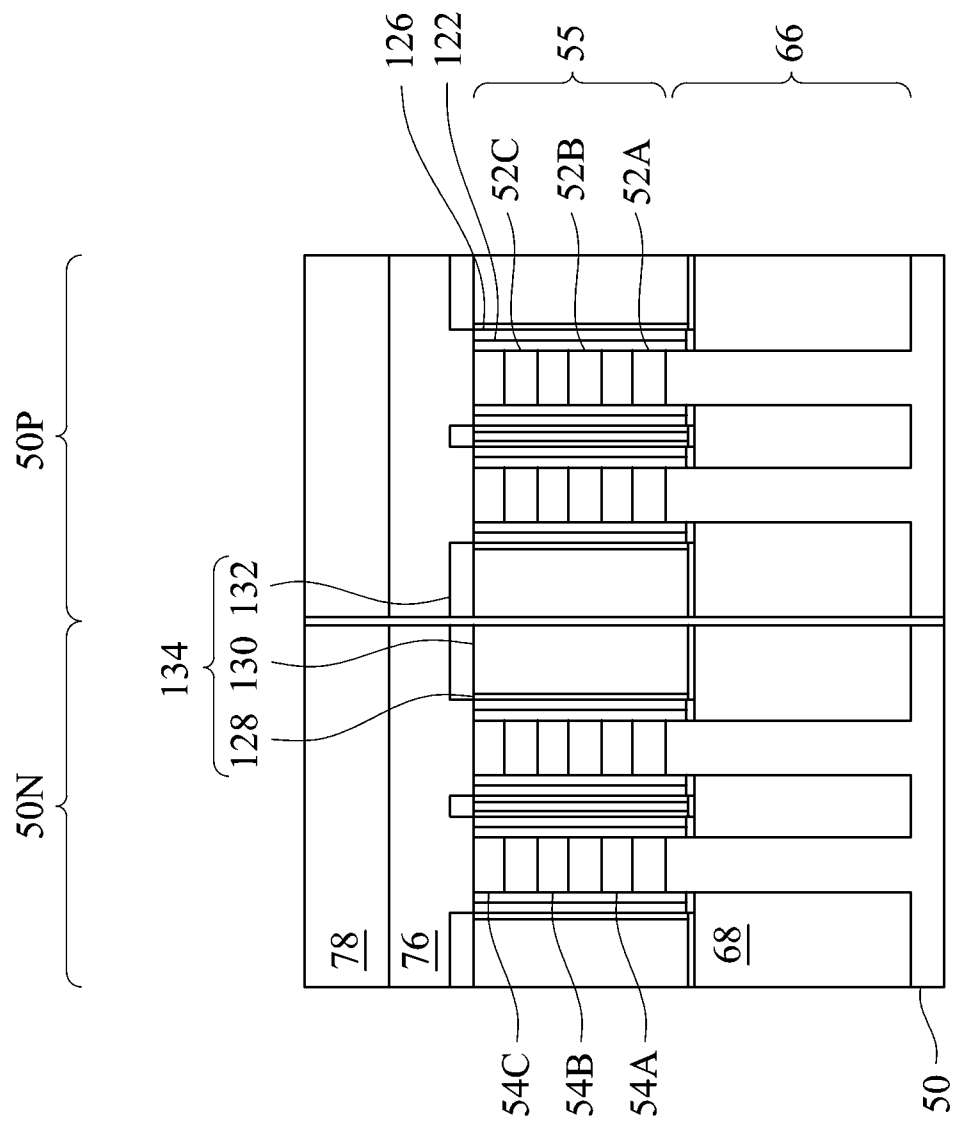


圖 12A

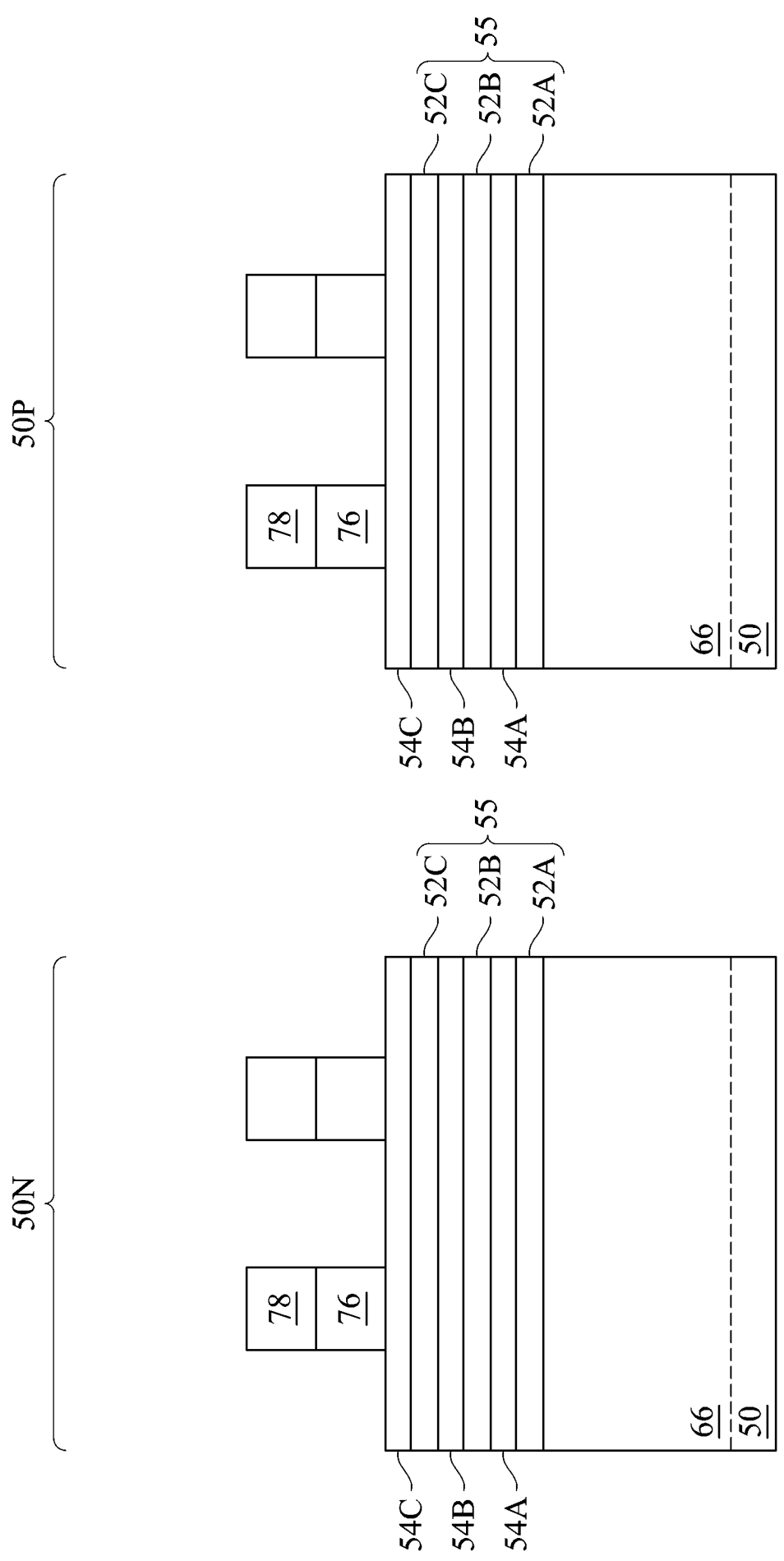


圖 12B

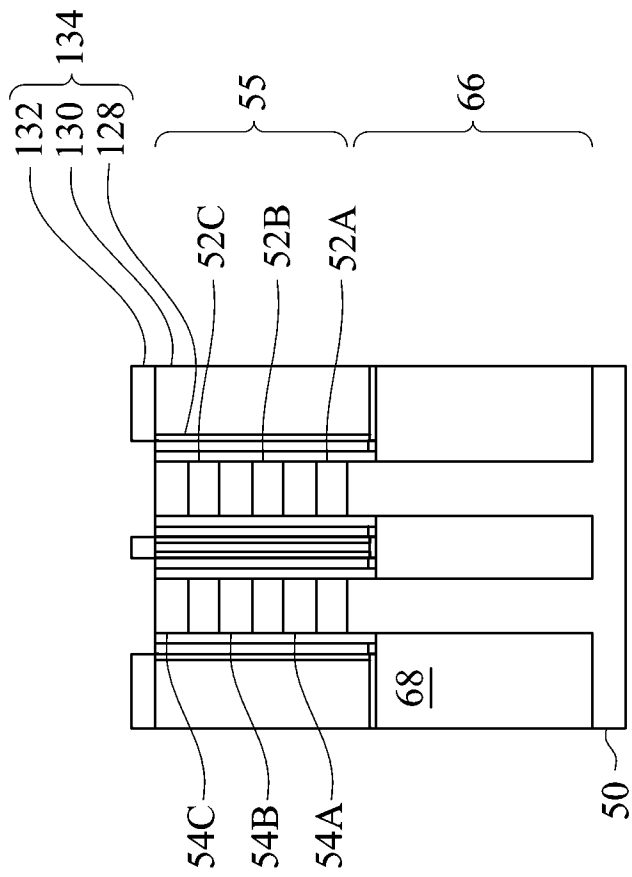


圖 12C

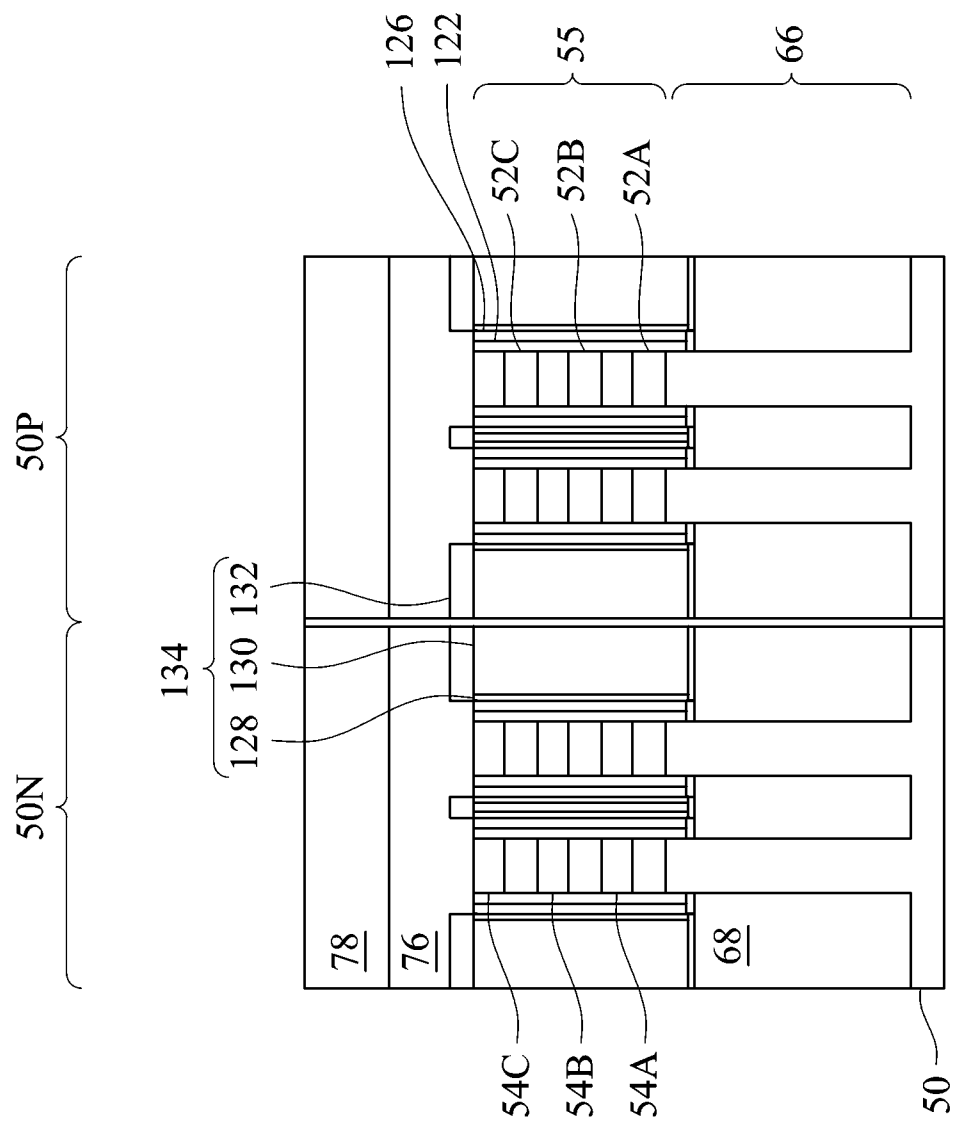


圖 13A

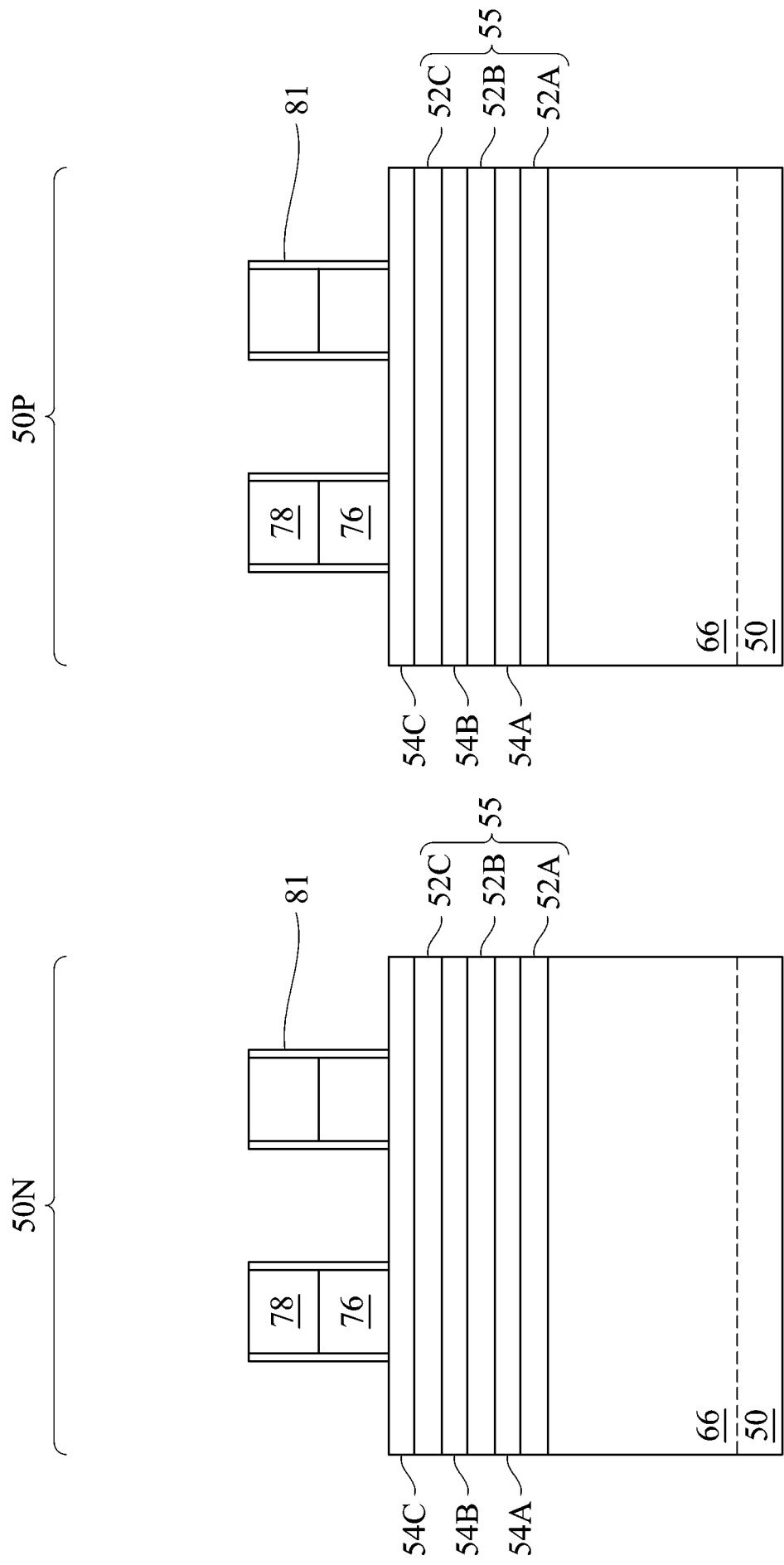


圖 13B

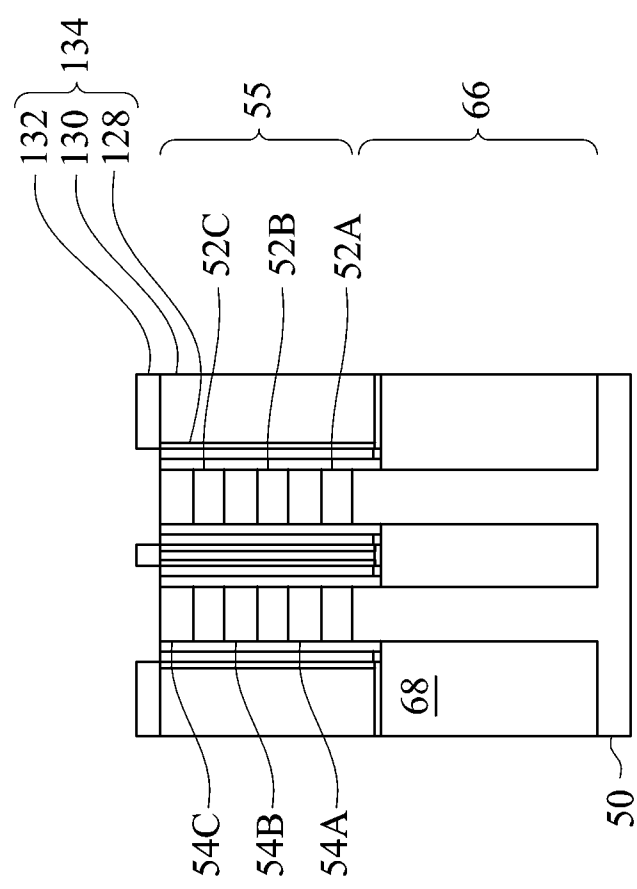


圖 13C

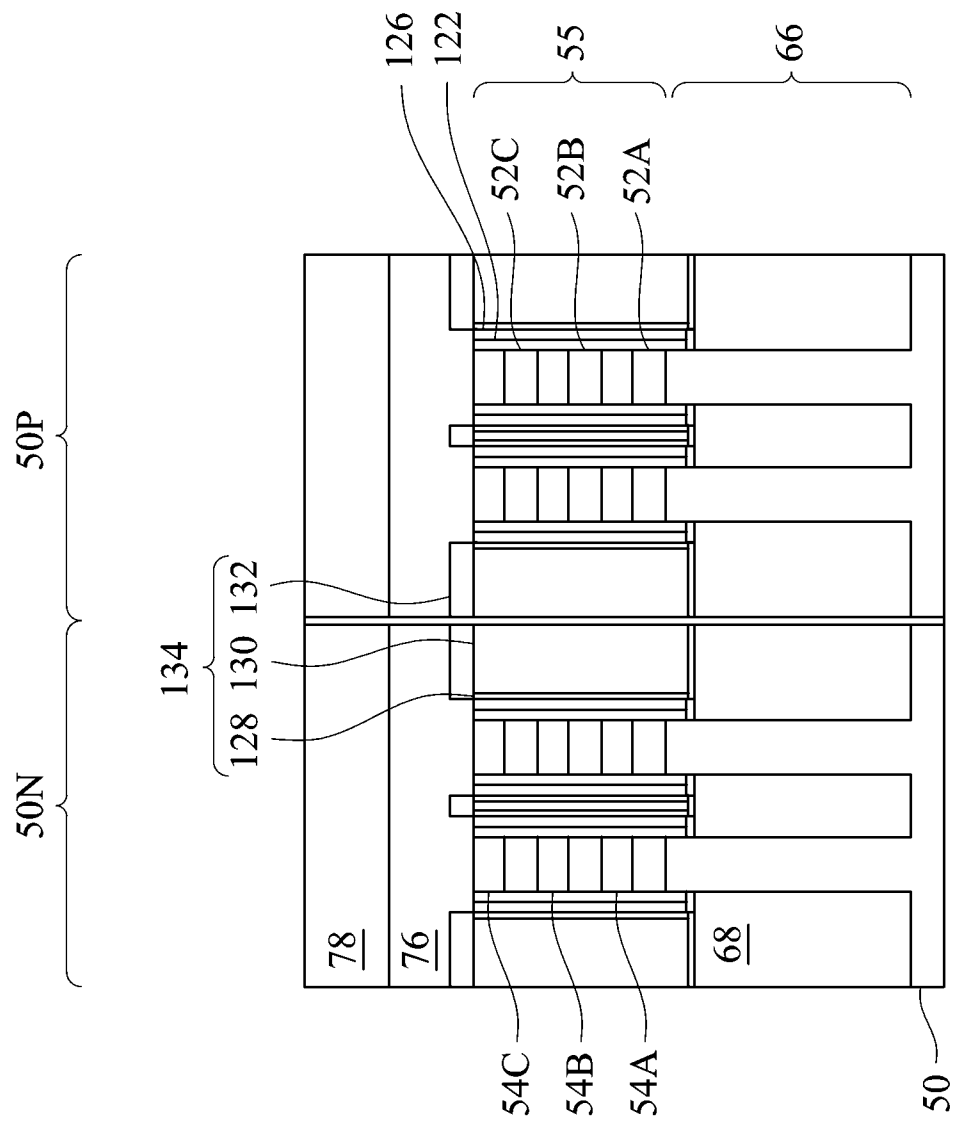


圖 14A

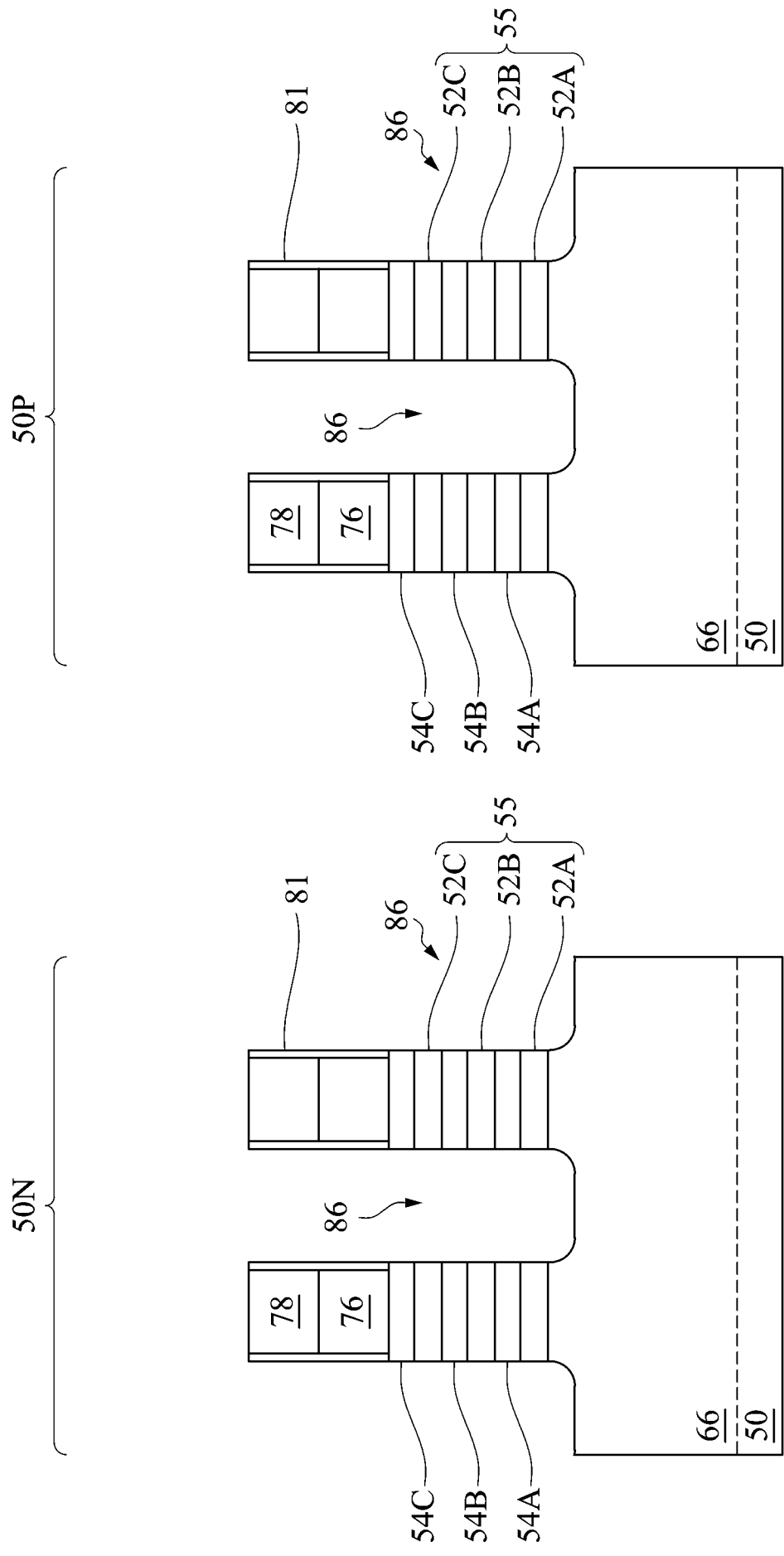


圖 14B

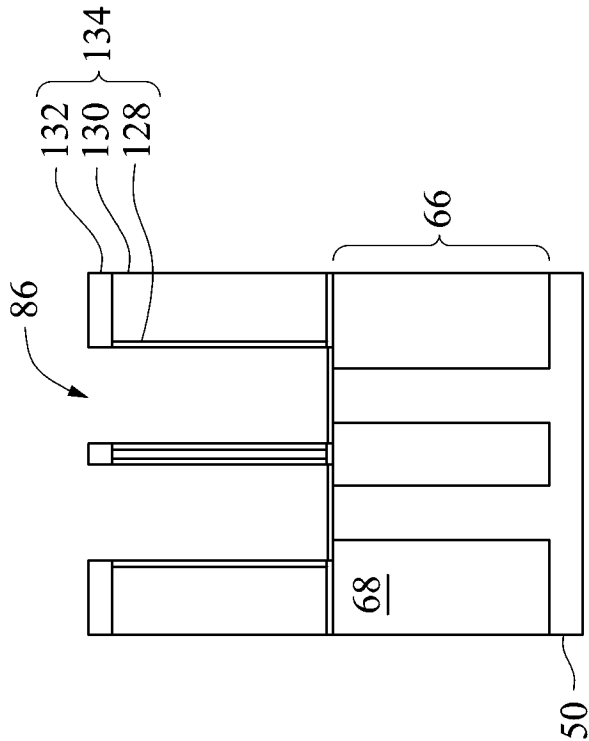


圖 14C

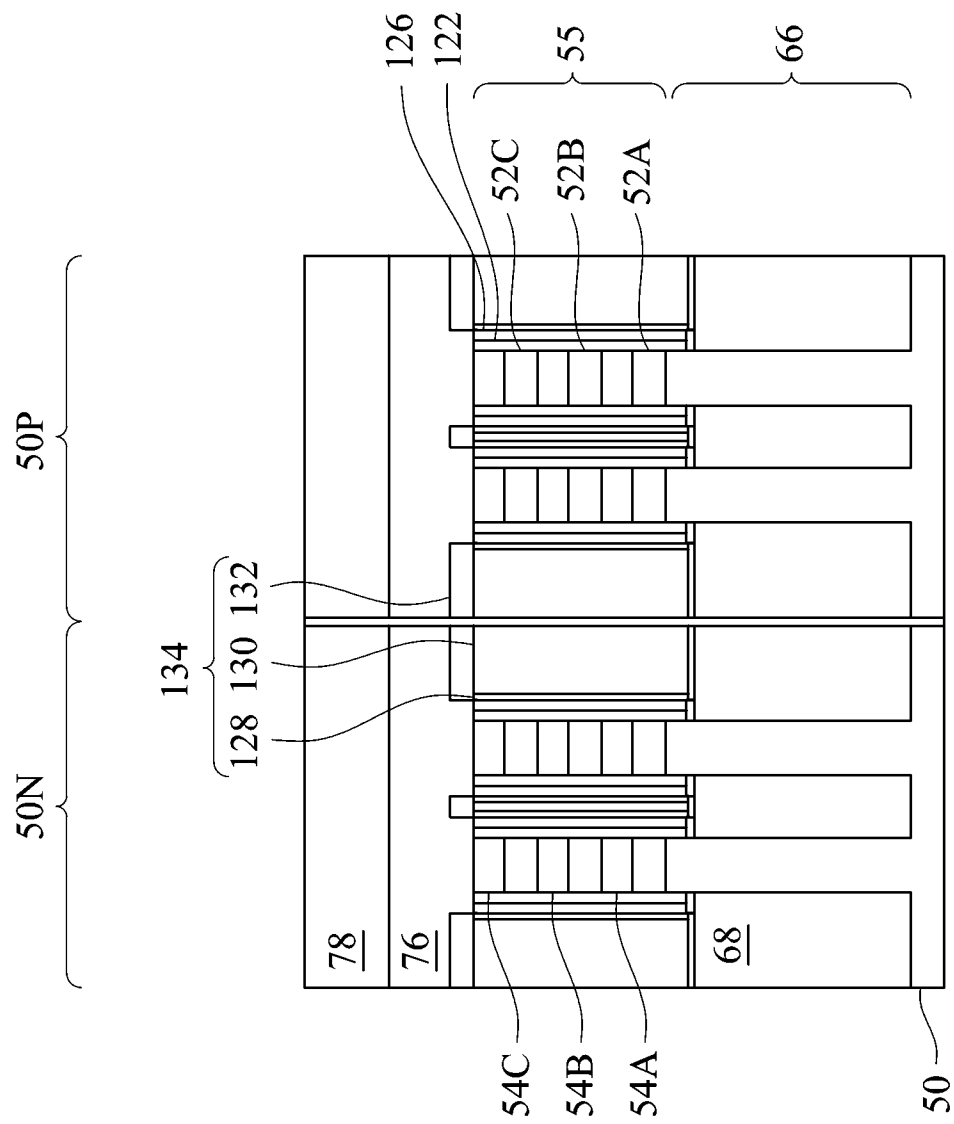


圖 15A

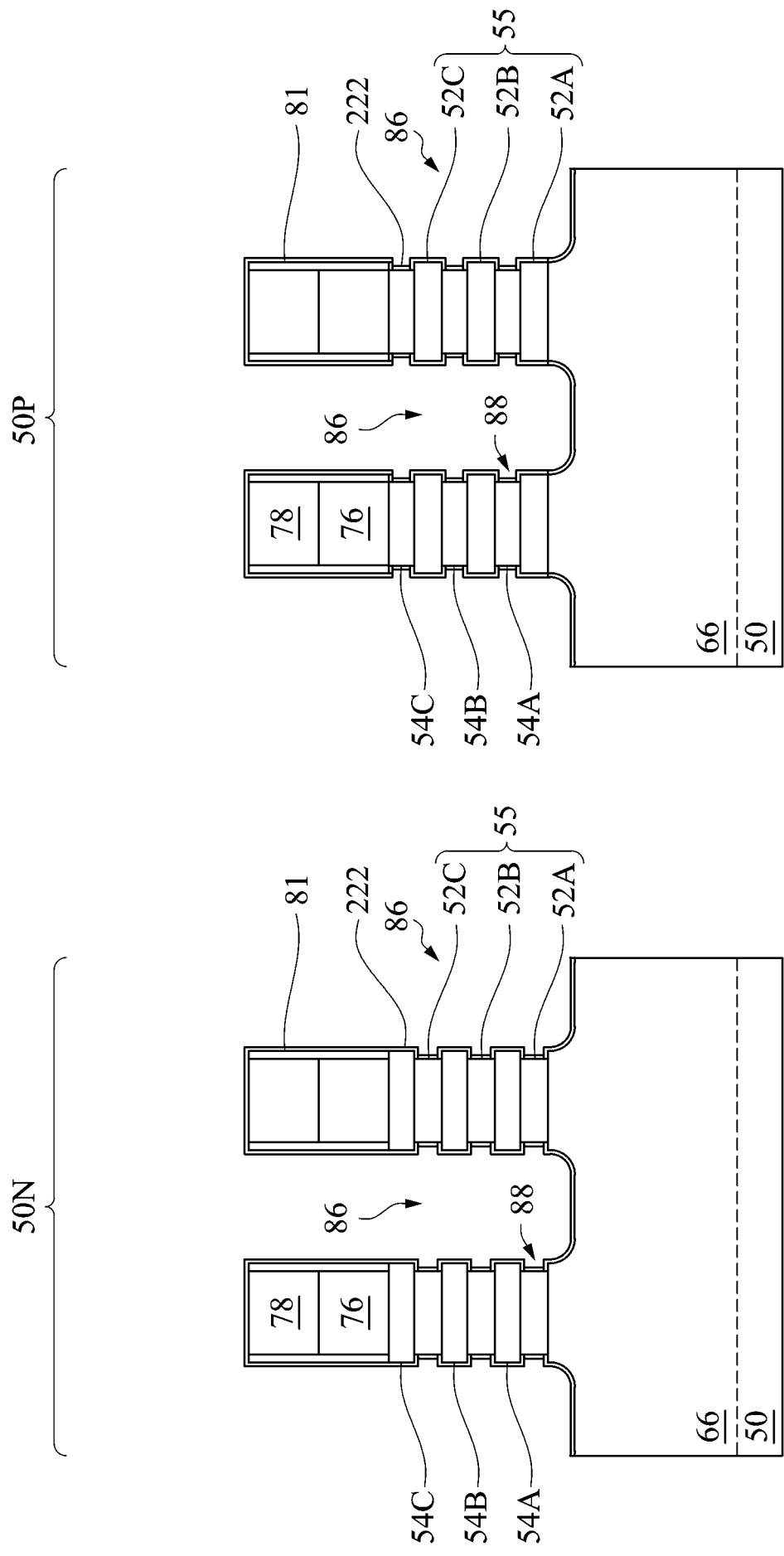


圖 15B

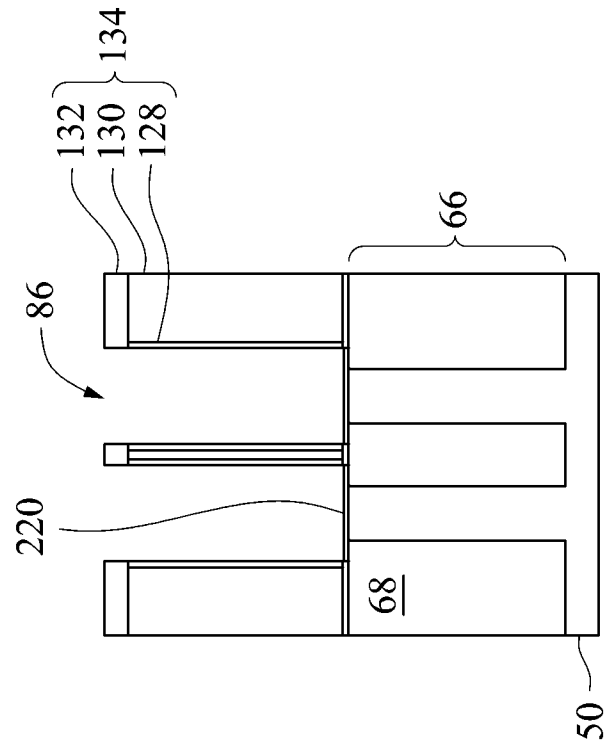


圖 15C

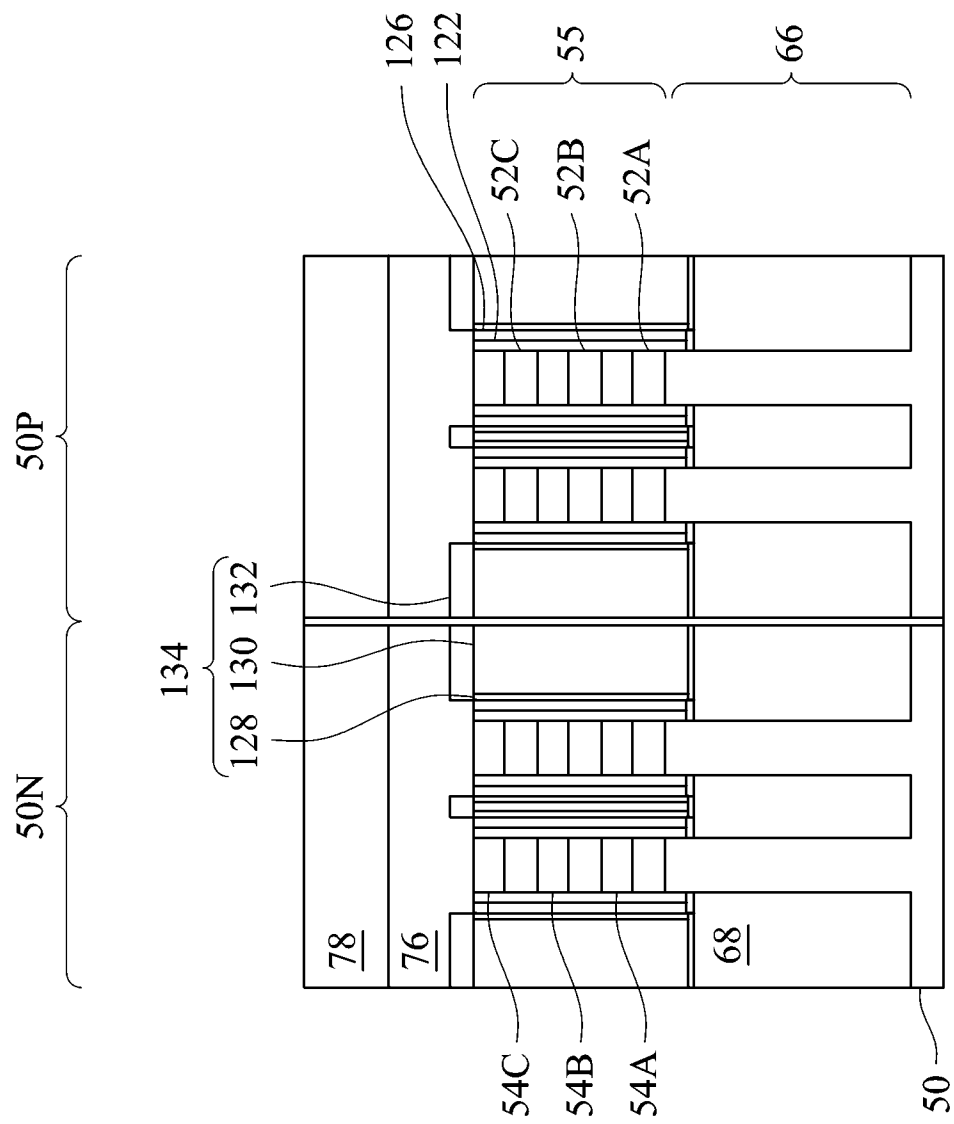


圖 16A

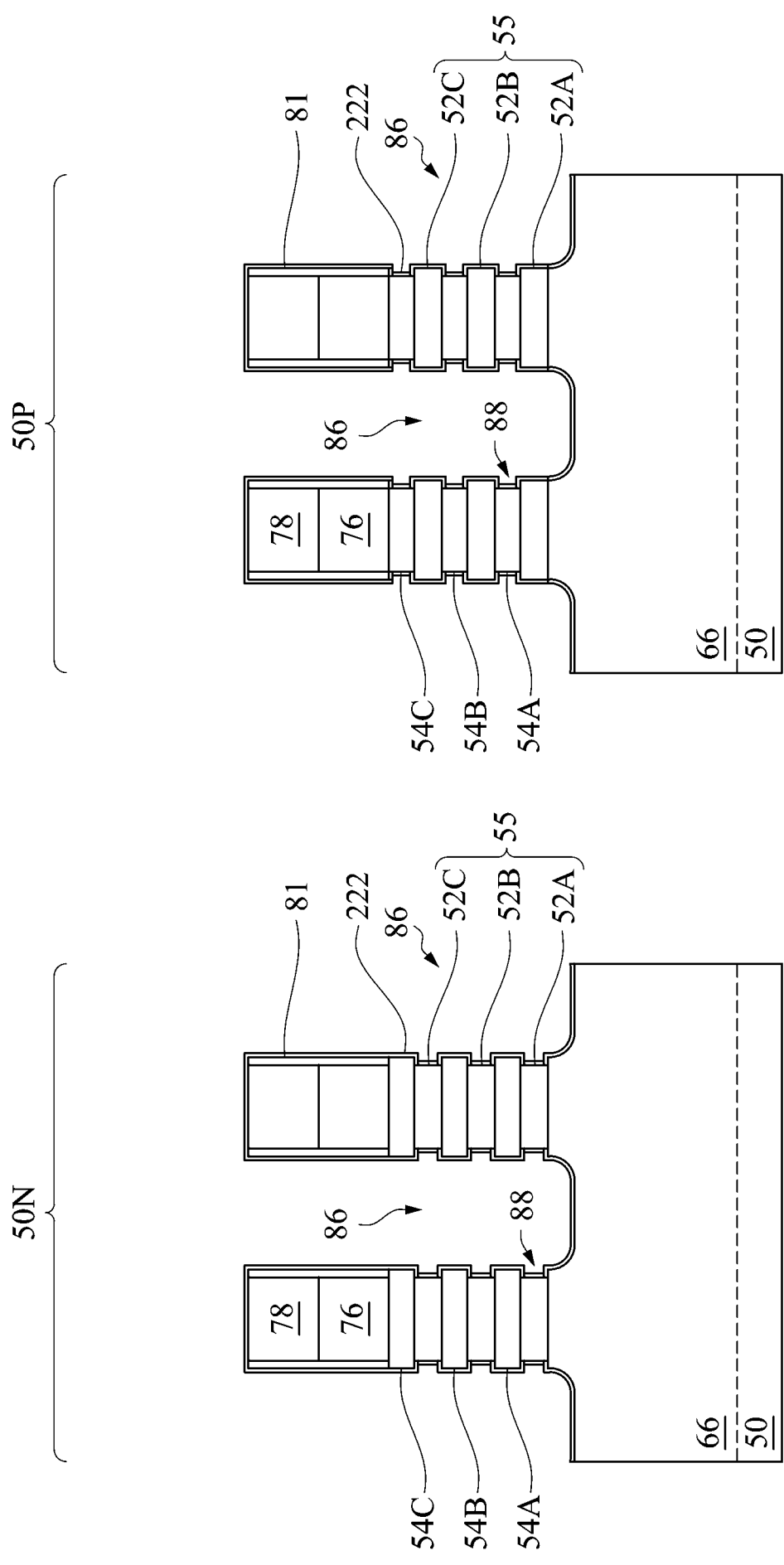


圖 16B

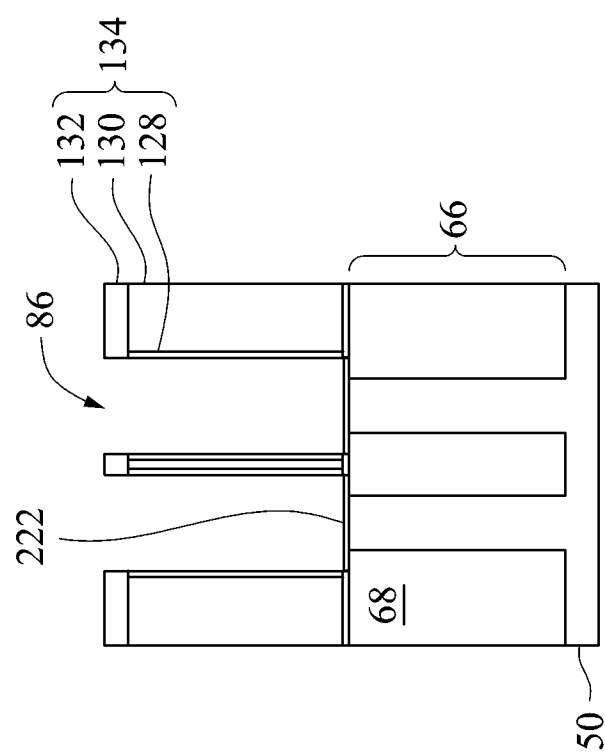


圖 16C

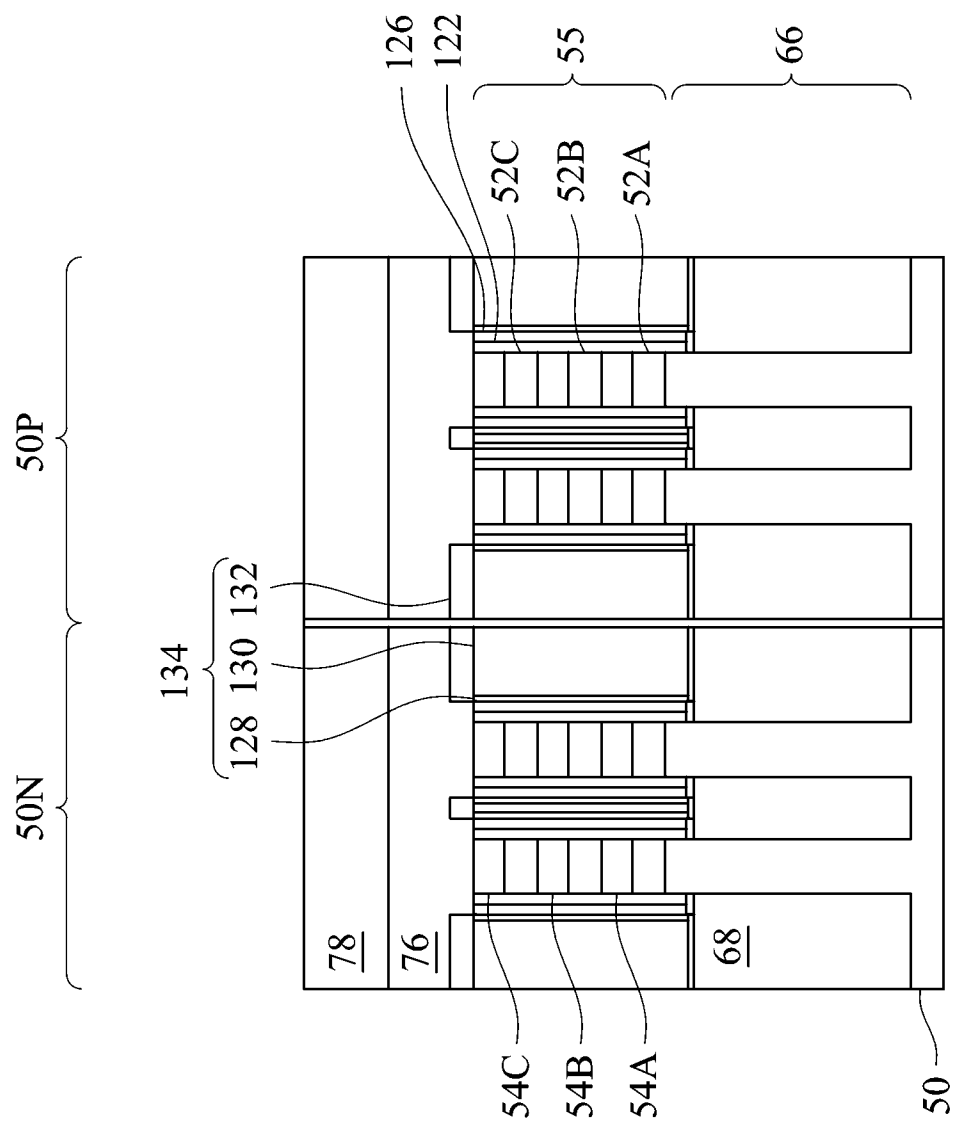


圖 17A

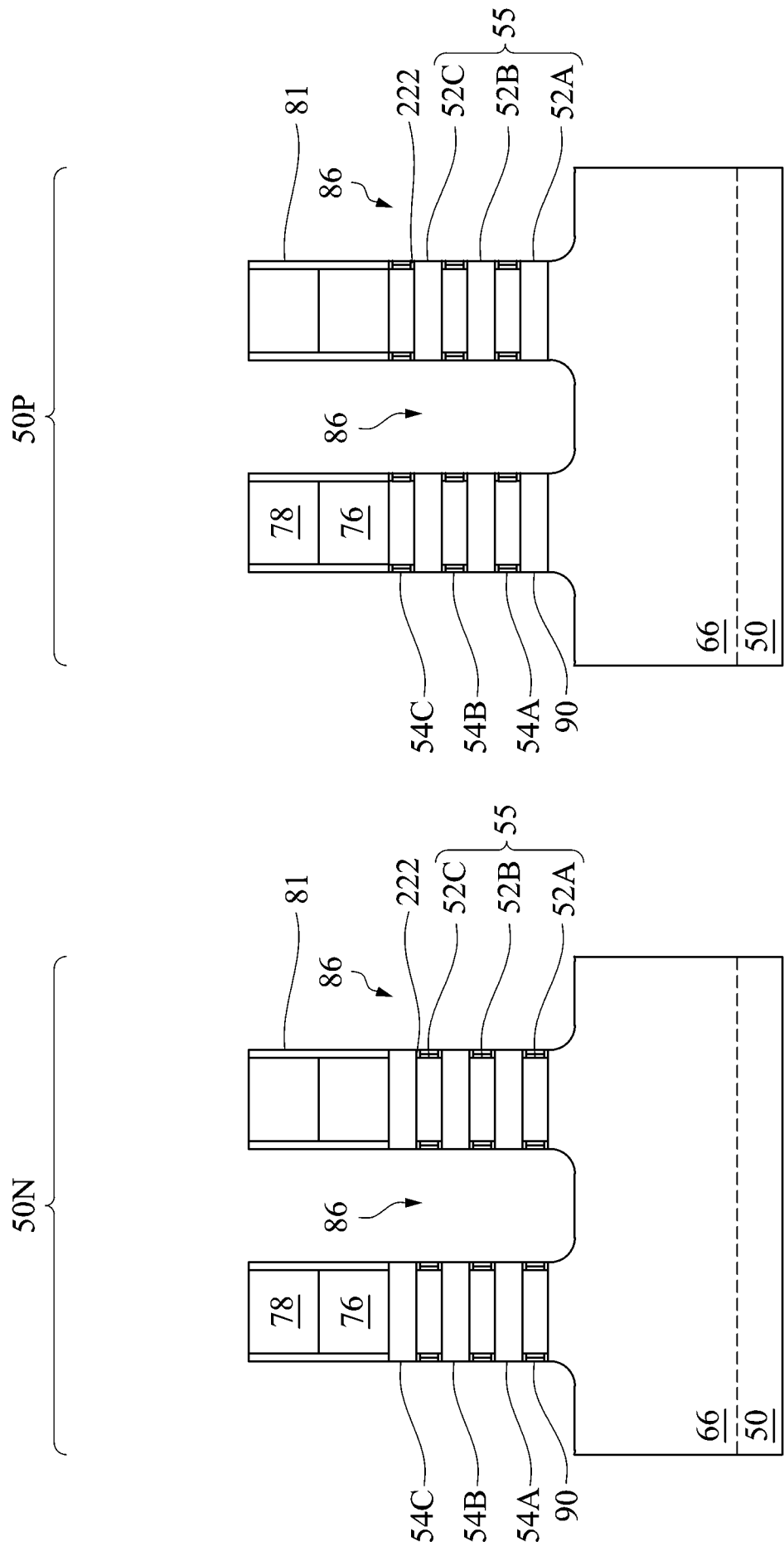


圖 17B

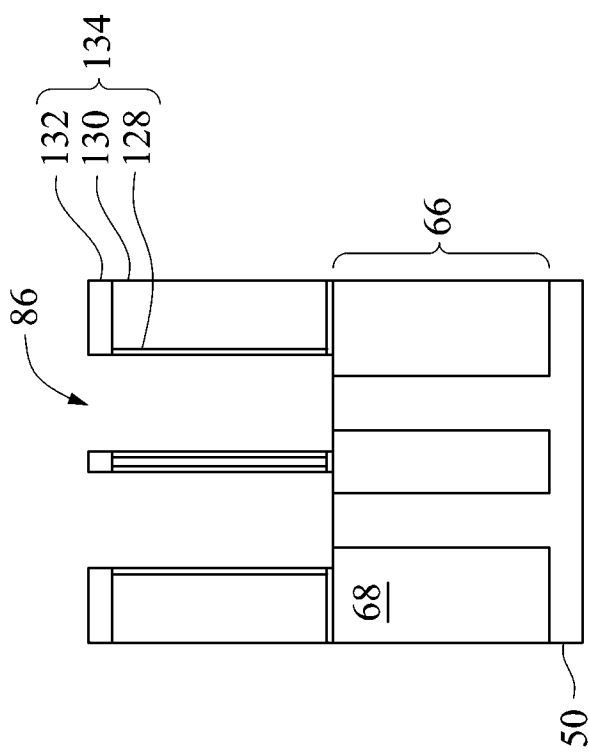


圖 17C

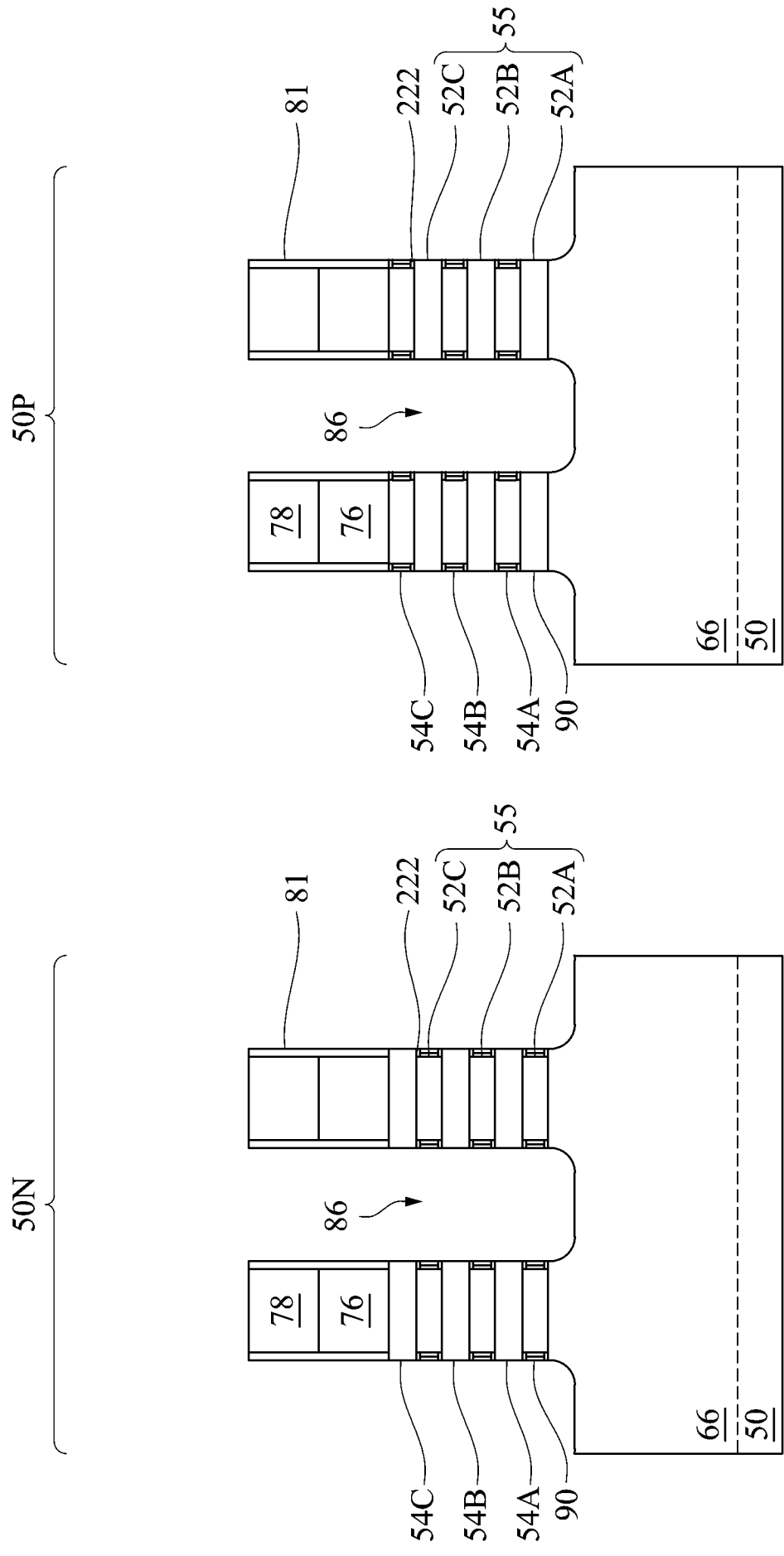


圖 17D

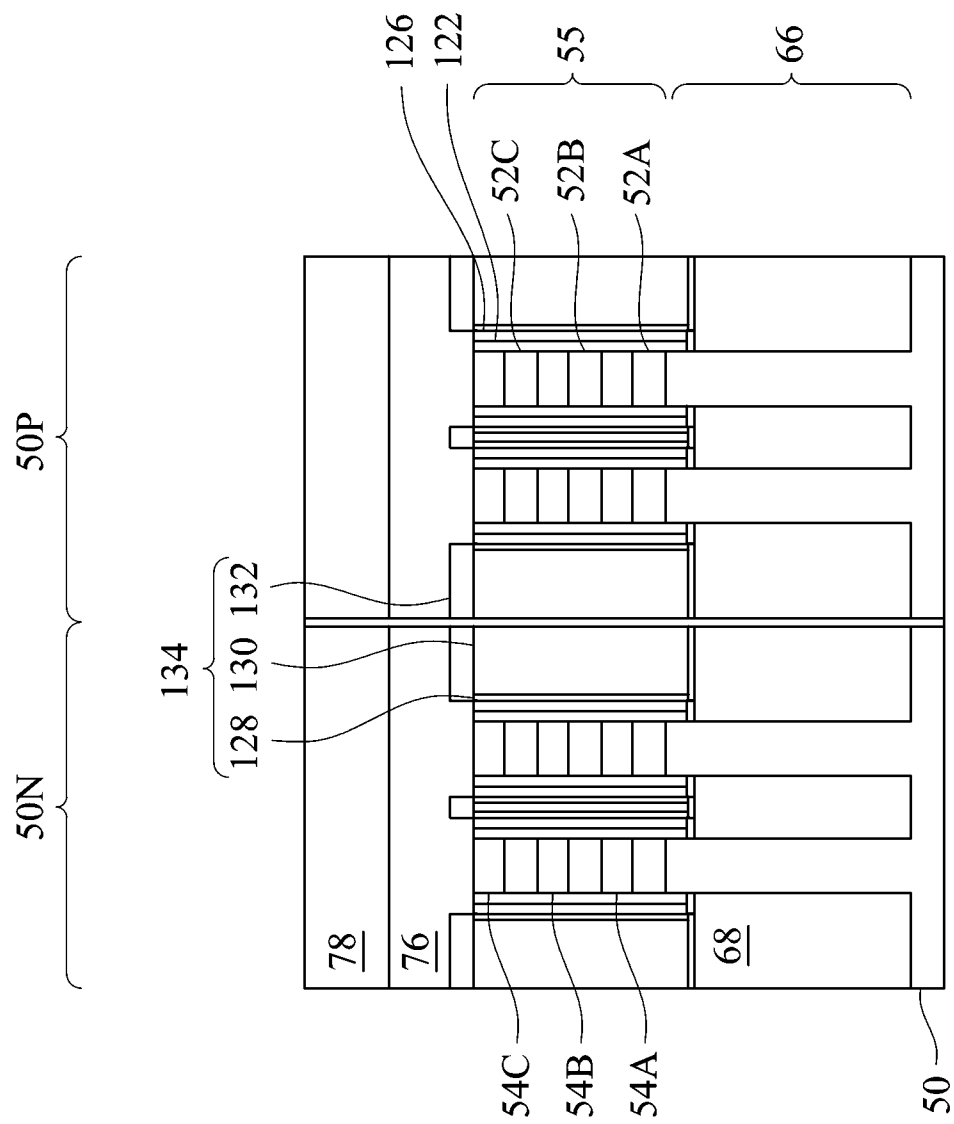


圖 18A

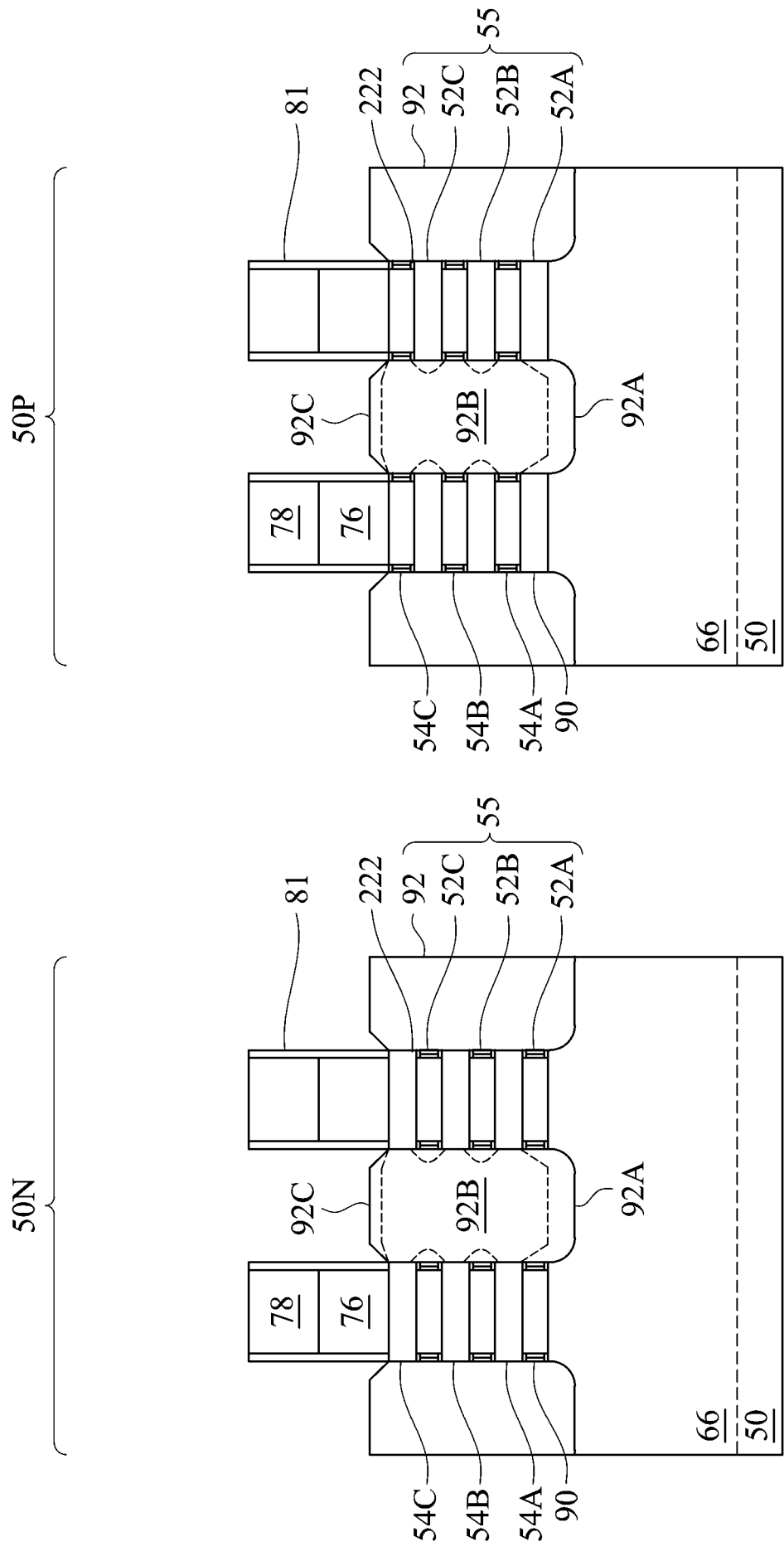


圖 18B

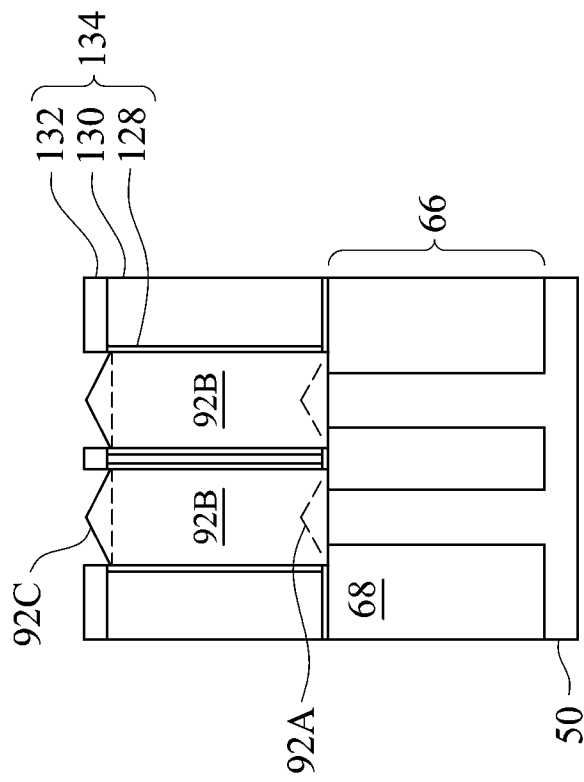


圖 18C

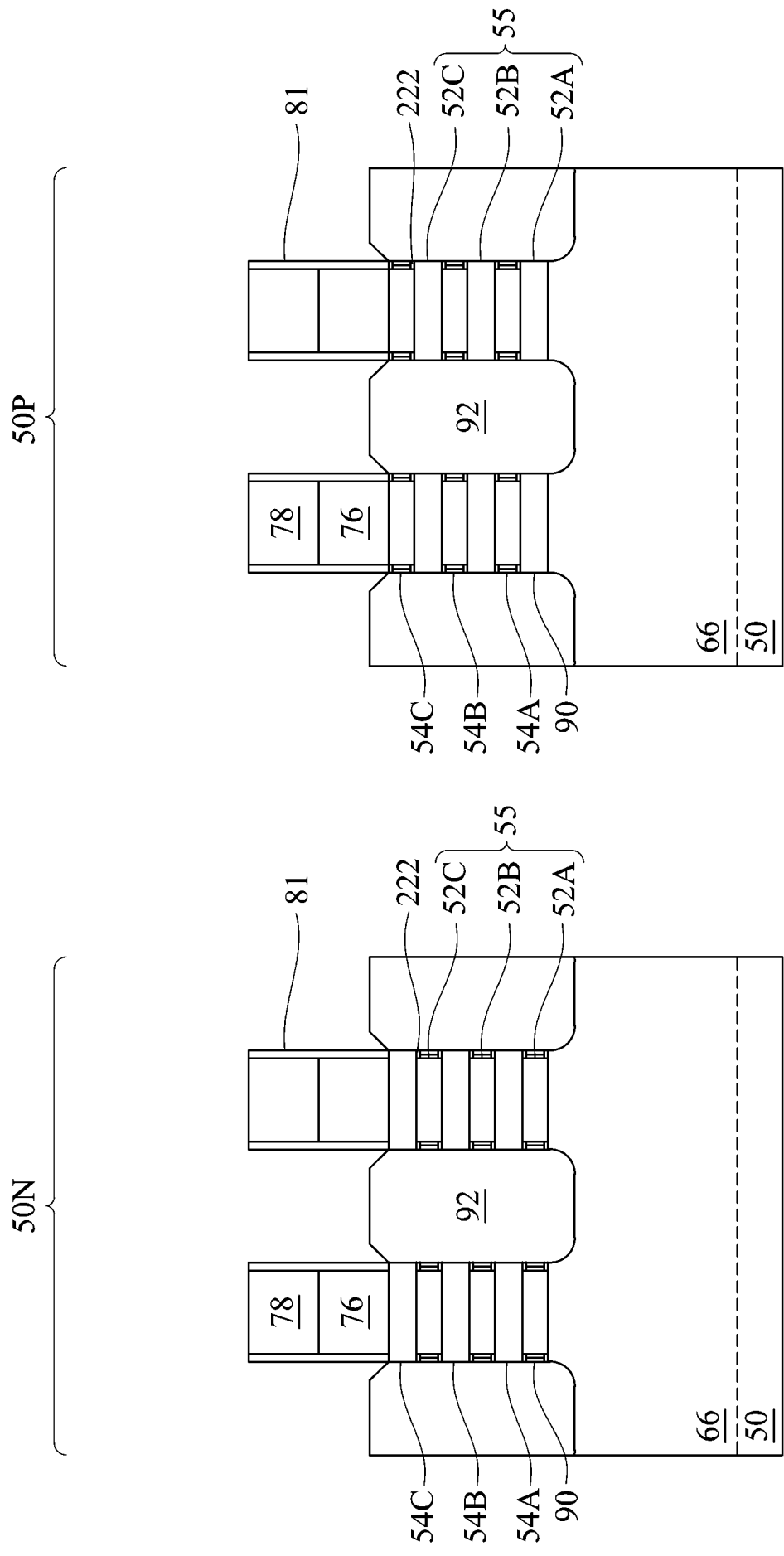


圖 18D

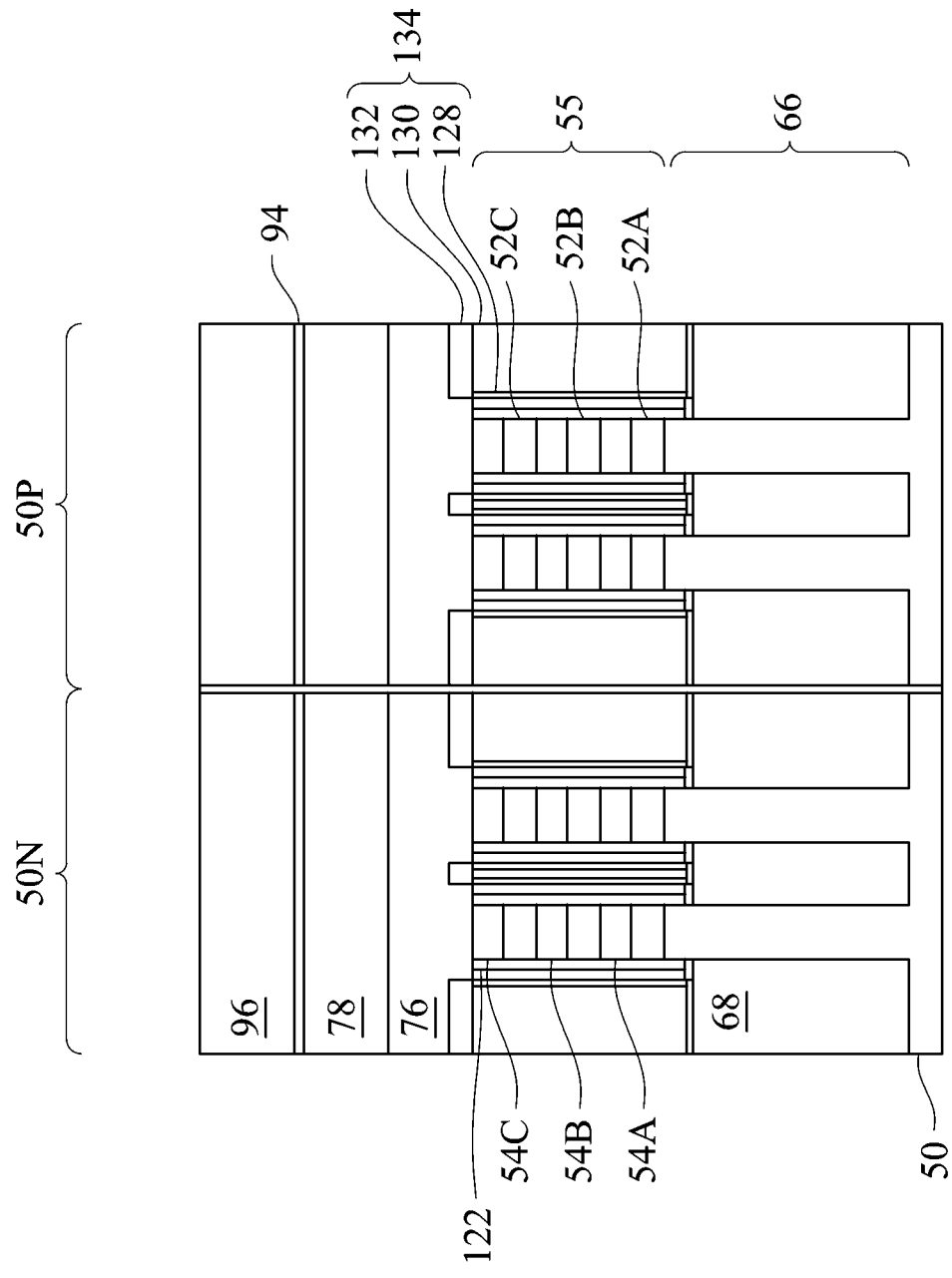


圖 19A

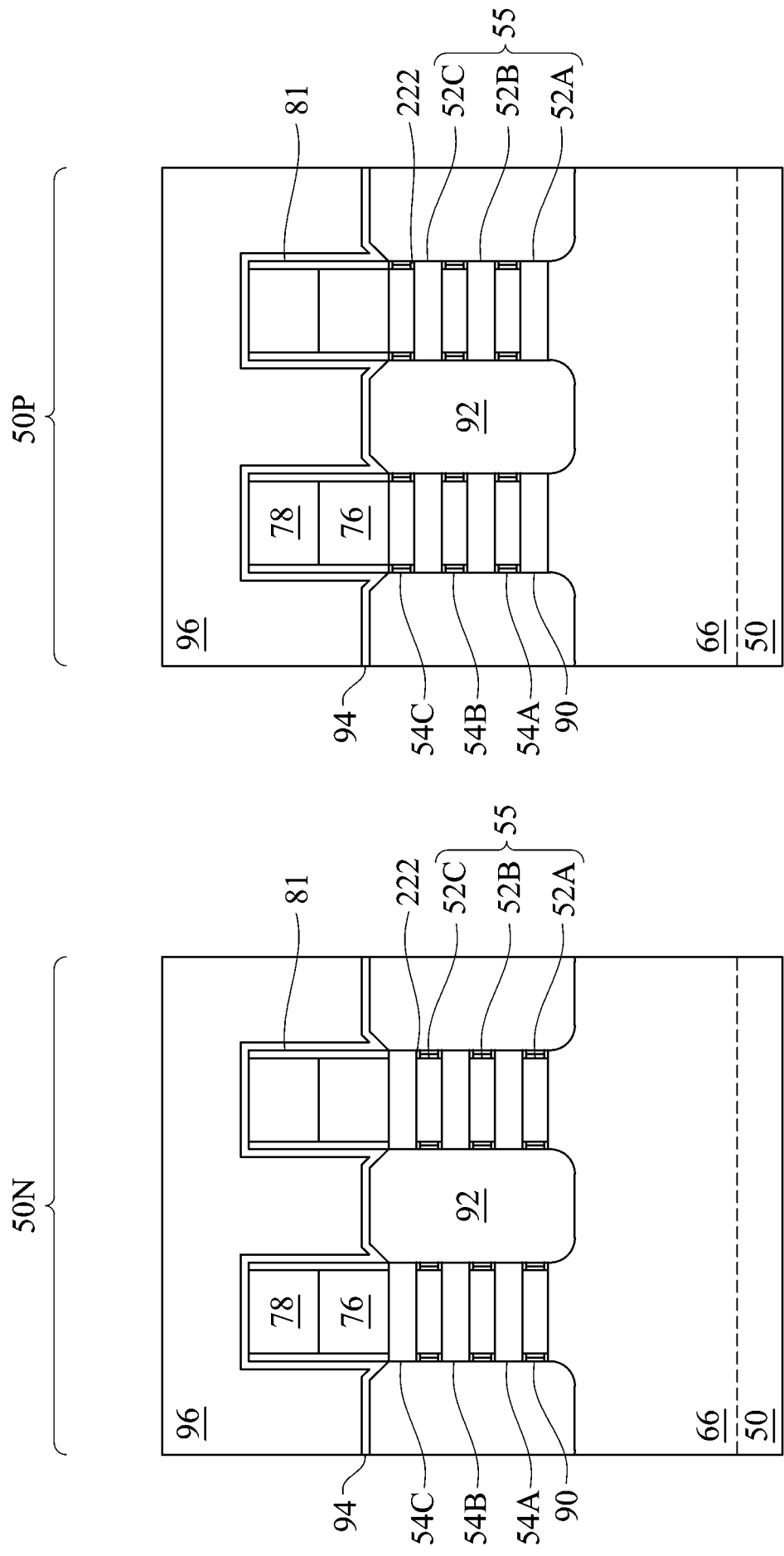


圖 19B

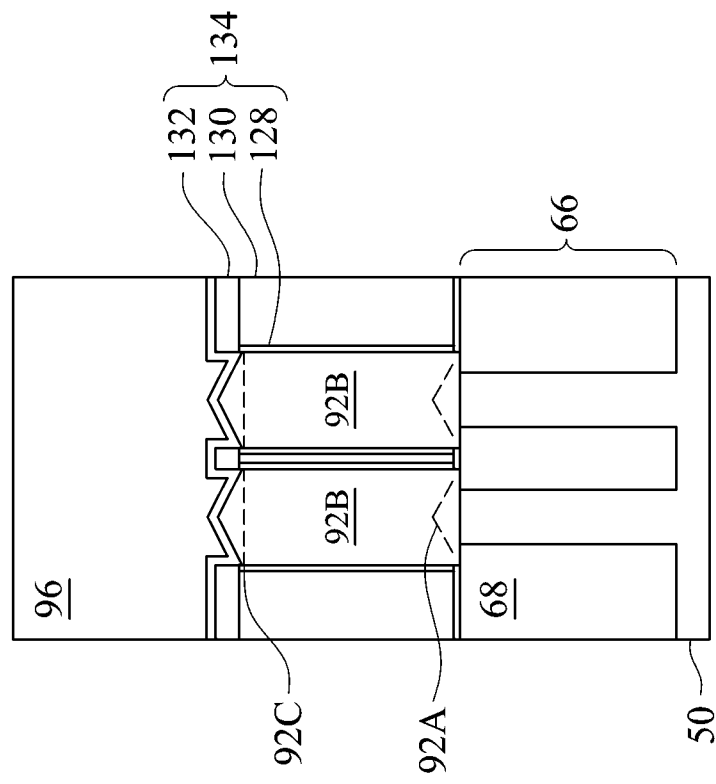


圖 19C

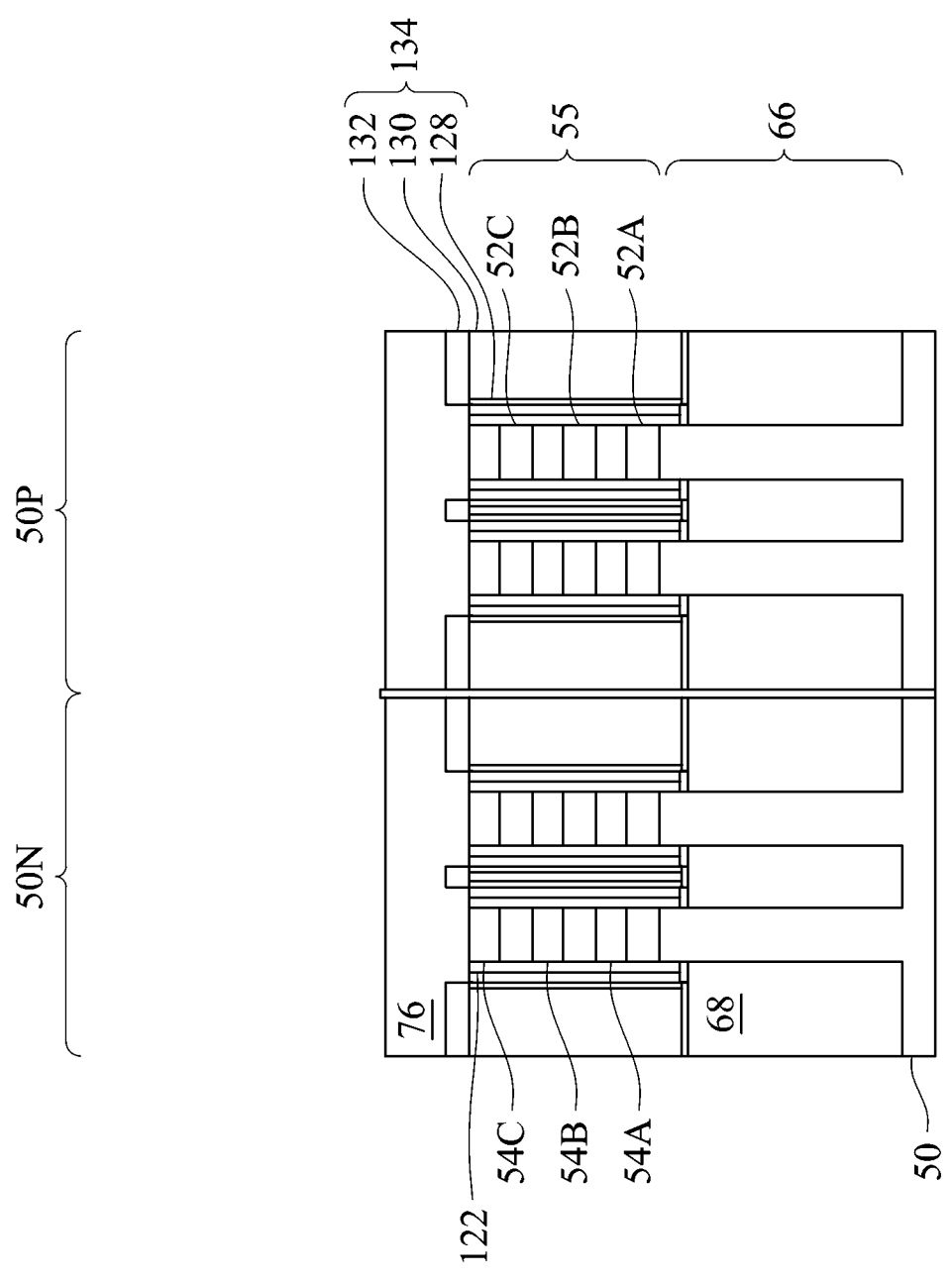


圖 20A

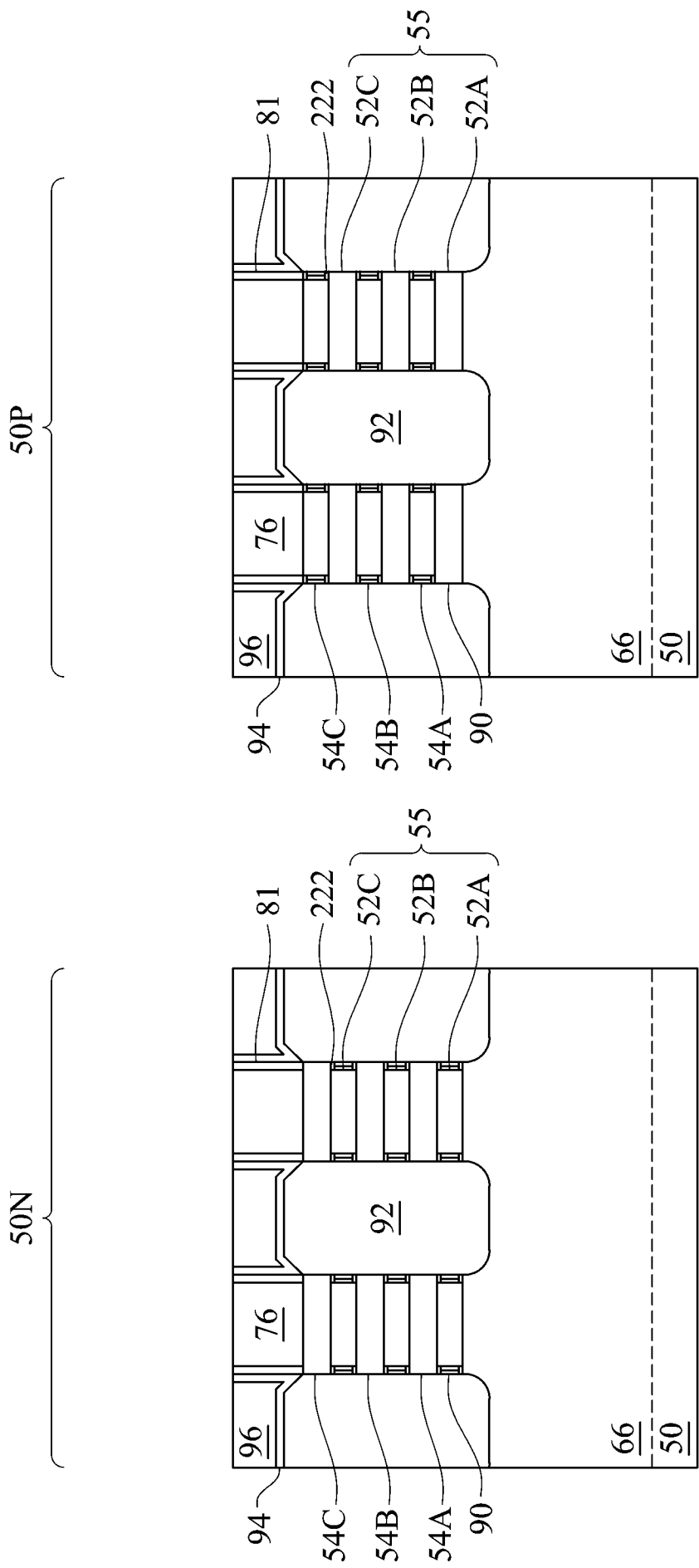


圖 20B

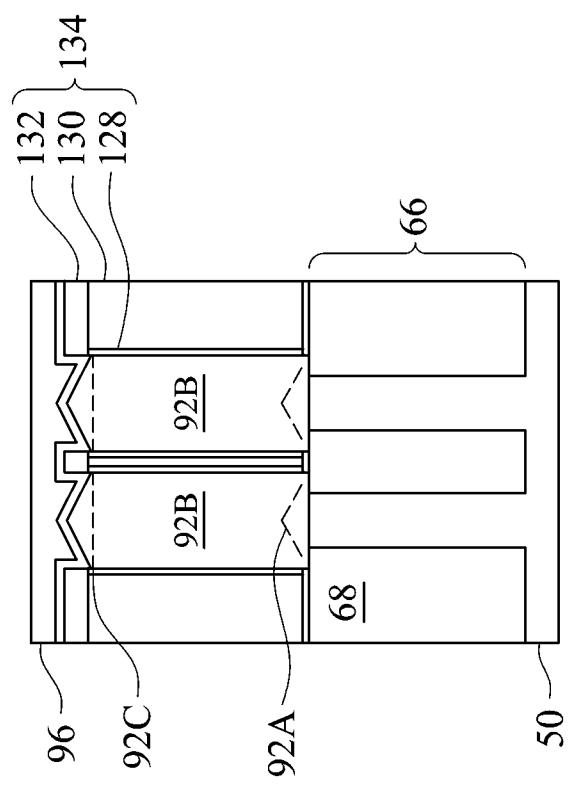


圖 20C

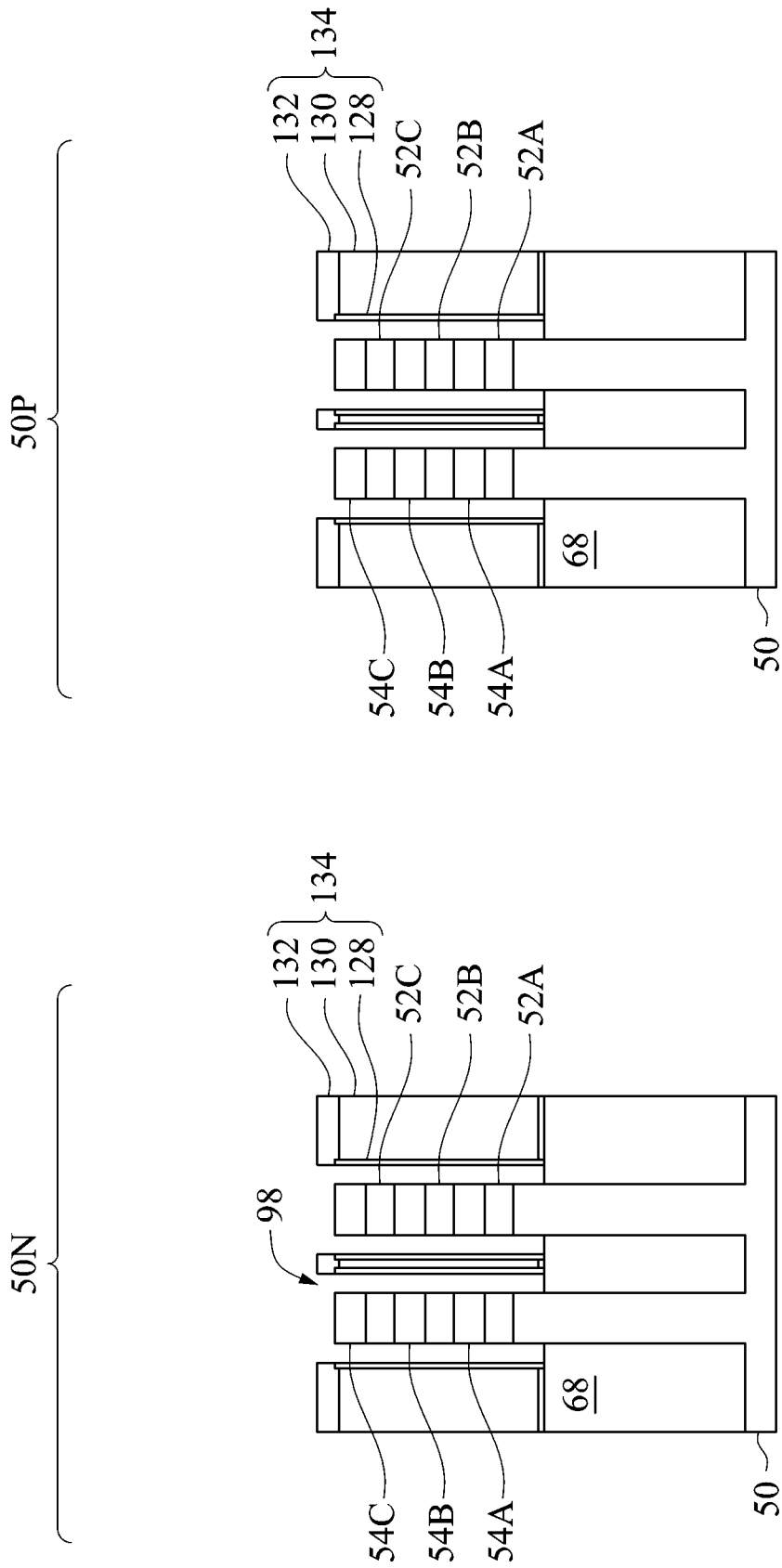


圖 21A

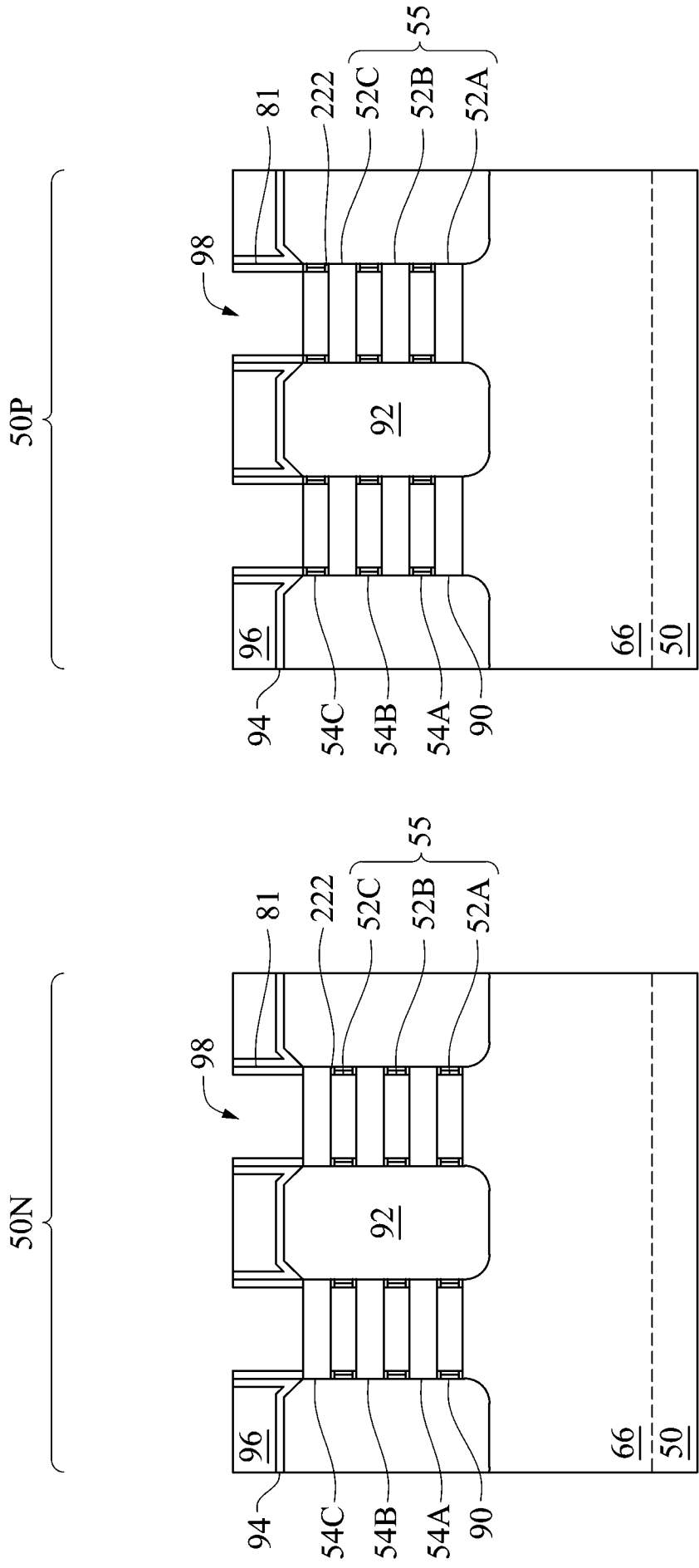


圖 21B

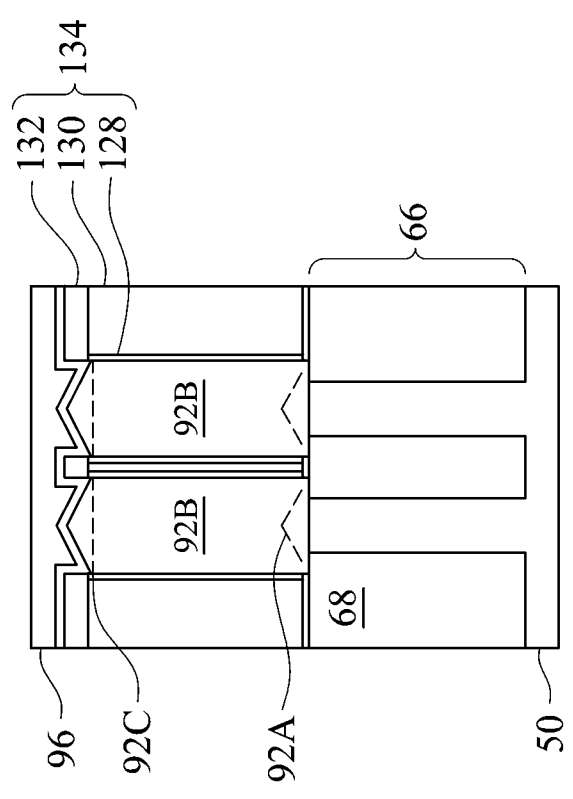


圖 21C

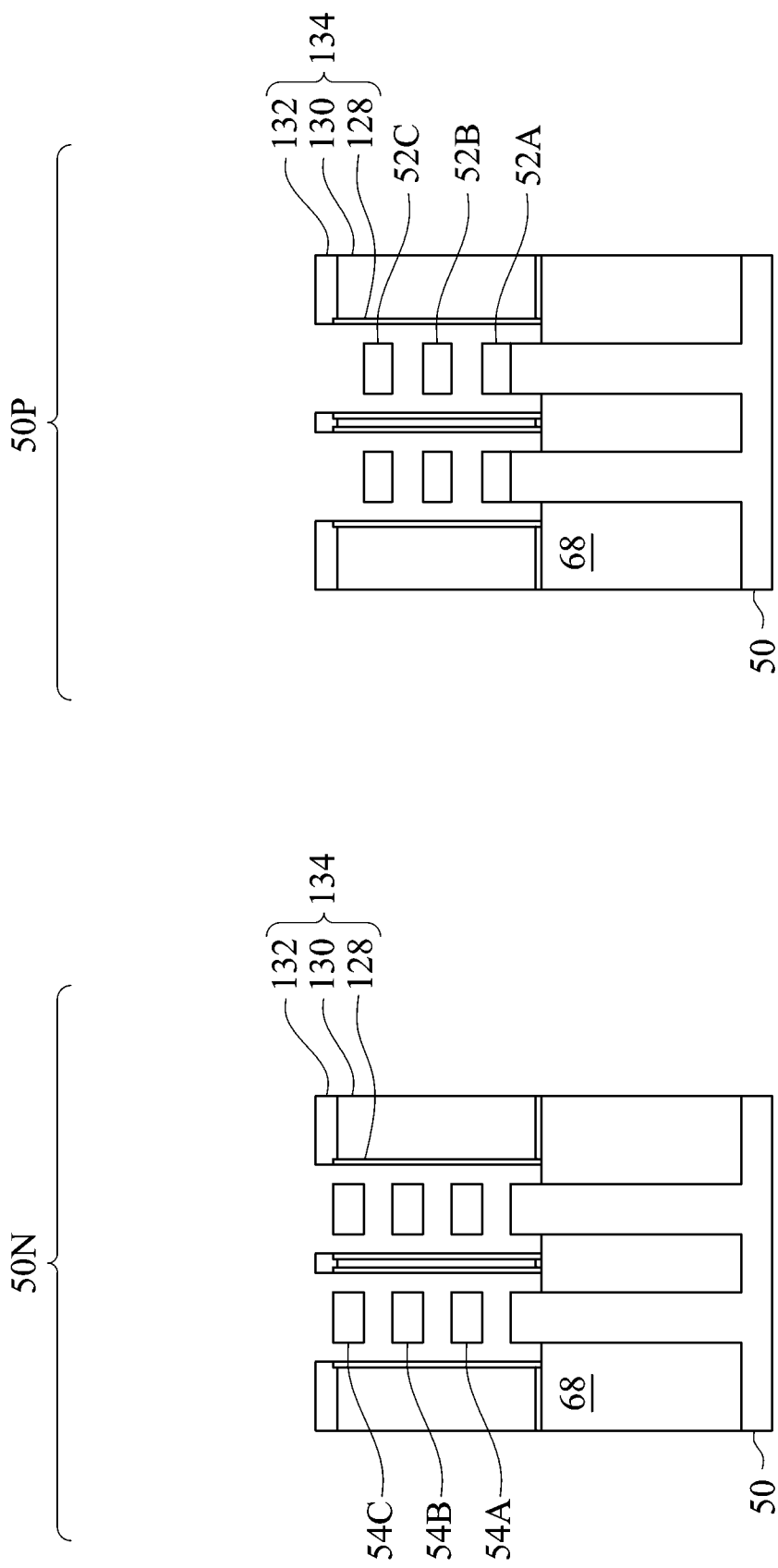


圖 22A

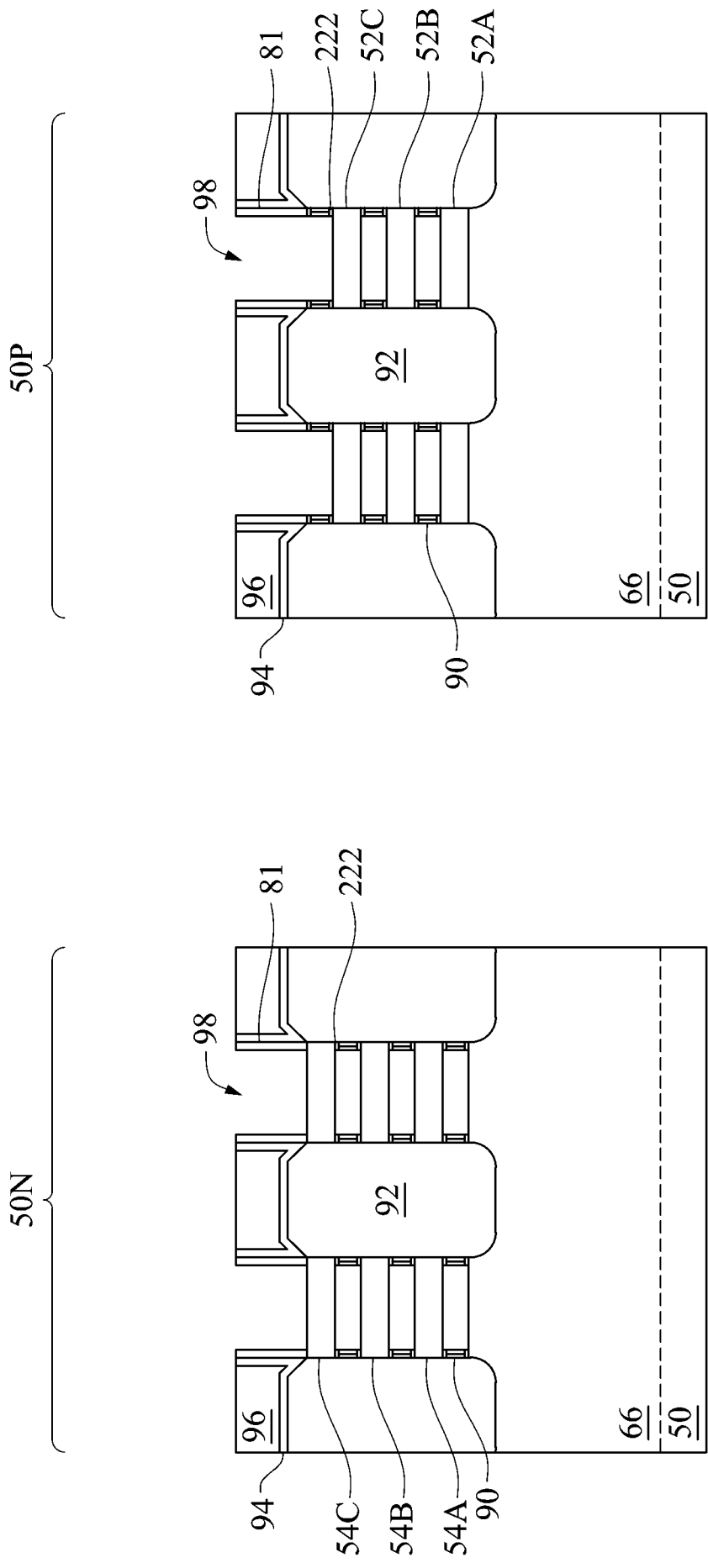


圖 22B

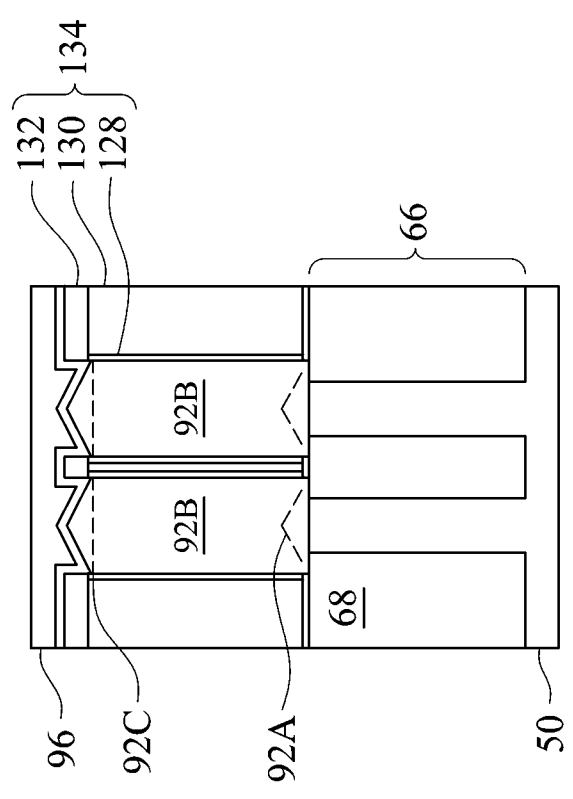


圖 22C

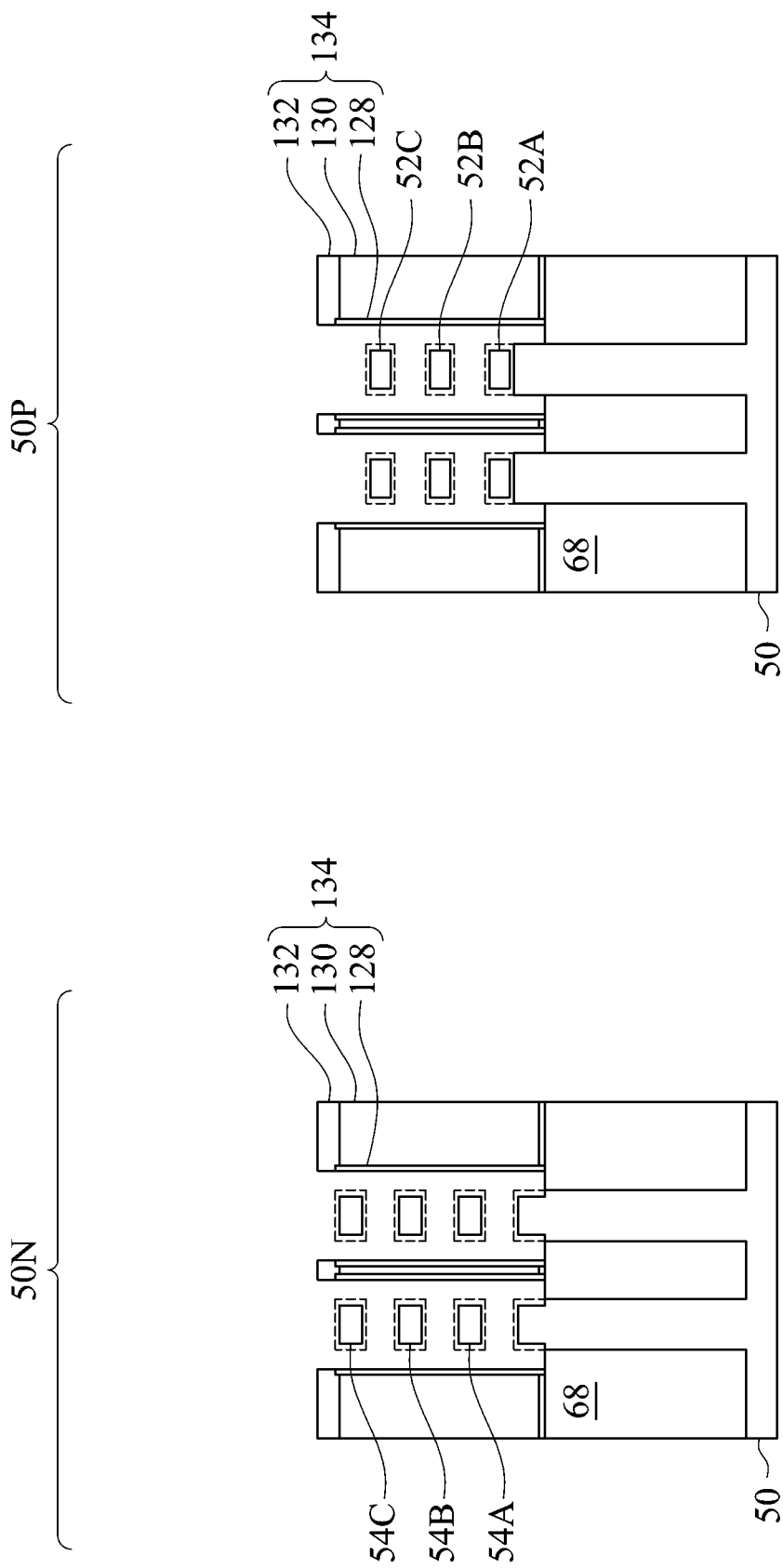


圖 23A

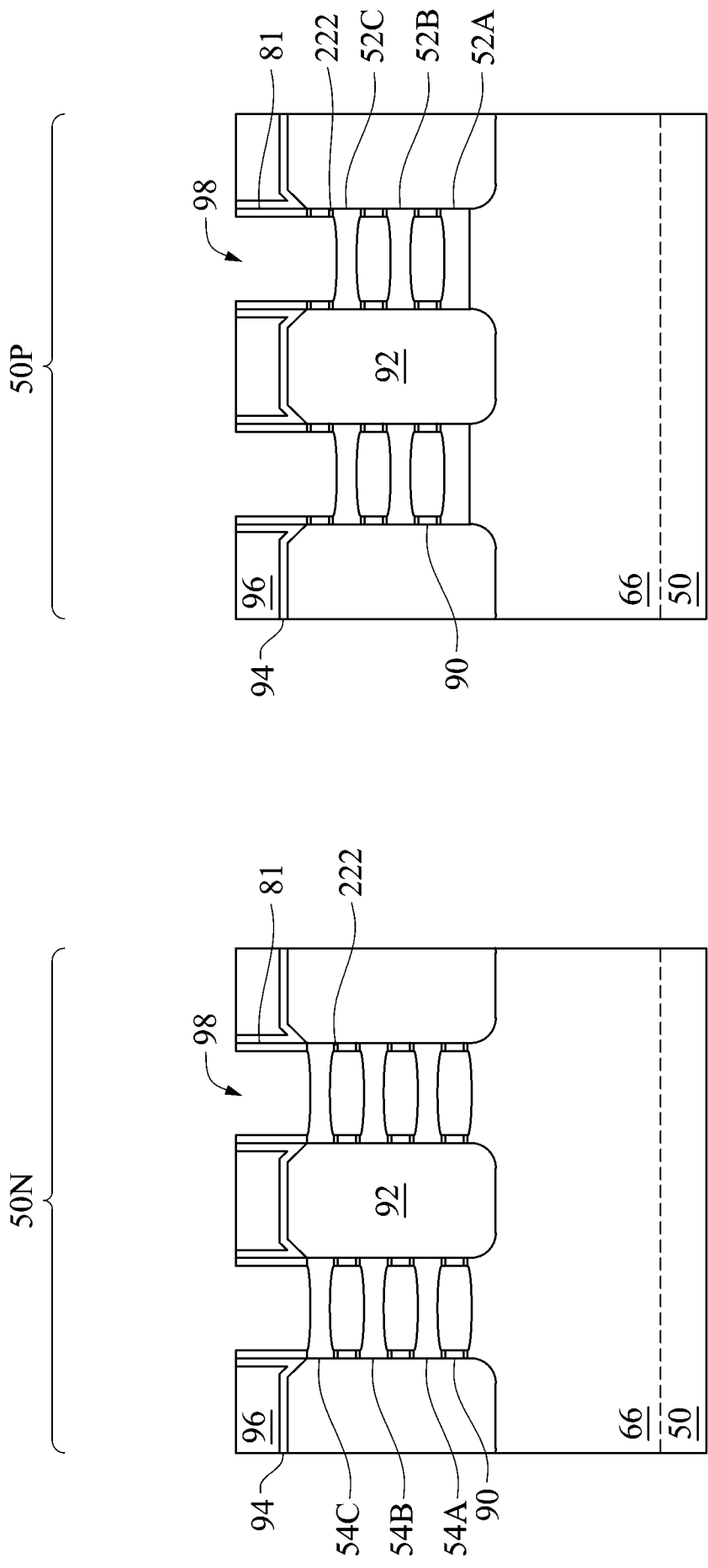


圖 23B

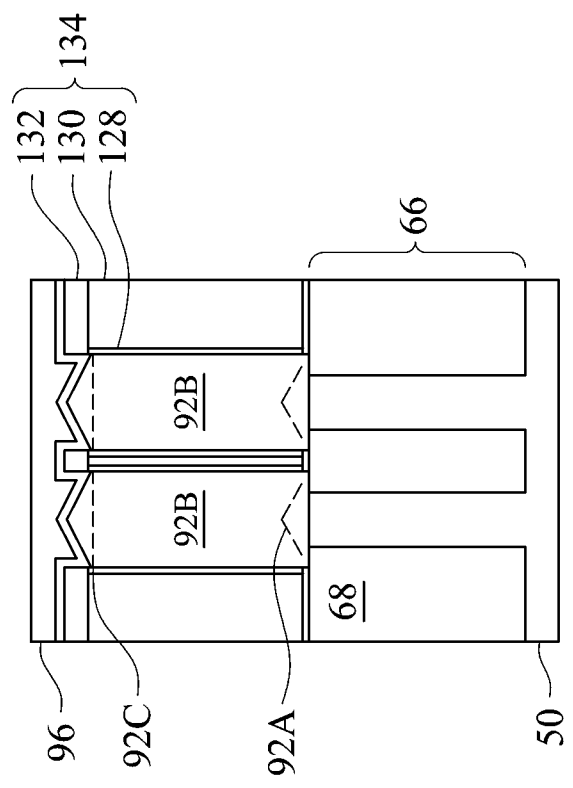


圖 23C

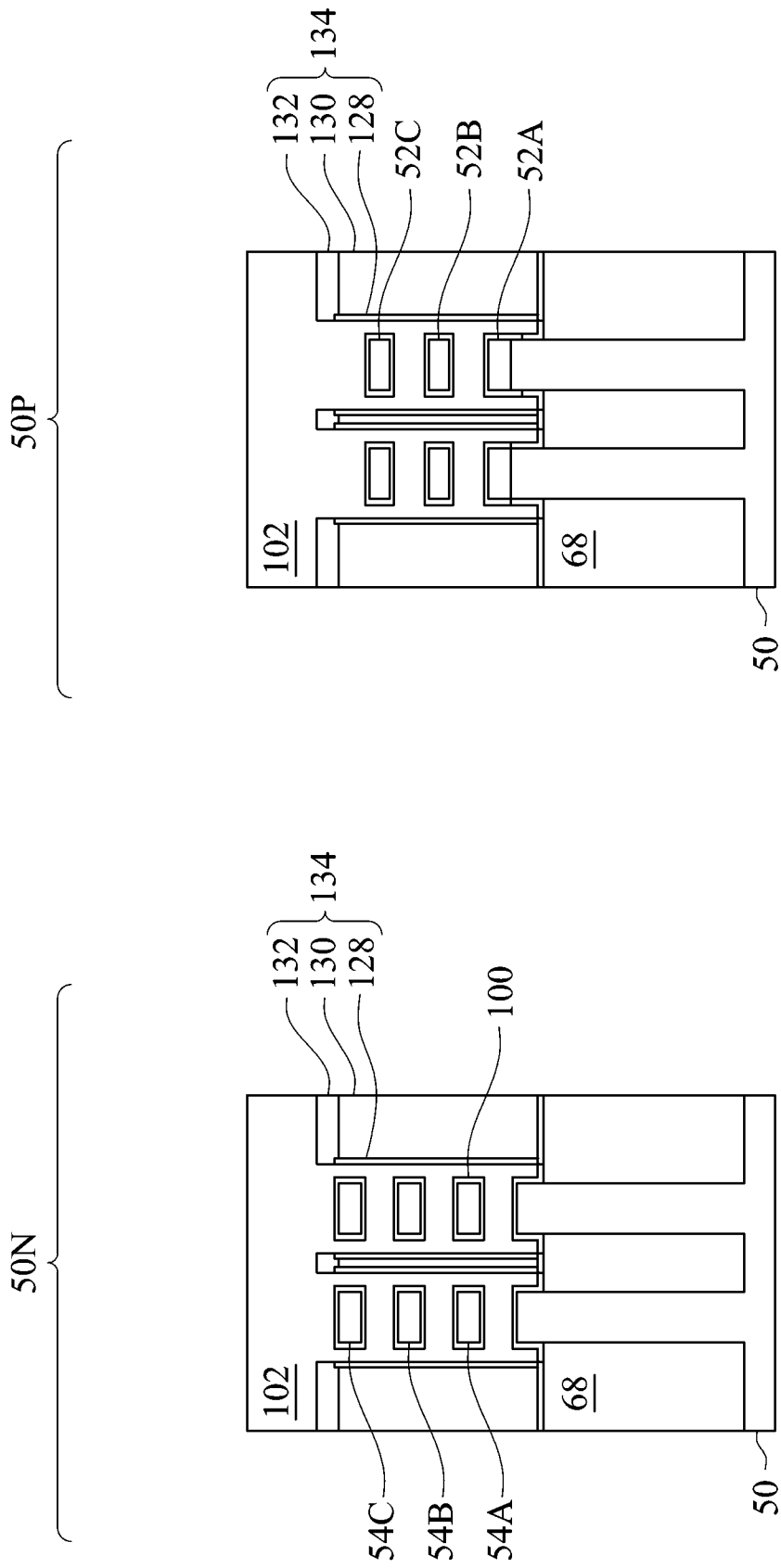


圖 24A

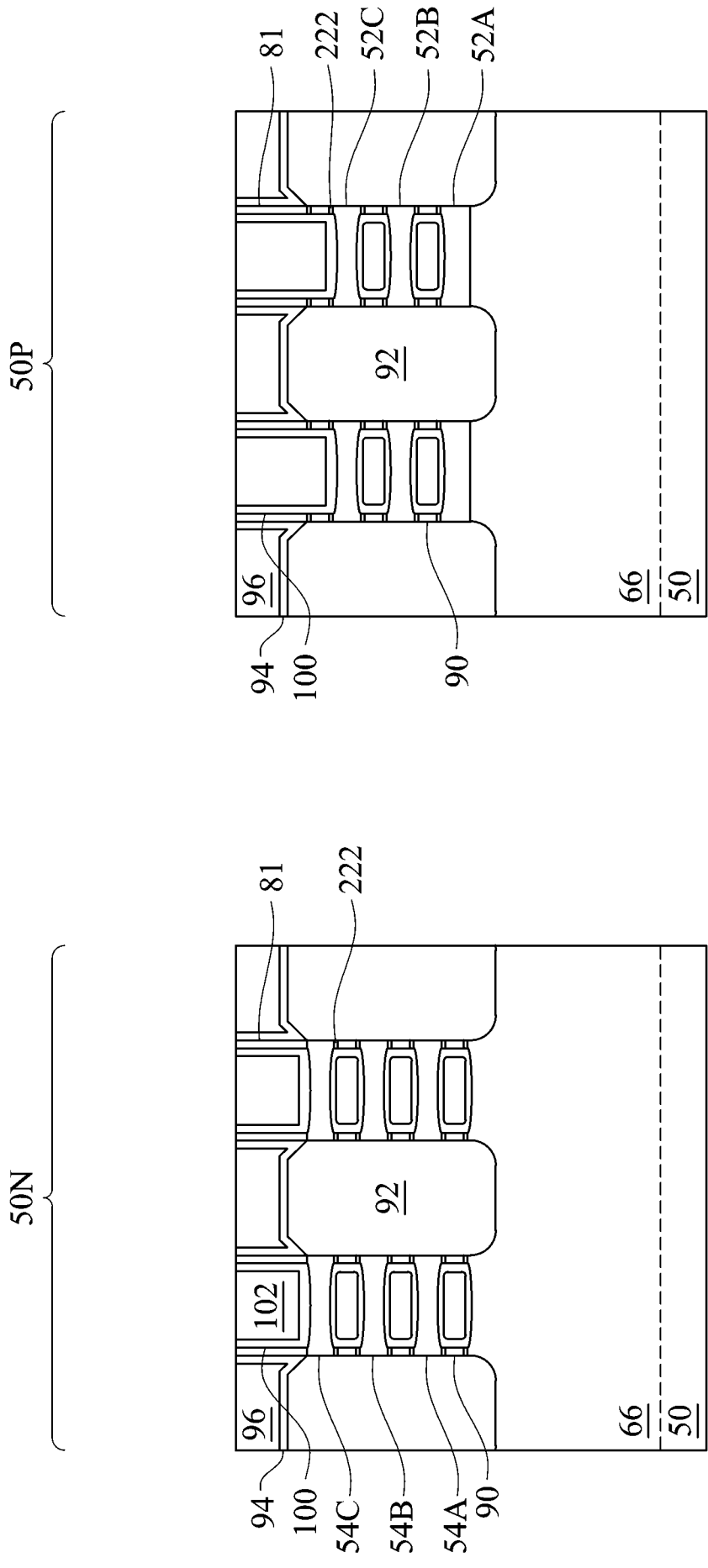


圖 24B

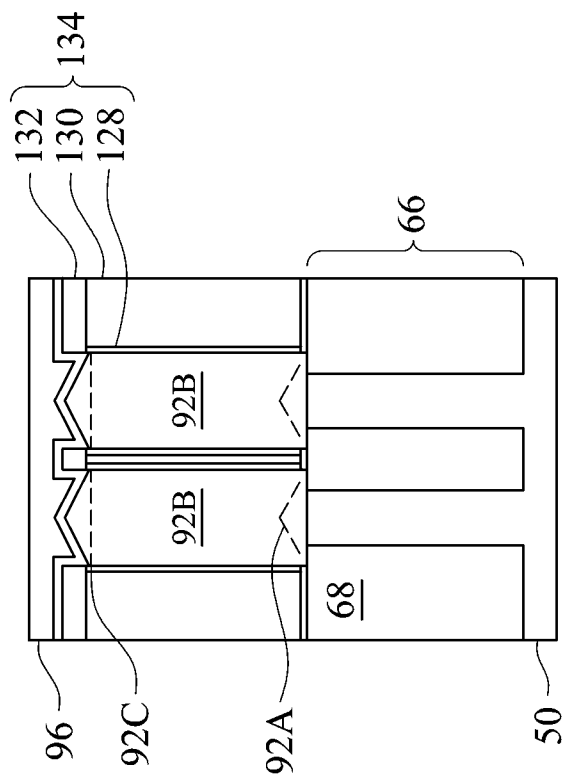


圖 24C

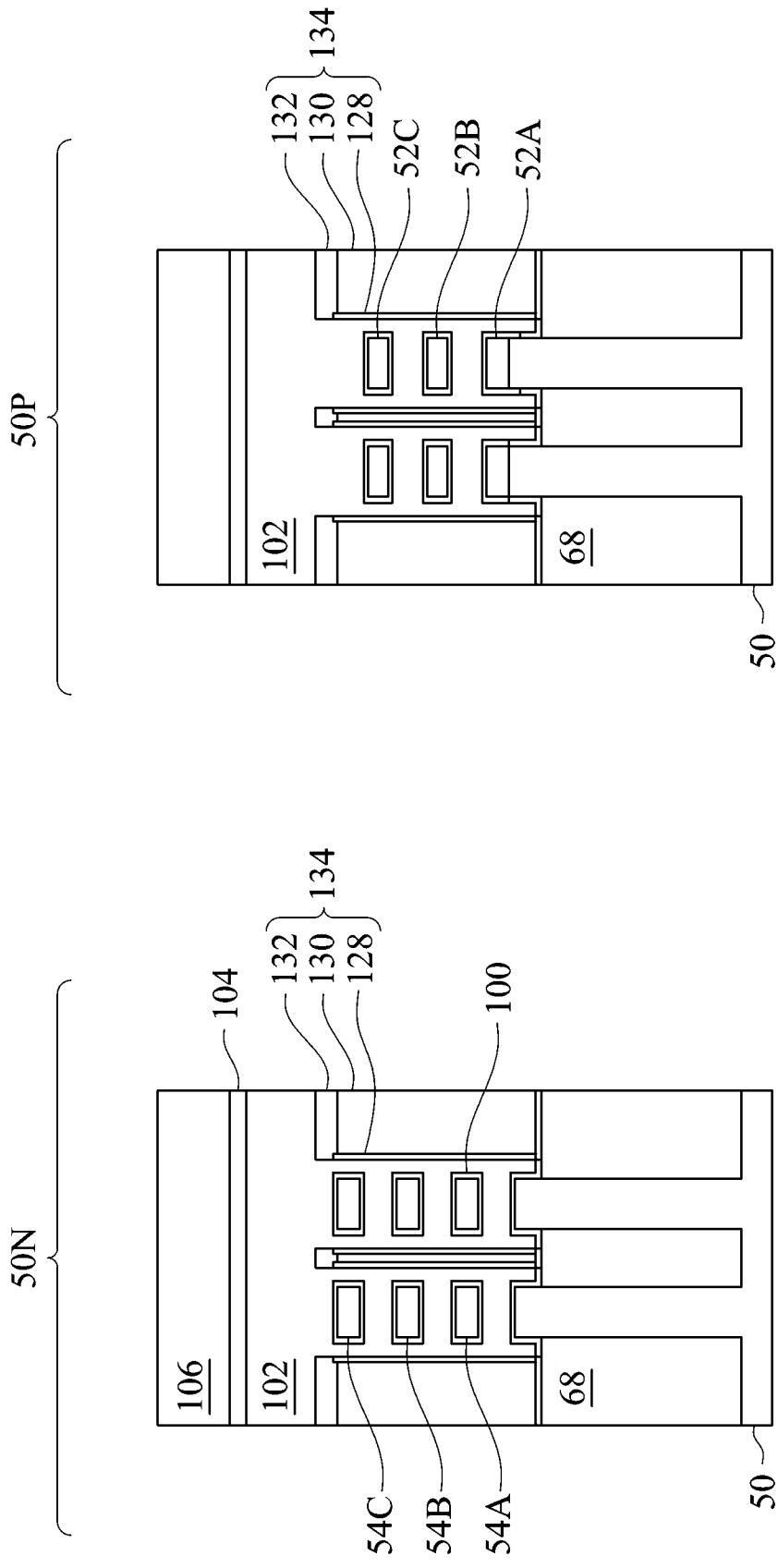


圖 25A

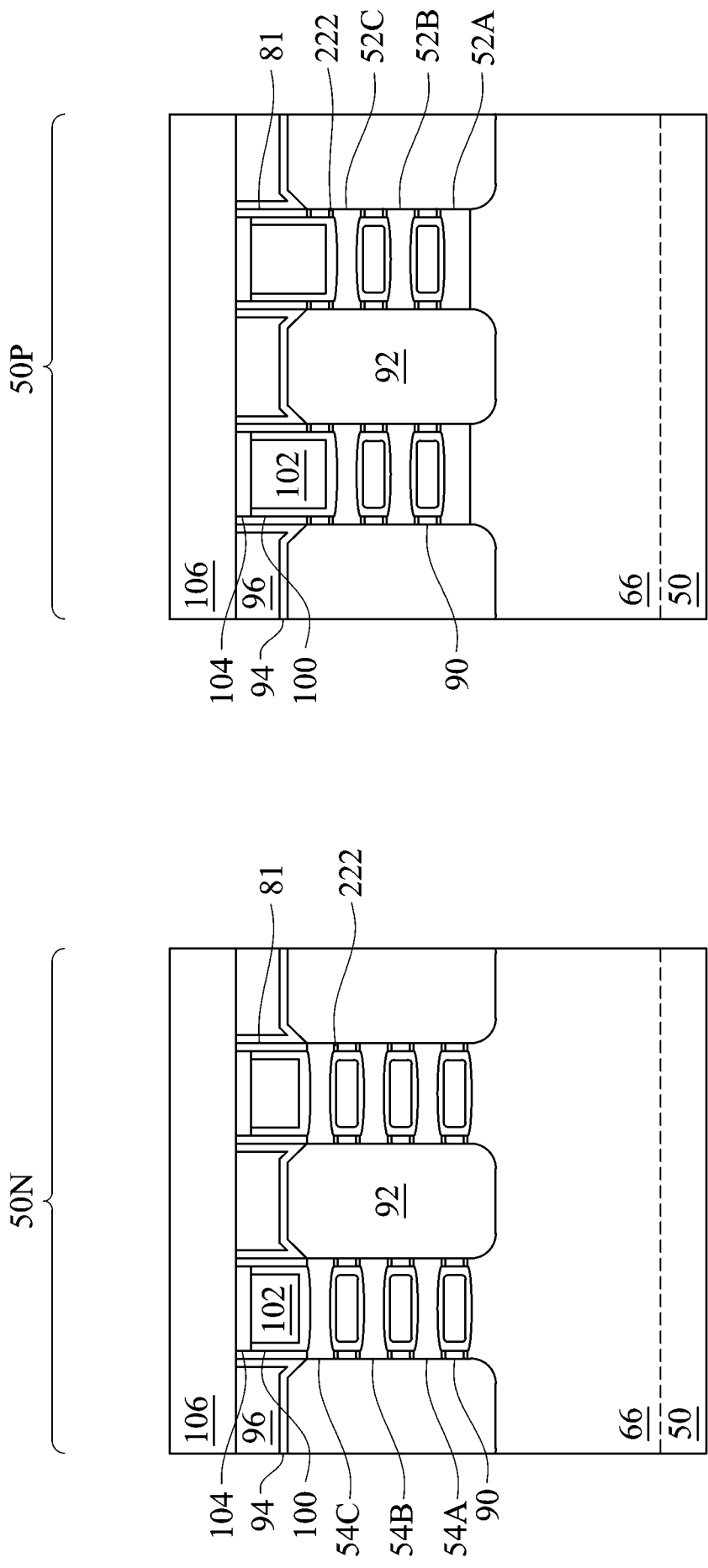


圖 25B

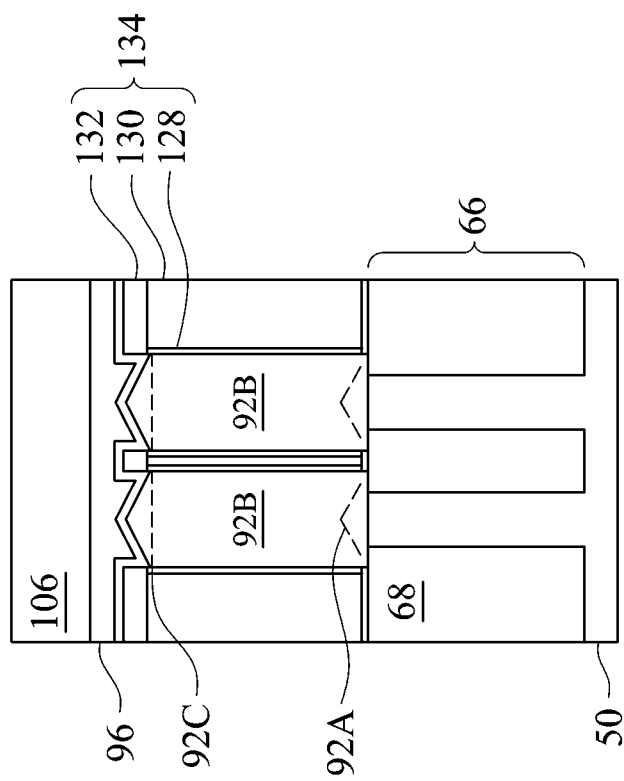


圖 25C

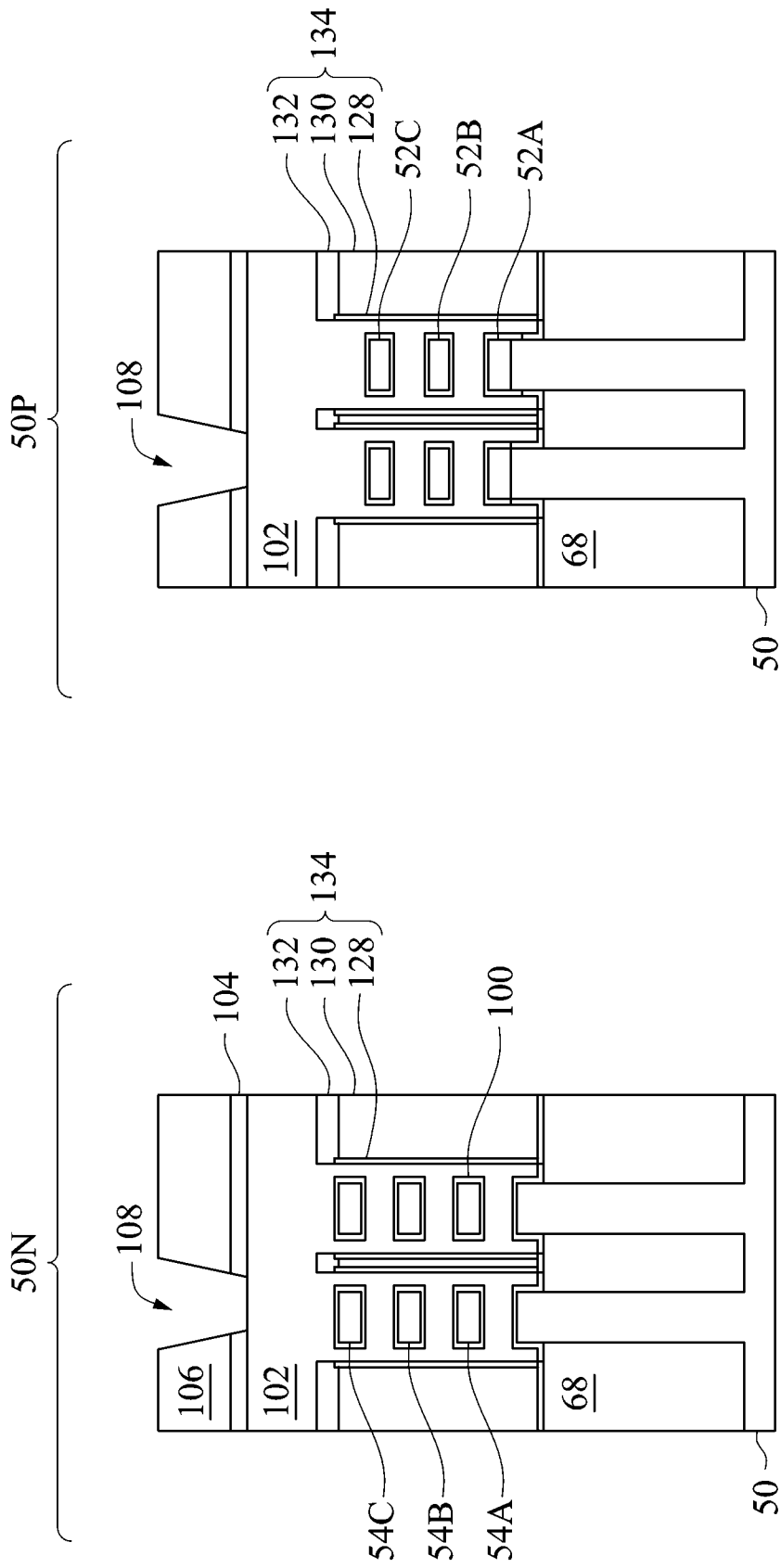


圖 26A

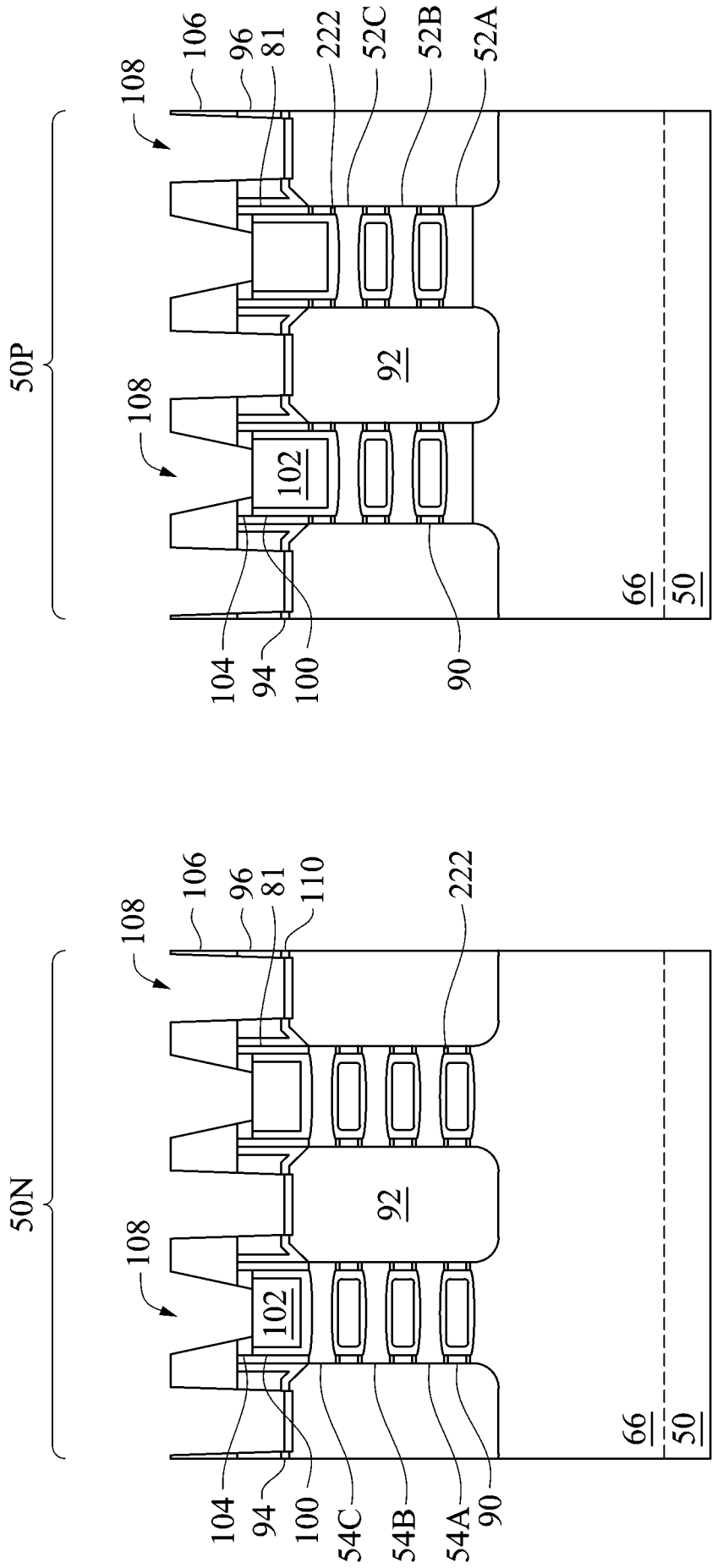


圖 26B

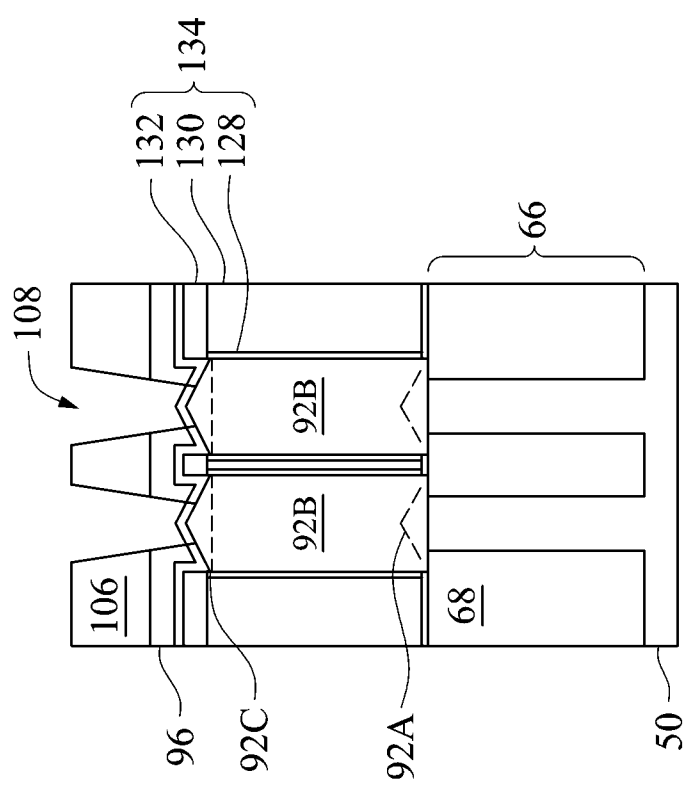


圖 26C

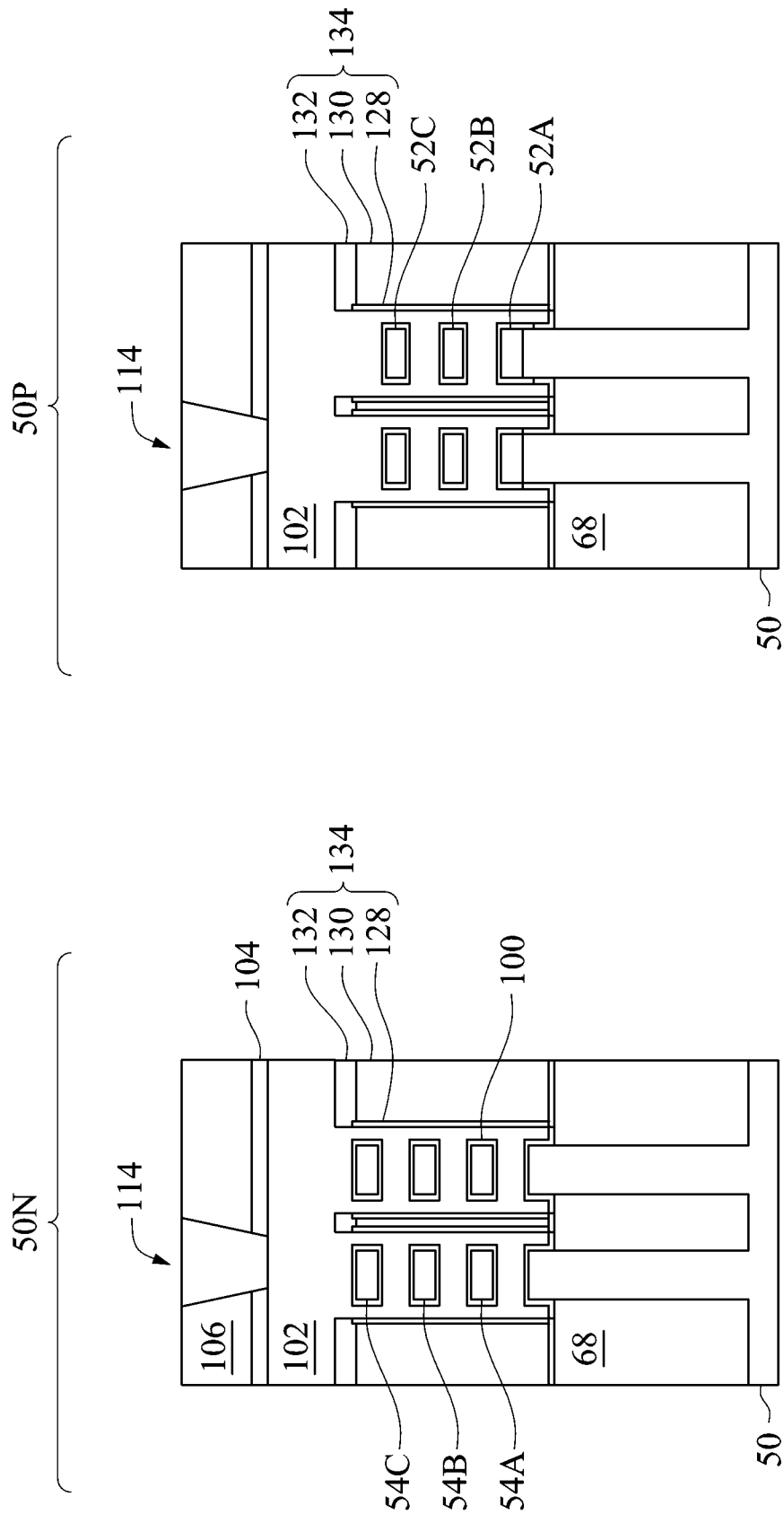


圖 27A

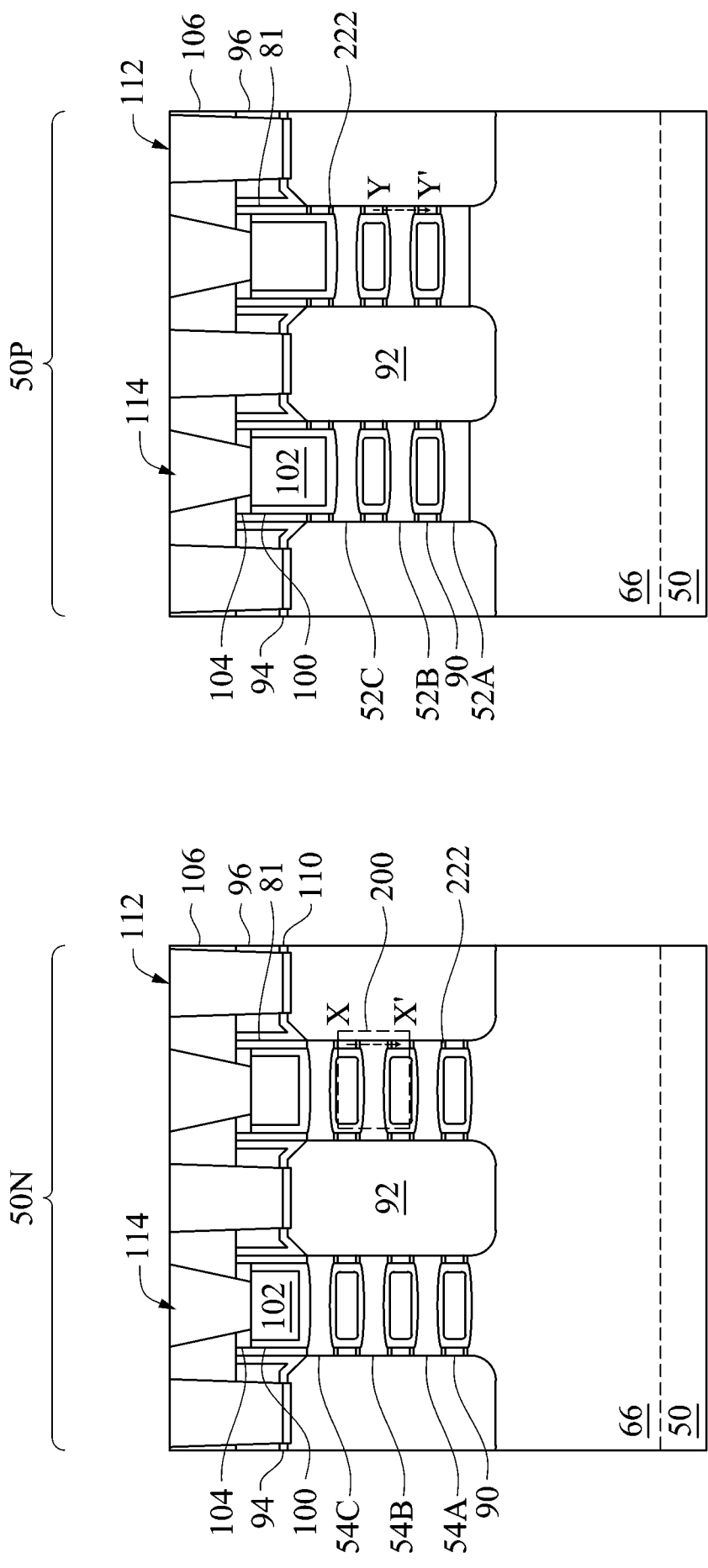


圖 27B

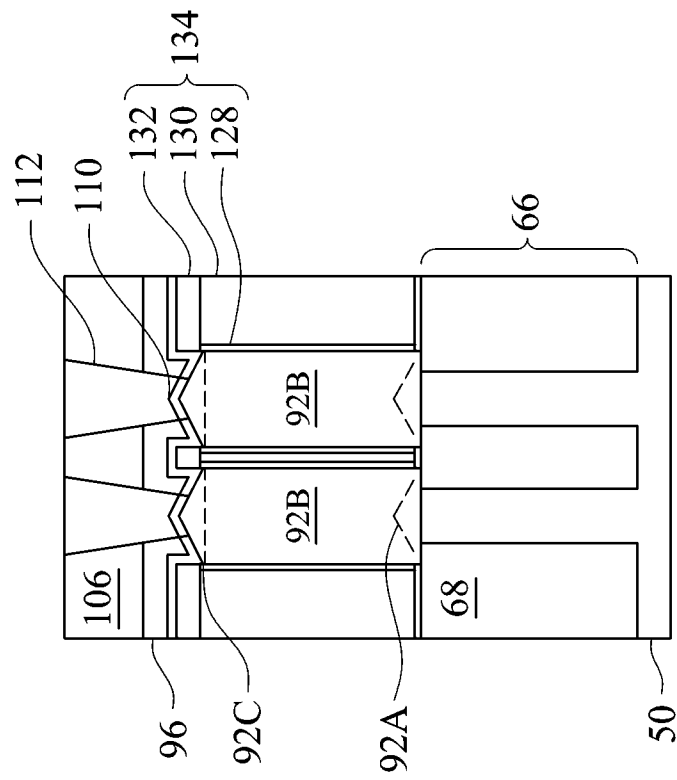


圖 27C

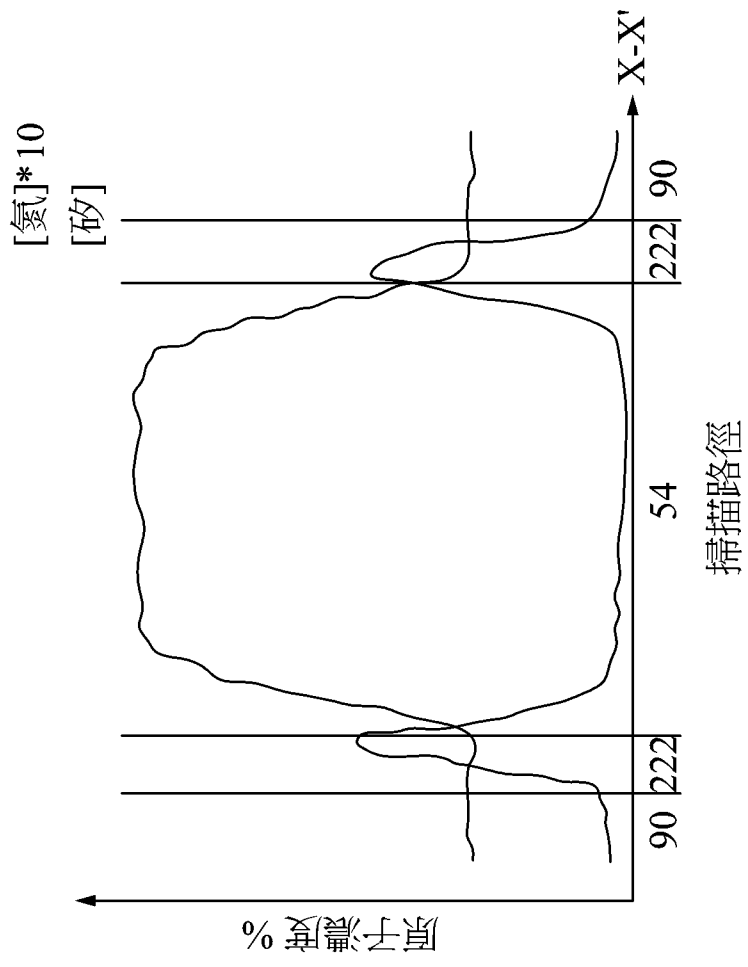


圖 27E

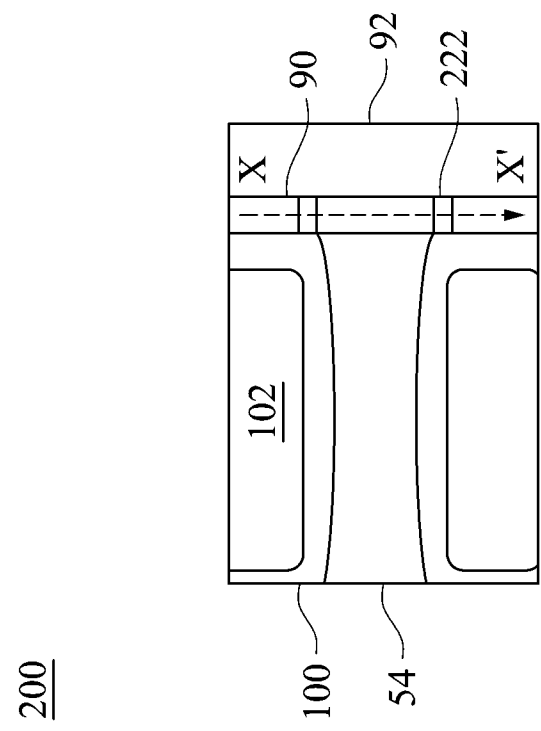


圖 27D

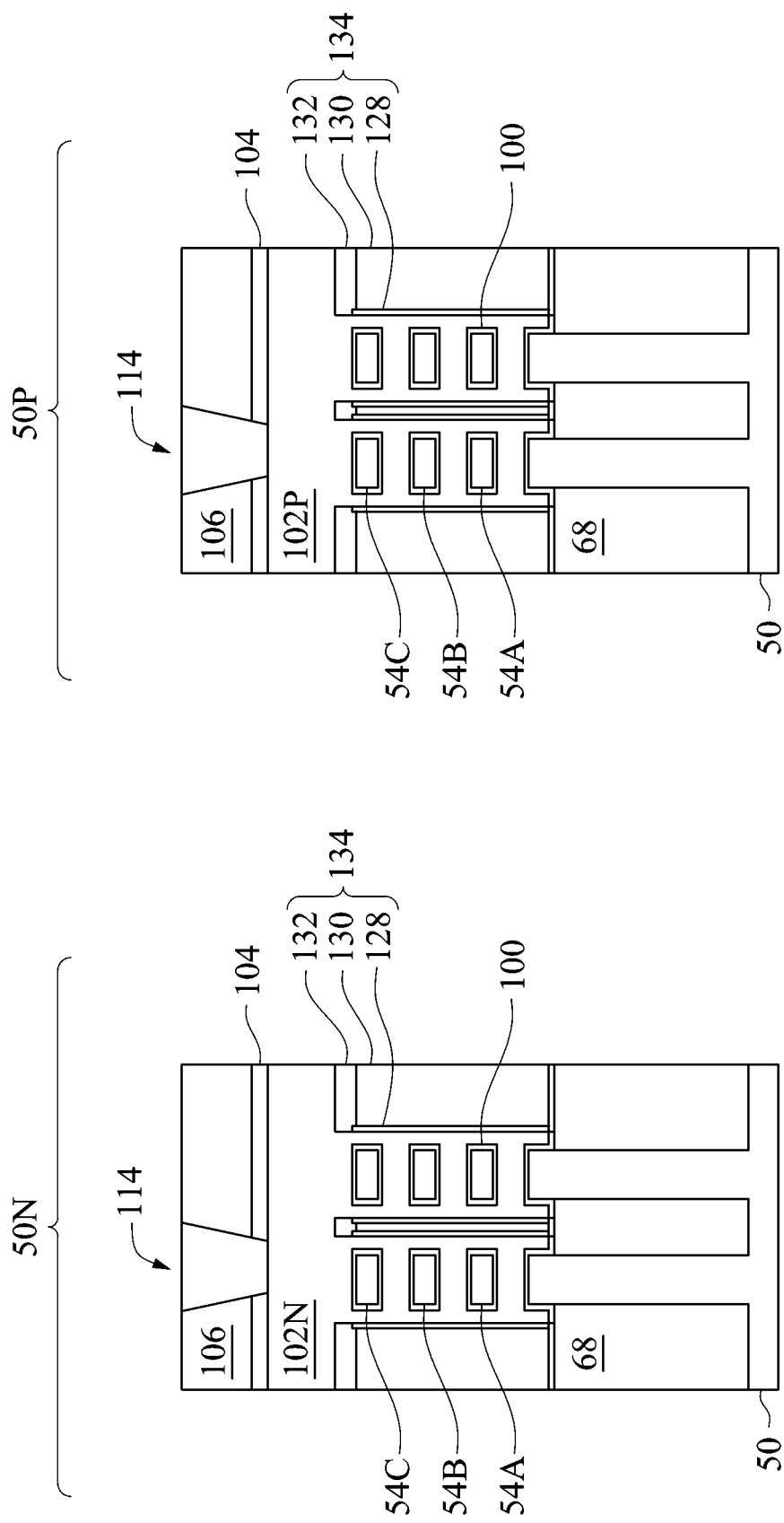


圖 28A

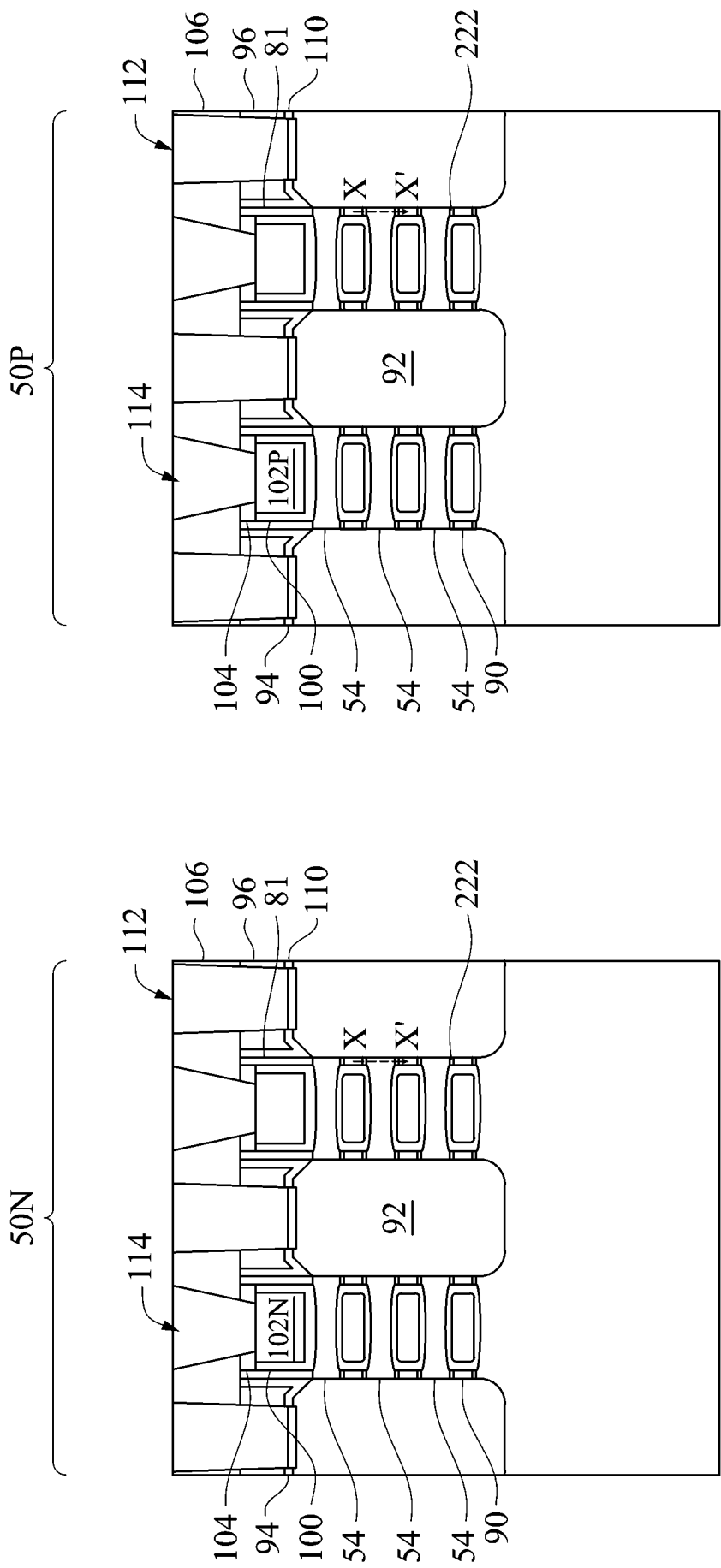


圖 28B

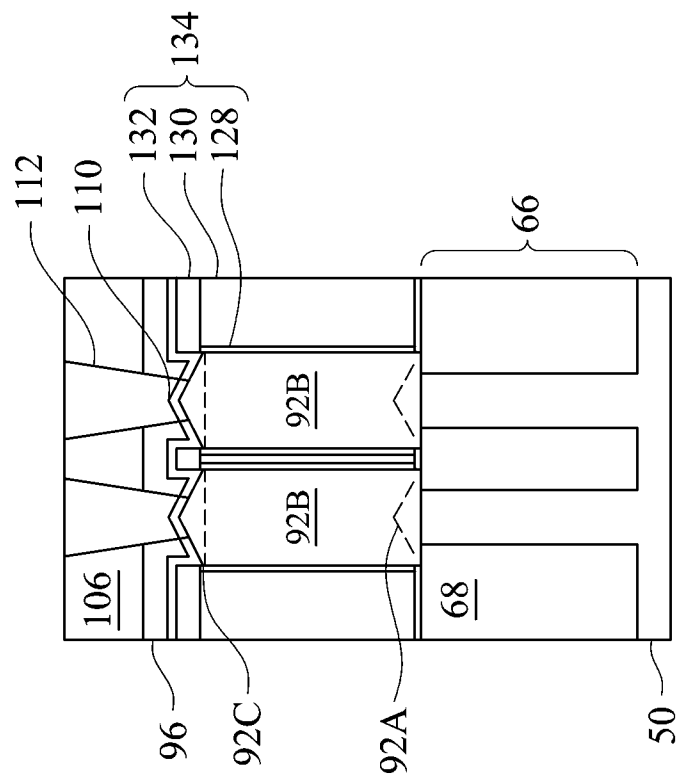


圖 28C