

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6539372号
(P6539372)

(45) 発行日 令和1年7月3日(2019.7.3)

(24) 登録日 令和1年6月14日(2019.6.14)

(51) Int. Cl. F I
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1368 (2006.01) GO2F 1/1368

請求項の数 13 (全 16 頁)

(21) 出願番号	特願2018-60192 (P2018-60192)	(73) 特許権者	502356528
(22) 出願日	平成30年3月27日 (2018.3.27)		株式会社ジャパンディスプレイ
(62) 分割の表示	特願2014-111502 (P2014-111502) の分割		東京都港区西新橋三丁目7番1号
原出願日	平成26年5月29日 (2014.5.29)	(74) 代理人	110001737 特許業務法人スズエ国際特許事務所
(65) 公開番号	特開2018-92204 (P2018-92204A)	(72) 発明者	廣澤 仁 東京都港区西新橋三丁目7番1号 株式会 社ジャパンディスプレイ内
(43) 公開日	平成30年6月14日 (2018.6.14)		
審査請求日	平成30年3月27日 (2018.3.27)	審査官	横井 亜矢子

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第1及び第2スイッチング素子と、第1方向に延出し前記第1及び第2スイッチング素子と電氣的に接続されるゲート配線と、前記第1方向と交差する第2方向に延出し前記第1スイッチング素子と電氣的に接続される第1ソース配線と、前記第2方向に延出し前記第1ソース配線と前記第1方向に間隔をあけて配置され前記第2スイッチング素子と電氣的に接続される第2ソース配線と、前記第1スイッチング素子と電氣的に接続された第1コンタクト部及び前記第1コンタクト部から前記第2方向に延出した第1長さの第1帯状電極を有する第1画素電極と、前記第2スイッチング素子と電氣的に接続された第2コンタクト部及び前記第2コンタクト部から前記第2方向に延出し前記第1長さとは異なる第2長さの第2帯状電極を有する第2画素電極と、を備えた第1基板と、

前記第1基板と対向する第2基板と、

前記第1基板と前記第2基板との間に保持された液晶層と、を備え、

前記ゲート配線は、前記第2画素電極に対応する位置において、前記第2帯状電極から離れる側に屈曲している屈曲部を有し、

前記第2ソース配線は、前記第1コンタクト部と前記第2コンタクト部との間に位置し、

前記第1コンタクト部及び前記第2コンタクト部は、平面視において、前記第2方向にずれて配置されている、表示装置。

【請求項2】

前記第 2 長さは前記第 1 長さよりも長い、請求項 1 に記載の表示装置。

【請求項 3】

前記第 2 帯状電極の本数は前記第 1 帯状電極の本数よりも多い、請求項 1 又は 2 に記載の表示装置。

【請求項 4】

前記第 1 基板は、さらに、第 3 スイッチング素子と、前記第 3 スイッチング素子と電気的に接続された第 3 コンタクト部及び前記第 3 コンタクト部から延出し前記第 1 及び第 2 長さとは異なる第 3 長さの第 3 帯状電極を有する第 3 画素電極と、を備えた、請求項 1 乃至 3 のいずれか 1 項に記載の表示装置。

【請求項 5】

前記第 3 画素電極は、前記第 2 画素電極と前記第 2 方向に並んで配置されており、前記ゲート配線は、前記第 2 画素電極と前記第 3 画素電極との間に位置している、請求項 4 に記載の表示装置。

【請求項 6】

前記第 3 長さは、前記第 1 及び前記第 2 長さよりも短い、請求項 4 に記載の表示装置。

【請求項 7】

前記屈曲部は、前記第 2 画素電極に対応する位置において、前記第 3 画素電極側に屈曲している、請求項 4 に記載の表示装置。

【請求項 8】

第 1 方向に延出する第 1 ゲート配線と、前記第 1 方向に延出し前記第 1 ゲート配線と前記第 1 方向と交差する第 2 方向に間隔をあけて配置される第 2 ゲート配線と、前記第 2 方向に延出するソース配線と、前記第 1 ゲート配線及び前記ソース配線に電気的に接続する第 1 スイッチング素子と、前記第 2 ゲート配線及び前記ソース配線に電気的に接続する第 2 スイッチング素子と、前記第 1 スイッチング素子に電気的に接続された第 1 コンタクト部及び前記第 1 コンタクト部から前記第 2 方向に延出した第 1 長さの第 1 帯状電極を有する第 1 画素電極と、前記第 2 スイッチング素子と電気的に接続された第 2 コンタクト部及び前記第 2 コンタクト部から前記第 2 方向に延出し前記第 1 長さとは異なる第 2 長さの第 2 帯状電極を有する第 2 画素電極と、を備えた第 1 基板と、

前記第 1 基板と対向する第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備え、

前記第 1 ゲート配線は、前記第 1 画素電極と前記第 2 画素電極との間に配置され、前記第 2 画素電極に向かって屈曲している屈曲部を有し、

前記第 1 長さは、前記第 2 長さよりも長い、表示装置。

【請求項 9】

前記第 1 基板は、さらに、前記第 1 ゲート配線に電気的に接続された第 3 スイッチング素子と、前記第 3 スイッチング素子と電気的に接続された第 3 コンタクト部及び前記第 3 コンタクト部から延出し前記第 1 及び第 2 長さとは異なる第 3 長さの第 3 帯状電極を有する第 3 画素電極と、を備えた、請求項 8 に記載の表示装置。

【請求項 10】

前記第 3 画素電極は、前記第 1 画素電極と前記第 1 方向に並んで配置され、前記第 1 コンタクト部と前記第 3 コンタクト部は、平面視において、前記第 2 方向にずれて配置されている、請求項 9 に記載の表示装置。

【請求項 11】

前記第 3 長さは、前記第 1 長さよりも短く、前記第 2 長さよりも長い、請求項 9 に記載の表示装置。

【請求項 12】

前記第 1 スイッチング素子、前記第 2 スイッチング素子、及び、前記第 3 スイッチング素子は、同一構造を有している、請求項 4 に記載の表示装置。

【請求項 13】

前記第 1 スイッチング素子、前記第 2 スイッチング素子、及び、前記第 3 スイッチング

10

20

30

40

50

素子は、同一構造を有している、請求項 9 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、IPS (In-Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した液晶表示装置が実用化されている。このような横電界モードの液晶表示装置は、一方の基板に形成された画素電極及び共通電極を備えている。

10

【0003】

このような横電界モードの液晶表示装置において、各色の画素が色毎に異なる画素面積を有し、各画素面積に対する画素電極の面積比が異なる構成により、各色表示の画素の特性を均一化する技術が知られている。また、赤色、緑色、青色の各副画素に加えて白色副画素を追加し、赤色及び青色の各副画素の面積を緑色及び白色の各副画素の面積に略 2 倍とし、緑色及び白色の各副画素の数を赤色及び青色の各副画素の 2 倍とするレイアウトを適用することで、配線数を増やさず、解像度の低下を軽減する技術が知られている。

【先行技術文献】

【特許文献】

20

【0004】

【特許文献 1】特開 2009 - 109820 号公報

【特許文献 2】特開 2012 - 118538 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位を向上することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

30

本実施形態によれば、

第 1 及び第 2 スイッチング素子と、第 1 方向に延出し前記第 1 及び第 2 スイッチング素子と電氣的に接続されるゲート配線と、前記第 1 方向と交差する第 2 方向に延出し前記第 1 スイッチング素子と電氣的に接続される第 1 ソース配線と、前記第 2 方向に延出し前記第 1 ソース配線と前記第 1 方向に間隔をあけて配置され前記第 2 スイッチング素子と電氣的に接続される第 2 ソース配線と、前記第 1 スイッチング素子と電氣的に接続された第 1 コンタクト部及び前記第 1 コンタクト部から前記第 2 方向に延出した第 1 長さの第 1 帯状電極を有する第 1 画素電極と、前記第 2 スイッチング素子と電氣的に接続された第 2 コンタクト部及び前記第 2 コンタクト部から前記第 2 方向に延出し前記第 1 長さとは異なる第 2 長さの第 2 帯状電極を有する第 2 画素電極と、を備えた第 1 基板と、前記第 1 基板と対向する第 2 基板と、を備え、前記ゲート配線は、前記第 2 画素電極に対応する位置において、前記第 2 帯状電極から離れる側に屈曲している屈曲部を有し、前記第 2 ソース配線は、前記第 1 コンタクト部と前記第 2 コンタクト部との間に位置し、前記第 1 コンタクト部及び前記第 2 コンタクト部は、平面視において、前記第 2 方向にずれて配置されている、表示装置が提供される。

40

本実施形態によれば、

第 1 方向に延出する第 1 ゲート配線と、前記第 1 方向に延出し前記第 1 ゲート配線と前記第 1 方向と交差する第 2 方向に間隔をあけて配置される第 2 ゲート配線と、前記第 2 方向に延出するソース配線と、前記第 1 ゲート配線及び前記ソース配線に電氣的に接続する第 1 スイッチング素子と、前記第 2 ゲート配線及び前記ソース配線に電氣的に接続する第

50

2スイッチング素子と、前記第1スイッチング素子に電氣的に接続された第1コンタクト部及び前記第1コンタクト部から前記第2方向に延出した第1長さの第1帯状電極を有する第1画素電極と、前記第2スイッチング素子と電氣的に接続された第2コンタクト部及び前記第2コンタクト部から前記第2方向に延出し前記第1長さとは異なる第2長さの第2帯状電極を有する第2画素電極と、を備えた第1基板と、前記第1基板と対向する第2基板と、を備え、前記第1ゲート配線は、前記第1画素電極と前記第2画素電極との間に配置され、前記第2画素電極に向かって屈曲している屈曲部を有し、前記第1長さは、前記第2長さよりも長い、表示装置が提供される。

【図面の簡単な説明】

【0007】

【図1】図1は、本実施形態の表示装置を構成する液晶表示パネルLPNの構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示したアレイ基板ARにおける画素の第1構成例を対向基板の側から見た概略平面図である。

【図3】図3は、図2に示したスイッチング素子SW2及びSW3の構造例を概略的に示す平面図である。

【図4】図4は、本実施形態における各画素とカラーフィルタとのレイアウトの一例を概略的に示す平面図である。

【図5】図5は、図2に示した画素PX1乃至PX6を含む液晶表示パネルLPNの構成を概略的に示す断面図である。

【図6】図6は、図1に示したアレイ基板ARにおける画素の第2構成例を対向基板の側から見た概略平面図である。

【図7】図7は、図1に示したアレイ基板ARにおける画素の第3構成例を対向基板の側から見た概略平面図である。

【発明を実施するための形態】

【0008】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0009】

図1は、本実施形態の液晶表示装置を構成する液晶表示パネルLPNの構成及び等価回路を概略的に示す図である。

【0010】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向配置された第2基板である対向基板CTと、アレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。アクティブエリアACTは、アレイ基板ARと対向基板CTとの間に液晶層LQが保持された領域に相当し、例えば、四角形状であり、マトリクス状に配置された複数の画素PXによって構成されている。

【0011】

アレイ基板ARは、アクティブエリアACTにおいて、ゲート配線G(G1~Gn)、ソース配線S(S1~Sm)、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。ゲート配線G(G1~Gn)は、それぞれ概ね第1方向Xに沿って延出し、第1方向Xに交差する第2方向Yに並んでいる。ソース配線S(S1~Sm)は、それぞれ概ね第2方向Yに沿って延出し、第1方向Xに並んでいる。なお、ゲート配線G及びソース配線Sは、後述するように、画素レイアウトあるいは画素形状に合わせて屈曲していてもよい。スイッチング素子SWは、各画素PXにおいてゲート配線G及びソース配線Sと電氣的に接続されている。画素電極PEは、各画素PXにおいてスイッチング素子SWに電氣的に接続されている。共通電極CEは、アクティブエリアACTにおいて、複数

10

20

30

40

50

の画素 P X に亘って共通に形成され、各画素電極 P E と向かい合っている。蓄積容量 C S は、例えば、共通電極 C E と画素電極 P E との間に形成される。

【 0 0 1 2 】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、第 1 駆動回路 G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、第 2 駆動回路 S D に接続されている。第 1 駆動回路 G D 及び第 2 駆動回路 S D は、例えばその少なくとも一部がアレイ基板 A R に形成され、駆動 I C チップ 2 と接続されている。駆動 I C チップ 2 は、第 1 駆動回路 G D 及び第 2 駆動回路 S D を制御するコントローラを内蔵し、液晶表示パネル L P N を駆動するのに必要な信号を供給する信号供給源として機能する。図示した例では、駆動 I C チップ 2 は、アクティブエリア A C T の外側において、アレイ基板 A R に実装されている。共通電極 C E は、アクティブエリア A C T の外側に引き出され、給電部 V S に接続されている。給電部 V S は、共通電極 C E に対してコモン電位を供給する。

10

【 0 0 1 3 】

図 2 は、図 1 に示したアレイ基板 A R における画素の第 1 構成例を対向基板の側から見た概略平面図である。なお、ここでは、横電界モードを適用した画素構造を例に説明するが、図中には説明に必要な主要部のみを図示している。

【 0 0 1 4 】

アレイ基板 A R は、ゲート配線 G 1 乃至 G 2、ソース配線 S 1 乃至 S 4、スイッチング素子 S W 1 乃至 S W 6、共通電極 C E、画素電極 P E 1 乃至 P E 6、第 1 配向膜 A L 1 などを備えている。

20

【 0 0 1 5 】

ゲート配線 G 1 乃至 G 2 は、第 1 方向 X に沿ってそれぞれ延出している。ソース配線 S 1 乃至 S 4 は、概ね第 2 方向 Y に沿ってそれぞれ延出し、ゲート配線 G 1 乃至 G 2 と交差している。ソース配線 S 1 とソース配線 S 2 とのピッチ P T 1、及び、ソース配線 S 2 とソース配線 S 3 とのピッチ P T 2 は、ほぼ同等である。ソース配線 S 3 とソース配線 S 4 とのピッチ P T 3 は、ピッチ P T 1 及びピッチ P T 2 よりも大きい。

【 0 0 1 6 】

第 1 方向 X に並んだ画素 P X 1 乃至 P X 3 は互いに異なる色の色画素であり、また、画素 P X 4 乃至 P X 6 も互いに異なる色の色画素である。第 2 方向 Y に並んだ画素 P X 1 及び P X 4 は同一色の画素であり、例えば赤色 (R) 画素である。第 2 方向 Y に並んだ画素 P X 2 及び P X 5 は同一色の画素であり、例えば緑色 (G) 画素である。第 2 方向 Y に並んだ画素 P X 3 及び P X 6 は互いに異なる色の画素であり、例えば画素 P X 3 が青色 (B) 画素であり、画素 P X 6 が白色 (W) 画素である。画素 P X 1 及び画素 P X 4 は、ソース配線 S 1 及びソース配線 S 2 の間に位置している。画素 P X 2 及び画素 P X 5 は、ソース配線 S 2 及びソース配線 S 3 の間に位置している。画素 P X 3 及び画素 P X 6 は、ソース配線 S 3 及びソース配線 S 4 の間に位置している。

30

【 0 0 1 7 】

画素 P X 1 乃至 P X 3 は、第 2 方向 Y に対して時計回りに鋭角に交差する第 1 延出方向 D 1 に延出している。各画素 P X 1 乃至 P X 3 の両側に位置するソース配線 S 1 乃至 S 4 はいずれも第 1 延出方向 D 1 に延出している。画素 P X 4 乃至 P X 6 は、第 2 方向 Y に対して反時計回りに鋭角に交差する第 2 延出方向 D 2 に延出している。各画素 P X 4 乃至 P X 6 の両側に位置するソース配線 S 1 乃至 S 4 はいずれも第 2 延出方向 D 2 に延出している。なお、第 2 方向 Y と第 1 延出方向 D 1 とのなす角度 θ_1 は、第 2 方向 Y と第 2 延出方向 D 2 とのなす角度 θ_2 とほぼ同一である。

40

【 0 0 1 8 】

共通電極 C E は、アレイ基板 A R の略全域に亘って延在し、画素 P X 1 乃至 P X 6 に共通に形成されている。すなわち、共通電極 C E は、ゲート配線 G 1 乃至 G 2 の上方を跨いで第 2 方向 Y に延在するとともに、ソース配線 S 1 乃至 S 4 の上方を跨いで第 1 方向 X に延在し、画素 P X 1 乃至 P X 6 のそれぞれに配置されている。なお、共通電極 C E には、

50

画素 P X 1 乃至 P X 6 の各々において、画素電極とスイッチング素子とを電氣的に接続するための開口部が形成されている。

【 0 0 1 9 】

画素 P X 1 は、スイッチング素子 S W 1 及び画素電極 P E 1 を備えている。スイッチング素子 S W 1 は、ゲート配線 G 1 及びソース配線 S 1 と電氣的に接続されている。画素電極 P E 1 は、ソース配線 S 1 とソース配線 S 2 との間に位置し、スイッチング素子 S W 1 と電氣的に接続されている。

【 0 0 2 0 】

画素 P X 2 は、スイッチング素子 S W 2 及び画素電極 P E 2 を備えている。スイッチング素子 S W 2 は、ゲート配線 G 1 及びソース配線 S 2 と電氣的に接続されている。画素電極 P E 2 は、ソース配線 S 2 とソース配線 S 3 との間に位置し、画素電極 P E 1 に隣接している。また、画素電極 P E 2 は、スイッチング素子 S W 2 と電氣的に接続されている。

10

【 0 0 2 1 】

画素 P X 3 は、スイッチング素子 S W 3 及び画素電極 P E 3 を備えている。スイッチング素子 S W 3 は、ゲート配線 G 1 及びソース配線 S 3 と電氣的に接続されている。画素電極 P E 3 は、ソース配線 S 3 とソース配線 S 4 との間に位置し、画素電極 P E 2 に隣接している。また、画素電極 P E 3 は、スイッチング素子 S W 3 と電氣的に接続されている。

【 0 0 2 2 】

同様に、画素 P X 4 は、ゲート配線 G 2 及びソース配線 S 1 と電氣的に接続されたスイッチング素子 S W 4、及び、スイッチング素子 S W 4 と電氣的に接続された画素電極 P E 4 を備えている。画素 P X 5 は、ゲート配線 G 2 及びソース配線 S 2 と電氣的に接続されたスイッチング素子 S W 5、及び、スイッチング素子 S W 5 と電氣的に接続された画素電極 P E 5 を備えている。画素 P X 6 は、ゲート配線 G 2 及びソース配線 S 3 と電氣的に接続されたスイッチング素子 S W 6、及び、スイッチング素子 S W 6 と電氣的に接続された画素電極 P E 6 を備えている。

20

【 0 0 2 3 】

スイッチング素子 S W 1 乃至 S W 6 は、例えば薄膜トランジスタ (T F T) である。

【 0 0 2 4 】

画素電極 P E 1 乃至 P E 6 は、それぞれ共通電極 C E に対向している。

画素電極 P E 1 乃至 P E 3 は、それぞれ第 1 延出方向 D 1 に延出した画素形状に対応した島状に形成されている。画素電極 P E 1 は、スイッチング素子 S W 1 と電氣的に接続されたコンタクト部 C T 1 及びコンタクト部 C T 1 から延出した少なくとも一本の帯状電極 P A 1 を有している。画素電極 P E 2 は、スイッチング素子 S W 2 と電氣的に接続されたコンタクト部 C T 2 及びコンタクト部 C T 2 から延出した少なくとも一本の帯状電極 P A 2 を有している。画素電極 P E 3 は、スイッチング素子 S W 3 と電氣的に接続されたコンタクト部 C T 3 及びコンタクト部 C T 3 から延出した少なくとも一本の帯状電極 P A 3 を有している。

30

【 0 0 2 5 】

コンタクト部 C T 2 は、コンタクト部 C T 1 と第 1 方向 X に沿った同一直線上に並んでいる。コンタクト部 C T 3 は、コンタクト部 C T 1 とは同一直線上からずれた位置に配置されている。このコンタクト部 C T 3 は、コンタクト部 C T 1 及び C T 2 よりも、ゲート配線 G 2 に近接する側に位置している。図示した例では、コンタクト部 C T 3 は、ゲート配線 G 1 を挟んで、コンタクト部 C T 1 及び C T 2 とは反対側に位置している。

40

【 0 0 2 6 】

帯状電極 P A 1 乃至 P A 3 は、それぞれ第 1 延出方向 D 1 に延出している。すなわち、帯状電極 P A 1 は、ゲート配線 G 2 から離間する側に向かってコンタクト部 C T 1 から延出している。同様に、帯状電極 P A 2 は、ゲート配線 G 2 から離間する側に向かってコンタクト部 C T 2 から延出している。帯状電極 P A 2 は、帯状電極 P A 1 と同等の長さを有している。帯状電極 P A 3 は、ゲート配線 G 2 から離間する側に向かってコンタクト部 C T 3 から延出している。帯状電極 P A 3 は、帯状電極 P A 1 などとは異なる長さを有して

50

おり、図示した例では、帯状電極 P A 1 よりも長い長さを有している。つまり、画素電極 P E 3 の第 1 延出方向 D 1 に沿った全長は、画素電極 P E 1 及び画素電極 P E 2 の第 1 延出方向 D 1 に沿った全長よりも長い。

【 0 0 2 7 】

帯状電極 P A 1 の本数は帯状電極 P A 2 の本数と同数であり、帯状電極 P A 3 の本数は帯状電極 P A 1 の本数よりも多い。図示した例では、画素電極 P E 1 は第 1 方向 X に並んだ 2 本の帯状電極 P A 1 を有し、画素電極 P E 2 は第 1 方向 X に並んだ 2 本の帯状電極 P A 2 を有し、画素電極 P E 3 は第 1 方向 X に並んだ 3 本の帯状電極 P A 3 を有している。

【 0 0 2 8 】

画素電極 P E 4 乃至 P E 6 は、それぞれ第 2 延出方向 D 2 に延出した画素形状に対応した島状に形成されている。画素電極 P E 4 は、スイッチング素子 S W 4 と電氣的に接続されたコンタクト部 C T 4 及びコンタクト部 C T 4 から延出した少なくとも一本の帯状電極 P B 1 を有している。画素電極 P E 5 は、スイッチング素子 S W 5 と電氣的に接続されたコンタクト部 C T 5 及びコンタクト部 C T 5 から延出した少なくとも一本の帯状電極 P B 2 を有している。画素電極 P E 6 は、スイッチング素子 S W 6 と電氣的に接続されたコンタクト部 C T 6 及びコンタクト部 C T 6 から延出した少なくとも一本の帯状電極 P B 3 を有している。コンタクト部 C T 1 乃至 C T 3 は、第 1 方向 X に沿った同一直線上に並んでいる。

10

【 0 0 2 9 】

帯状電極 P B 1 乃至 P B 3 は、それぞれ第 2 延出方向 D 2 に延出している。すなわち、帯状電極 P B 1 は、ゲート配線 G 1 に近接する側に向かってコンタクト部 C T 4 から延出している。同様に、帯状電極 P B 2 は、ゲート配線 G 1 に近接する側に向かってコンタクト部 C T 5 から延出している。帯状電極 P B 2 は、帯状電極 P B 1 と同等の長さを有している。帯状電極 P B 3 は、ゲート配線 G 1 に近接する側に向かってコンタクト部 C T 6 から延出している。帯状電極 P B 3 は、帯状電極 P B 1 などとは異なる長さを有しており、図示した例では、帯状電極 P B 1 よりも短い長さを有している。つまり、画素電極 P E 6 の第 2 延出方向 D 2 に沿った全長は、画素電極 P E 4 及び画素電極 P E 5 の第 2 延出方向 D 2 に沿った全長よりも短い。

20

【 0 0 3 0 】

帯状電極 P B 1 の本数は帯状電極 P B 2 の本数と同数であり、帯状電極 P B 3 の本数は帯状電極 P B 1 の本数よりも多い。図示した例では、画素電極 P E 4 は第 1 方向 X に並んだ 2 本の帯状電極 P B 1 を有し、画素電極 P E 5 は第 1 方向 X に並んだ 2 本の帯状電極 P B 2 を有し、画素電極 P E 6 は第 1 方向 X に並んだ 3 本の帯状電極 P B 3 を有している。

30

【 0 0 3 1 】

第 1 配向膜 A L 1 は、第 1 延出方向 D 1 及び第 2 延出方向 D 2 に対して 45° 以下の鋭角に交差する方向に沿って配向処理されている。例えば、第 1 配向膜 A L 1 の配向処理方向 R 1 は、第 2 方向 Y に平行な方向であり、第 1 延出方向 D 1 あるいは第 2 延出方向 D 2 に交差する方向である。

【 0 0 3 2 】

図 3 は、図 2 に示したスイッチング素子 S W 2 及び S W 3 の構造例を概略的に示す平面図である。図示した例では、スイッチング素子 S W 2 及び S W 3 は、いずれもダブルゲート構造の薄膜トランジスタによって構成されている。

40

【 0 0 3 3 】

すなわち、スイッチング素子 S W 2 は、半導体層 S C 2 及び中継電極 R E 2 を備えている。半導体層 S C 2 は、U 字状に形成されており、ゲート配線 G 1 と 2 箇所で交差している。半導体層 S C 2 の一端側は、コンタクトホール C H 1 1 を介してソース配線 S 2 に接続されている。半導体層 S C 2 の他端側は、コンタクトホール C H 1 2 を介して中継電極 R E 2 に接続されている。中継電極 R E 2 は、画素電極 P E 2 のコンタクト部 C T 2 と重なり、コンタクトホール C H 1 3 を介してコンタクト部 C T 2 に接続されている。

【 0 0 3 4 】

50

スイッチング素子 $SW3$ は、半導体層 $SC3$ 及び中継電極 $RE3$ を備えている。半導体層 $SC3$ は、U字状に形成されており、ゲート配線 $G1$ と 2 箇所 で交差している。半導体層 $SC3$ の一端側は、コンタクトホール $CH21$ を介してソース配線 $S3$ に接続されている。半導体層 $SC3$ の他端側は、コンタクトホール $CH22$ を介して中継電極 $RE3$ に接続されている。中継電極 $RE3$ は、画素電極 $PE3$ のコンタクト部 $CT3$ と重なり、コンタクトホール $CH23$ を介してコンタクト部 $CT3$ に接続されている。

【0035】

図示した例では、半導体層 $SC3$ は、半導体層 $SC2$ とは逆向きに形成されている。つまり、半導体層 $SC2$ は、ゲート配線 $G1$ よりも画素電極 $PE2$ に近接する側で折り返し、ゲート配線 $G1$ よりも画素電極 $PE2$ から離間する側でソース配線 $S2$ 及び中継電極 $RE2$ とそれぞれ接続されている。一方、半導体層 $SC3$ は、ゲート配線 $G1$ よりも画素電極 $PE3$ から離間する側で折り返し、ゲート配線 $G1$ よりも画素電極 $PE3$ に近接する側でソース配線 $S3$ 及び中継電極 $RE3$ とそれぞれ接続されている。換言すると、コンタクトホール $CH11$ 及び $CH12$ は、ゲート配線 $G1$ を挟んで、コンタクトホール $CH21$ 及び $CH22$ とは反対側に位置している。また、コンタクトホール $CH13$ も、ゲート配線 $G1$ を挟んで、コンタクトホール $CH23$ とは反対側に位置している。あるいは別の見方をすれば、画素電極 $PE2$ のコンタクト部 $CT2$ に設けられたコンタクトホール $CH13$ と、隣接する画素の画素電極 $PE3$ のコンタクト部 $CT3$ に設けられたコンタクトホール $CH23$ とを結ぶ仮想の直線は、ゲート配線 $G1$ と交差している。

【0036】

なお、これらの半導体層 $SC2$ 及び $SC3$ は、例えば多結晶シリコン ($p-Si$) によって形成されるが、アモルファスシリコン ($a-Si$) や酸化物半導体などによって形成されても良い。

【0037】

図4は、本実施形態における各画素とカラーフィルタとのレイアウトの一例を概略的に示す平面図である。

【0038】

カラー表示を実現するための単位画素 UP は、複数の異なる色画素によって構成されている。単位画素 UP とは、アクティブエリアに表示されるカラー画像を構成する最小単位である。単位画素 UP は、例えば6個の色画素によって構成されている。単位画素 UP は、画素 $PX1$ 、画素 $PX2$ 、画素 $PX3$ 、画素 $PX4$ 、画素 $PX5$ 、及び、画素 $PX6$ によって構成されている。図中においては、各画素は、それぞれ一点鎖線で示している。

【0039】

上記の通り、画素 $PX1$ 及び画素 $PX4$ は赤色画素であって、画素 $PX2$ 及び画素 $PX5$ は緑色画素であって、画素 $PX3$ は青色画素であって、画素 $PX6$ は白色画素である。このような構成において、画素 $PX1$ 、画素 $PX2$ 、画素 $PX4$ 、及び、画素 $PX5$ のそれぞれの面積は略同等である。画素 $PX3$ の面積は、画素 $PX1$ などの面積よりも大きい。

【0040】

対向基板 CT は、遮光層 BM 、カラーフィルタ $CF1$ 乃至 $CF4$ 、第2配向膜 $AL2$ などを備えている。

【0041】

遮光層 BM は、各画素の境界に配置されている。つまり、遮光層 BM は、図2に示したソース配線、ゲート配線、スイッチング素子などの配線部の上方に位置している。図2に示した例では、コンタクト部 $CT3$ (あるいはスイッチング素子 $SW3$) の位置がコンタクト部 $CT1$ (あるいはスイッチング素子 $SW1$) 及びコンタクト部 $CT2$ (あるいはスイッチング素子 $SW2$) が並ぶ同一直線上の位置からずれている。このため、図示した遮光層 BM のうち、第1方向 X に延出した部分は、アレイ基板 AR のレイアウトに対応して蛇行している。なお、遮光層 BM は、異なる色の画素の境界には配置される一方で、同一色の画素の境界には配置されなくても良い。

10

20

30

40

50

【 0 0 4 2 】

カラーフィルタCF1は、第2方向Yに沿って延出した帯状に形成されている。カラーフィルタCF2は、カラーフィルタCF1の第1方向Xに隣接し、第2方向Yに沿って延出した帯状に形成されている。カラーフィルタCF3は、カラーフィルタCF2の第1方向Xに隣接し、島状に形成されている。カラーフィルタCF4は、カラーフィルタCF3の第2方向Yに隣接し、また、カラーフィルタCF2の第1方向Xに隣接し、島状に形成されている。カラーフィルタCF3とカラーフィルタCF4とは、第2方向Yに沿って交互に繰り返し配置されている。

【 0 0 4 3 】

カラーフィルタCF1は、画素PX1及び画素PX4に対応して配置されている。カラーフィルタCF2は、画素PX2及び画素PX5に対応して配置されている。カラーフィルタCF3は、画素PX3に対応して配置されている。カラーフィルタCF4は、画素PX6に対応して配置されている。図示した例では、カラーフィルタCF1は赤色(R)カラーフィルタであり、カラーフィルタCF2は緑色(G)カラーフィルタであり、カラーフィルタCF3は青色(B)のカラーフィルタであり、カラーフィルタCF4は白色(W)カラーフィルタである。カラーフィルタCF1乃至CF4は、それぞれの互いに隣接する端部が遮光層BMに重なっている。

10

【 0 0 4 4 】

第2配向膜AL2は、第1配向膜AL1の配向処理方向R1と平行な方向に沿って配向処理されている。第2配向膜AL2の配向処理方向R2は、例えば、第1配向膜AL1の配向処理方向R1と互いに逆向きである。

20

【 0 0 4 5 】

図5は、図2に示した画素PX1乃至PX6を含む液晶表示パネルLPNの構成を概略的に示す断面図である。

【 0 0 4 6 】

アレイ基板ARは、ガラス基板や樹脂基板などの透明な第1絶縁基板10を用いて形成されている。アレイ基板ARは、第1絶縁基板10の対向基板CTに対向する側に、ソース配線S1乃至S4、共通電極CE、画素電極PE1乃至PE6、第1絶縁膜11、第2絶縁膜12、第3絶縁膜13、第1配向膜AL1などを備えている。なお、ここでは、スイッチング素子やゲート配線の図示を省略している。

30

【 0 0 4 7 】

ソース配線S1乃至S4は、第1絶縁膜11の上に形成され、第2絶縁膜12によって覆われている。なお、ゲート配線は、第1絶縁基板10と第1絶縁膜11との間に形成されている。共通電極CEは、第2絶縁膜12の上に形成され、第3絶縁膜13によって覆われている。共通電極CEは、透明な導電材料、例えば、インジウム・ティン・オキシド(ITO)やインジウム・ジंक・オキシド(IZO)などによって形成されている。

【 0 0 4 8 】

画素電極PE1乃至PE6は、第3絶縁膜13の上に形成され、共通電極CEと対向している。つまり、帯状電極PA1乃至PA3、及び、帯状電極PB1乃至PB3は、第3絶縁膜13を介して共通電極CEの上方に位置している。第3絶縁膜13は、共通電極CEと画素電極PE1乃至PE6との間に介在する層間絶縁膜に相当する。画素電極PE1及び画素電極PE4は、ソース配線S1とソース配線S2との間に位置している。画素電極PE2及び画素電極PE5は、ソース配線S2とソース配線S3との間に位置している。画素電極PE3及び画素電極PE6は、ソース配線S3とソース配線S4との間に位置している。画素電極PE1乃至PE6は、いずれも透明な導電材料、例えば、ITOやIZOなどによって形成されている。画素電極PE1乃至PE6は、第1配向膜AL1によって覆われている。第1配向膜AL1は、第3絶縁膜13も覆っている。第1配向膜AL1は、水平配向性を示す材料によって形成され、アレイ基板ARの液晶層LQに接する面に配置されている。

40

50

【 0 0 4 9 】

一方、対向基板 C T は、ガラス基板や樹脂基板などの透明な第 2 絶縁基板 2 0 を用いて形成されている。対向基板 C T は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する側に、遮光層 B M、カラーフィルタ C F 1 乃至 C F 4、オーバーコート層 O C、第 2 配向膜 A L 2 などを備えている。

【 0 0 5 0 】

遮光層 B M は、第 2 絶縁基板 2 0 の内面に形成されている。遮光層 B M は、ソース配線 S 1 乃至 S 4 の上方にそれぞれ位置している。遮光層 B M は、黒色の樹脂材料や、遮光性の金属材料によって形成されている。

【 0 0 5 1 】

カラーフィルタ C F 1 乃至 C F 4 のそれぞれは、第 2 絶縁基板 2 0 の内面に形成されている。カラーフィルタ C F 1 は、画素電極 P E 1 及び画素電極 P E 4 と対向している。カラーフィルタ C F 2 は、画素電極 P E 2 及び画素電極 P E 5 と対向している。カラーフィルタ C F 3 は、画素電極 P E 3 と対向している。カラーフィルタ C F 4 は、画素電極 P E 6 と対向している。カラーフィルタ C F 1 は、赤色に着色された樹脂材料によって形成されている。カラーフィルタ C F 2 は、緑色に着色された樹脂材料によって形成されている。カラーフィルタ C F 3 は、青色に着色された樹脂材料によって形成されている。カラーフィルタ C F 4 は、白色（あるいは透明）の樹脂材料によって形成されている。なお、カラーフィルタ C F 4 は省略しても良いし、厳密に無彩色のカラーフィルタでなくても良く、淡く色付いた（例えば薄黄色あるいは薄青色に色付いた）カラーフィルタであってもよい。異なる色のカラーフィルタ間の境界は、ソース配線 S の上方の遮光層 B M と重なっている。

【 0 0 5 2 】

オーバーコート層 O C は、カラーフィルタ C F 1 乃至 C F 4 を覆っている。オーバーコート層 O C は、カラーフィルタ C F 1 乃至 C F 4 の表面の凹凸を平坦化する。オーバーコート層 O C は、透明な樹脂材料によって形成されている。オーバーコート層 O C は、第 2 配向膜 A L 2 によって覆われている。第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成され、対向基板 C T の液晶層 L Q に接する面に配置されている。

【 0 0 5 3 】

上述したようなアレイ基板 A R と対向基板 C T とは、第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が向かい合うように配置されている。このとき、アレイ基板 A R と対向基板 C T との間には、一方の基板に形成された柱状スペーサにより、所定のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、セルギャップが形成された状態でシール材によって貼り合わせられている。液晶層 L Q は、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に封入された液晶分子 L M を含む液晶材料によって形成されている。

【 0 0 5 4 】

このような構成の液晶表示パネル L P N に対して、その背面側には、バックライト B L が配置されている。バックライト B L としては、種々の形態が適用可能であるが、ここでは詳細な構造については説明を省略する。

【 0 0 5 5 】

第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 偏光板 P L 1 を含む第 1 光学素子 O D 1 が配置されている。第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 偏光板 P L 2 を含む第 2 光学素子 O D 2 が配置されている。第 1 偏光板 P L 1 及び第 2 偏光板 P L 2 は、例えば、それぞれの偏光軸が直交するクロスニコルの位置関係となるように配置される。

【 0 0 5 6 】

以下に、上記構成の液晶表示装置における動作について説明する。

画素電極 P E と共通電極 C E との間に電位差を形成するような電圧が印加されていないオフ時には、液晶層 L Q に電圧が印加されない。つまり、画素電極 P E と共通電極 C E との間に電界が形成されていない。このため、液晶層 L Q に含まれる液晶分子 L M は、図 2 に実線で示したように、第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 の配向規制力により X -

10

20

30

40

50

Y平面内において第2方向Yに初期配向している。つまり、液晶分子LMの初期配向方向は第2方向Yに平行である。オフ時には、バックライトBLからのバックライト光の一部は、第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光は、例えば第1偏光板PL1の第1吸収軸と直交する直線偏光である。このような直線偏光の偏光状態は、OFF時の液晶表示パネルLPNを通過した際にほとんど変化しない。このため、液晶表示パネルLPNを透過した直線偏光のほとんどが、第2偏光板PL2によって吸収される(黒表示)。

【0057】

一方、画素電極PEと共通電極CEとの間に電位差を形成するような電圧が印加されたオン時には、液晶層LQに電圧が印加される。つまり、画素電極PEと共通電極CEとの間にフリンジ電界が形成される。このため、液晶分子LMは、図2に破線で示したように、X-Y平面内において、初期配向方向とは異なる方位に配向する。ボジ型の液晶材料においては、例えば画素PX3の液晶分子LMは、X-Y平面内において、フリンジ電界と略平行な方向に配向するように反時計回りに回転し、画素PX6の液晶分子LMは、X-Y平面内において、フリンジ電界と略平行な方向に配向するように時計回りに回転する。このとき、液晶分子LMは、電界の大きさに応じた方向に配向する。オン時には、第1偏光板PL1の第1吸収軸と直交する直線偏光は、液晶表示パネルLPNに入射し、その偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態に応じて変化する。このため、オン時には、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する(白表示)。

【0058】

このような構成により、ノーマリーブラックモードが実現される。

上記の通り、2行×3列の6個の色画素で単位画素UPを構成した場合、これらの6個の色画素は、赤色画素、緑色画素、青色画素、及び、白色画素のいずれかに割り当てられている。例えば、赤色画素としては同列の2個の色画素が割り当てられ、緑色画素としては同列の2個の色画素が割り当てられている。また、青色画素及び白色画素としては、同列の色画素がそれぞれ割り当てられている。

【0059】

つまり、本実施形態で説明したレイアウトの単位画素UPにおいては、赤色画素及び緑色画素はそれぞれ2個の色画素が割り当てられているのに対して、青色画素及び白色画素はそれぞれ1個の色画素が割り当てられており、6個の色画素のすべてがそれぞれ同等の面積である場合には、青色の輝度が不足してしまう。このため、青色画素の第1方向Xの長さは赤色画素及び緑色画素のそれぞれの第1方向Xの長さよりも長くすることで、青色画素の面積を拡大し、青色画素として必要な輝度を確保している。

【0060】

一方で、高精細化等の要求に伴って単位画素UPの第1方向Xの長さが制約される場合、各色画素の第1方向Xに沿った長さのみで、各色画素の面積を調整するには限界がある。このため、最適なカラーバランスを維持するためには、青色画素の輝度に併せて赤色画素及び緑色画素を比較的低輝度で駆動する必要がある。また、各色画素の第1方向Xに沿った長さの差が大きくなるほど、アレイ基板ARと対向基板CTとを貼り合わせる工程で第1方向Xに貼り合わせずれが生じた際に、単位画素UPにおける各色画素の面積比率が大きく変化してしまい、カラーバランスが崩れる不具合をもたらす。

【0061】

そこで、本実施形態によれば、第1方向Xに並んだ3つの画素電極のうち、1つの画素電極のコンタクト部は、他の2つの画素電極のコンタクト部とは同一直線上からずれた位置に配置されている。例えば、青色画素においては、赤色画素及び緑色画素とは同一直線上からずれた位置で画素電極とスイッチング素子とが電氣的に接続されている。このとき、青色画素の画素電極は、白色画素の側に突出しており、そのコンタクト部が白色画素の画素電極に近接している。これにより、青色画素において表示に寄与する面積を列方向(あるいは第2方向Y)に拡大することが可能となる。このため、青色画素の高輝度化が可

10

20

30

40

50

能となる。これにより、単位画素UPにおいて、高輝度で最適なカラーバランスを得ることが可能となる。また、各色画素の第1方向Xの長さの差が拡大しないため、貼り合わせズレに対するカラーバランスの変化を抑制することが可能となる。したがって、表示品位を向上することが可能となる。

【0062】

また、単位画素UPにおいて、各色画素の面積は、第1方向Xの長さ及び第2方向Yの長さで調整することが可能となり、レイアウトの自由度を向上することが可能となる。

【0063】

なお、上記の実施形態では、赤色画素及び緑色画素については等ピッチとし、青色画素及び白色画素については赤色画素及び緑色画素よりも大きなピッチとする異形レイアウトについて説明したが、異なるピッチを取る異形レイアウトについては上記とは異なる色画素の組み合わせであっても良いし、赤色画素、緑色画素、青色画素、及び、白色画素のすべてについてピッチを異ならせても良い。各色画素に配置される画素電極は、各々の画素ピッチに合わせて適宜設定された本数の帯状電極を有していればよく、上記の例に限定されるものではない。

【0064】

次に、他の構成例について説明する。

図6は、図1に示したアレイ基板ARにおける画素の第2構成例を対向基板の側から見た概略平面図である。

【0065】

ここに示した第2構成例は、図2に示した第1構成例と比較して、ゲート配線G1の一部が屈曲している点で相違している。他の構成については、第1構成例と同一であり、説明を省略する。

【0066】

図示した例では、第1構成例と同様に、コンタクト部CT1及びCT2が第1方向Xに沿った同一直線上に並んでいるのに対して、コンタクト部CT3はコンタクト部CT1とは同一直線上からずれた位置に配置されており、画素電極PE3は、第2方向Yに沿って画素電極PE6に向かって拡張されている。

【0067】

ゲート配線G1は、コンタクト部CT1及びCT2に対応して第1方向Xに沿って直線状に延出し、コンタクト部CT3に対応して画素電極PE6の側に屈曲している。このようなゲート配線G1は、スイッチング素子SW1乃至SW3のそれぞれと電氣的に接続されている。スイッチング素子SW1乃至SW3は、それぞれ画素電極PE1乃至PE3と電氣的に接続されている。

【0068】

このような第2構成例においても、画素PX3の表示に寄与する面積を第2方向Yに拡大することが可能となり、上記の第1構成例と同様の効果が得られる。加えて、第2構成例では、コンタクト部CT1乃至CT3が同一直線上に位置しないレイアウトであっても、スイッチング素子SW1乃至SW3は、いずれも同じ向きで画素電極PE1乃至PE3と接続することが可能となる。つまり、第1構成例では、図3で説明したようにスイッチング素子SW3が他のスイッチング素子SW2などとは異なる構造であったのに対して、第2構成例では、コンタクト部CT1乃至CT3のそれぞれの位置に関わらず、スイッチング素子SW1乃至SW3を同一構造で形成することが可能となる。

【0069】

図7は、図1に示したアレイ基板ARにおける画素の第3構成例を対向基板の側から見た概略平面図である。

【0070】

ここに示した第3構成例は、図2に示した第1構成例と比較して、コンタクト部CT1乃至CT3が第1方向Xに沿った同一直線上に並んでおり、且つ、帯状電極PA3が帯状電極PA1及びPA2よりも長く形成されている点、及び、コンタクト部CT6がコンタ

10

20

30

40

50

クト部 C T 4 及び C T 5 とは同一直線上からずれた位置に配置されている点で相違している。

【 0 0 7 1 】

図示した例では、コンタクト部 C T 4 及び C T 5 が第 1 方向 X に沿った同一直線上に並んでいるのに対して、コンタクト部 C T 6 はコンタクト部 C T 4 及びコンタクト部 C T 5 とは同一直線上からずれた位置に配置されており、画素電極 P E 6 は、第 2 方向 Y に沿って画素電極 P E 3 に向かって偏在している。帯状電極 P B 1 及び P B 2 は等々の長さを有する一方で、帯状電極 P B 3 は帯状電極 P B 1 より短い長さを有している。

【 0 0 7 2 】

ゲート配線 G 2 は、コンタクト部 C T 4 及び C T 5 に対応して第 1 方向 X に沿って直線状に延出し、コンタクト部 C T 6 に対応して画素電極 P E 3 の側に屈曲している。このようなゲート配線 G 2 は、スイッチング素子 S W 4 乃至 S W 6 のそれぞれと電気的に接続されている。スイッチング素子 S W 4 乃至 S W 6 は、それぞれ画素電極 P E 4 乃至 P E 6 と電気的に接続されている。

10

【 0 0 7 3 】

ゲート配線 G 1 は、コンタクト部 C T 1 乃至 C T 3 に対応して第 1 方向 X に沿って直線状に延出している。このようなゲート配線 G 1 は、スイッチング素子 S W 1 乃至 S W 3 のそれぞれと電気的に接続されている。スイッチング素子 S W 1 乃至 S W 3 は、それぞれ画素電極 P E 1 乃至 P E 3 と電気的に接続されている。

【 0 0 7 4 】

図示した単位画素 U P は、第 2 方向 Y に繰り返し配置されている。つまり、帯状電極 P A 3 の先端部は、ゲート配線 G 2 の屈曲した部分に向かって延出している。

20

【 0 0 7 5 】

このような第 3 構成例においても、画素 P X 3 の表示に寄与する面積を第 2 方向 Y に拡大することが可能となり、上記の第 1 構成例と同様の効果が得られる。

【 0 0 7 6 】

以上説明したように、本実施形態によれば、表示品位を向上することが可能な液晶表示装置を提供することができる。

【 0 0 7 7 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

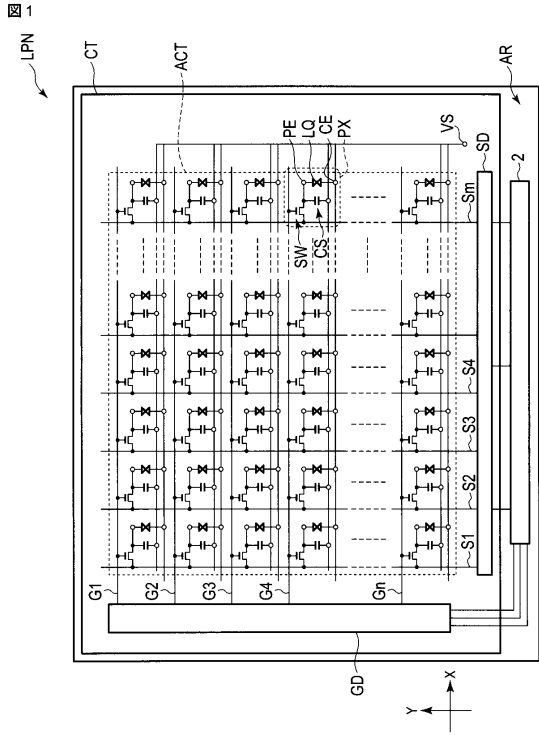
【符号の説明】

【 0 0 7 8 】

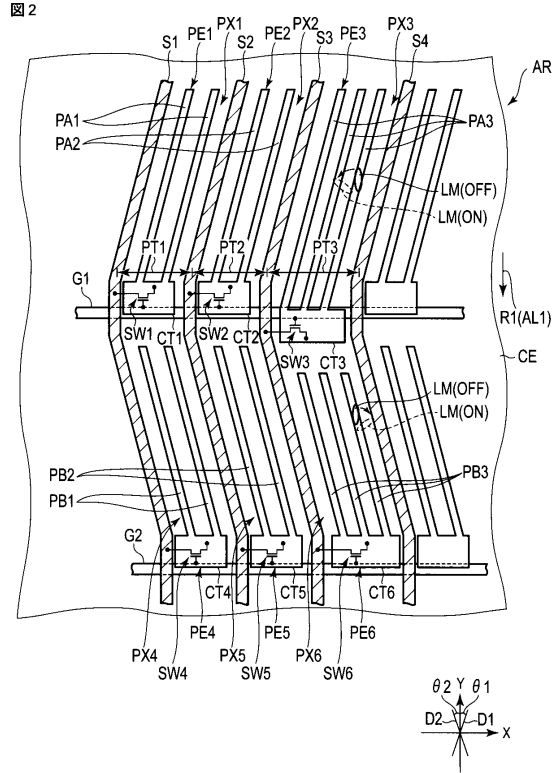
L P N ... 液晶表示パネル A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層
G ... ゲート配線 S ... ソース配線 S W ... スイッチング素子
P E ... 画素電極 P A、P B ... 帯状電極 C E ... 共通電極 C F ... カラーフィルタ

40

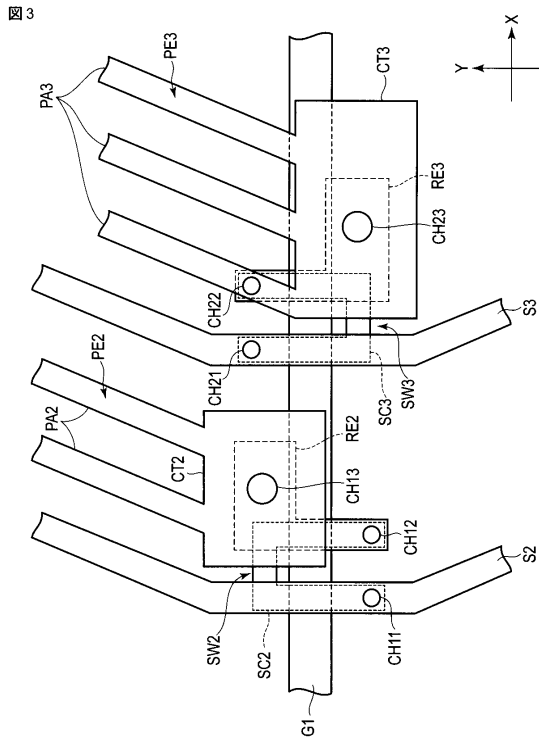
【 図 1 】



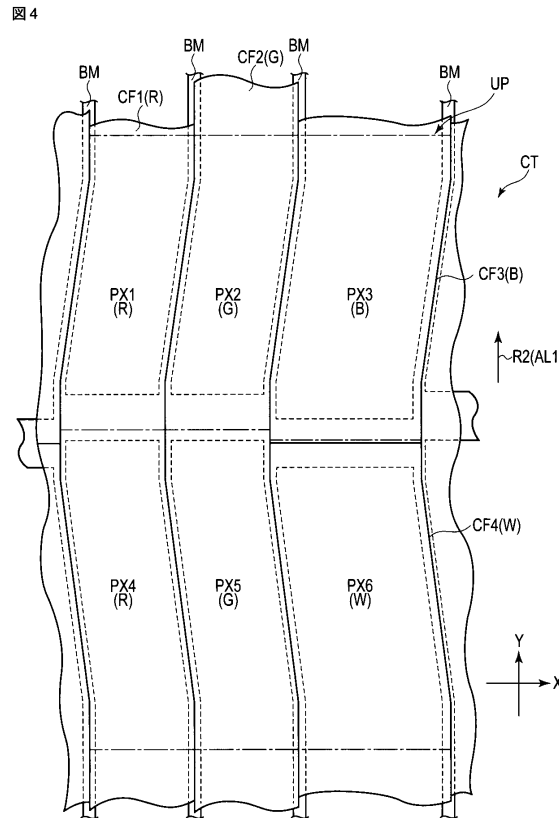
【 図 2 】



【 図 3 】

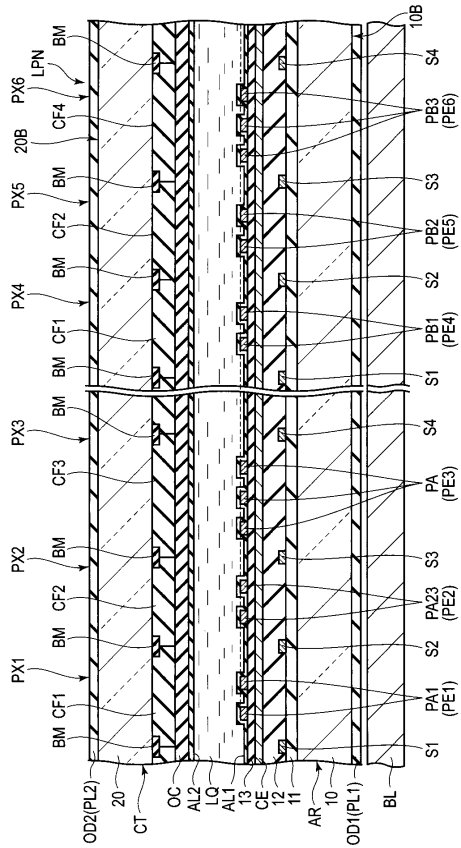


【 図 4 】



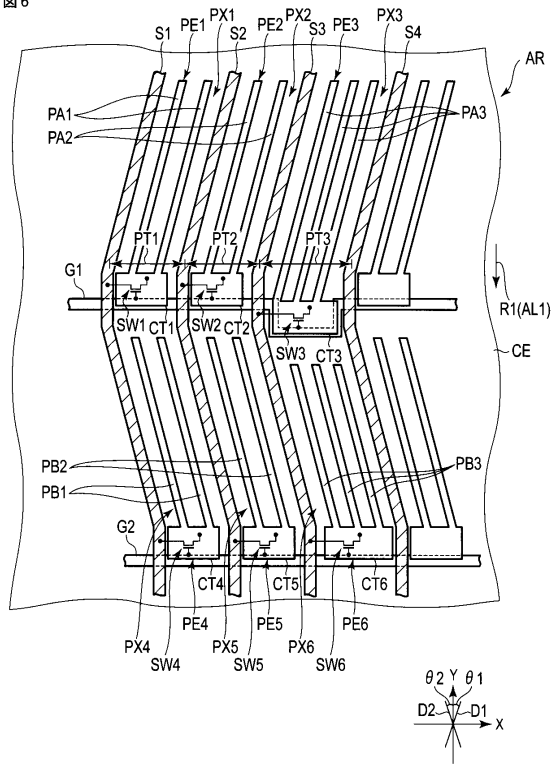
【 図 5 】

図 5



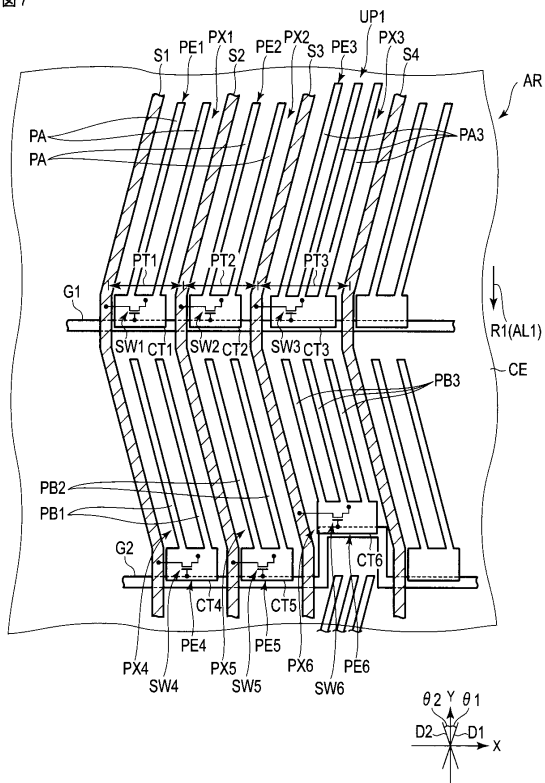
【 図 6 】

図 6



【 図 7 】

図 7



フロントページの続き

- (56)参考文献 特開2013-186165(JP,A)
特開2006-313350(JP,A)
特開2005-134914(JP,A)
米国特許出願公開第2004/0263748(US,A1)
特開2008-003185(JP,A)
韓国公開特許第10-2010-0046439(KR,A)
特開2010-217821(JP,A)
特開2008-191626(JP,A)
特開平08-179341(JP,A)
特開2009-229791(JP,A)
米国特許出願公開第2010/0066965(US,A1)
米国特許出願公開第2012/0008073(US,A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/136 - 1/1368, 1/1343 - 1/1345
G02F 1/1335, 1/13363
Japio - GPG/FX