



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년06월11일
(11) 등록번호 10-0901769
(24) 등록일자 2009년06월02일

(51) Int. Cl.

G05F 3/24 (2006.01)

(21) 출원번호 10-2007-0116509

(22) 출원일자 2007년11월15일

심사청구일자 2007년11월15일

(65) 공개번호 10-2009-0050204

(43) 공개일자 2009년05월20일

(56) 선행기술조사문헌

KR1020040065326 A

JP05241672 A

JP2006119758 A

JP2000284844 A

(73) 특허권자

한국전자통신연구원

대전 유성구 가정동 161번지

한양대학교 산학협력단

서울 성동구 행당동 17 한양대학교 내

(72) 발명자

노정진

경기도 용인시 기흥구 보정동 대림아파트 206-702

노형동

서울특별시 서초구 반포1동 712-22 유영주택 401호

(뒷면에 계속)

(74) 대리인

신영무

전체 청구항 수 : 총 13 항

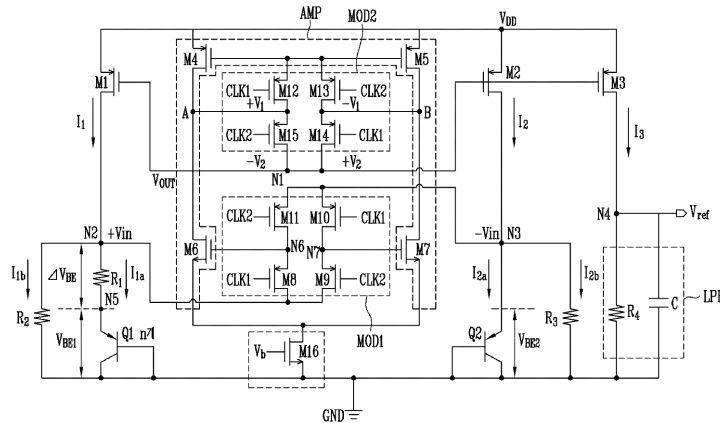
심사관 : 박태욱

(54) 저전압 고정밀도 밴드갭 기준전압 발생기

(57) 요약

본 발명은 저전압 고정밀도 밴드갭 기준전압 발생기에 관한 것으로, 본 발명에 따른 저전압 고정밀도 밴드갭 기준전압 발생기는, 바이폴라 트랜지스터에 저항을 각각 병렬로 연결하여 전압 강하 폭을 최소화하고, 출력단의 저항을 변화시켜 온도변수가 제로의 값을 갖도록 함으로써, 낮은 전원전압에서도 온도변화에 무관한 안정된 기준전압을 제공할 수 있는 것을 특징으로 한다. 또한, 본 발명에 따른 저전압 고정밀도 밴드갭 기준전압 발생기는, 피드백 증폭기의 입출력단에서 입력 전압 및 출력 전압의 스위칭을 통해 오프셋 노이즈로 인한 기준전압의 변화율을 최소화함으로써 정확한 기준전압을 제공할 수 있는 것을 특징으로 한다.

대표도



(72) 발명자

김형중

서울특별시 관악구 신림11동 신림푸르지오아파트
113동 1402호

김이경

대전시 유성구 신성동 146-14 301호

권중기

대전시 서구 내동 롯데아파트 101-706

이 발명을 지원한 국가연구개발사업

과제고유번호 2006-S-006-02

부처명 정보통신부 및 정보통신연구진흥원

연구사업명 IT원천기술개발

연구과제명 유비쿼터스 단말용 부품 모듈

주관기관 한국전자통신연구원

연구기간 2007년 03월 01일 ~ 2008년 02월 28일

특허청구의 범위

청구항 1

게이트와 소스가 공통으로 제1 노드 및 전원단자에 각각 연결되고, 드레인이 제2, 3, 4 노드에 각각 연결되며, 전류 미러의 형태로 이루어진 제1 내지 제3 PMOS 트랜지스터;

전류 미러의 형태로 이루어진 제4, 5 PMOS 트랜지스터와 제6, 7 NMOS 트랜지스터로 구성되며, 상기 제6, 7 NMOS 트랜지스터의 게이트에 비반전 및 반전 입력전압이 각각 입력되고, 상기 제4, 5 PMOS 트랜지스터의 드레인으로 부터 비반전 및 반전 출력전압이 각각 출력되는 피드백 증폭기;

상기 제2 노드와 제5 노드 사이에 접속되는 제1 저항;

상기 제2, 3, 4 노드와 접지 사이에 각각 접속되는 제2, 3, 4 저항;

상기 제2 저항과 병렬로 연결되며, 에미터가 상기 제5 노드에 연결되고 콜렉터와 베이스가 접지되는 제1 바이폴라 트랜지스터; 및

상기 제3 저항과 병렬로 연결되며, 에미터가 상기 제3 노드에 연결되고 콜렉터와 베이스가 접지되는 제2 바이폴라 트랜지스터를 포함하며,

상기 제4 노드와 접지 사이의 전압을 기준전압으로 사용하는 것을 특징으로 하는 저전압 고정밀도 밴드갭 기준 전압 발생기.

청구항 2

제 1항에 있어서, 상기 기준전압은 0 내지 1V 이하의 전압값을 갖는 것을 특징으로 하는 저전압 고정밀도 밴드갭 기준전압 발생기.

청구항 3

제 1항에 있어서,

상기 기준전압이 온도변화에 무관한 전압값을 갖도록 상기 제4 저항의 저항값이 조절되는 것을 특징으로 하는 저전압 고정밀도 밴드갭 기준전압 발생기.

청구항 4

제 1항에 있어서,

상기 제4, 5 PMOS 트랜지스터의 소스는 상기 전원단자에 공통으로 연결되고, 게이트는 서로 연결되며, 드레인은 상기 제6, 7 NMOS 트랜지스터의 드레인에 각각 연결되는 것을 특징으로 하는 저전압 고정밀도 밴드갭 기준전압 발생기.

청구항 5

제 1항에 있어서,

상기 제6, 7 NMOS 트랜지스터의 게이트에 접속되어 상기 비반전 입력전압과 반전 입력전압을 교차시켜 변조하는 제1 전압 변조부;

상기 제4, 5 PMOS 트랜지스터의 드레인에 접속되어 상기 비반전 출력전압과 반전 출력전압을 교차시켜 변조하는 제2 전압 변조부; 및

상기 제4 노드와 접지 사이에 접속되며, 상기 제4 노드의 전압에서 저주파 신호를 통과시키는 저주파 통과 필터를 더 포함하는 것을 특징으로 하는 저전압 고정밀도 밴드갭 기준전압 발생기.

청구항 6

제 5항에 있어서, 상기 제1 전압 변조부는,

게이트에 제1, 2 클럭이 각각 인가되는 스위치 형태로 이루어진 제8, 9 PMOS 트랜지스터; 및
 게이트에 제1, 2 클럭이 각각 인가되는 스위치 형태로 이루어진 제10, 11 PMOS 트랜지스터를 포함하며,
 상기 제8, 9 PMOS 트랜지스터의 소스와 상기 제10, 11 PMOS 트랜지스터의 드레인은 상기 제6, 7 NMOS 트랜지스터의 게이트에 공통으로 연결되는 것을 특징으로 하는 저전압 고정밀도 밴드갭 기준전압 발생기.

청구항 7

제 5항에 있어서, 상기 제2 전압 변조부는,
 게이트에 제1, 2 클럭이 각각 인가되는 스위치 형태로 이루어진 제12, 13 PMOS 트랜지스터; 및
 게이트에 제1, 2 클럭이 각각 인가되는 스위치 형태로 이루어진 제14, 15 PMOS 트랜지스터를 포함하며,
 상기 제12, 13 PMOS 트랜지스터의 드레인과 상기 제14, 15 PMOS 트랜지스터의 소스는 상기 제4, 5 PMOS 트랜지스터의 드레인에 공통으로 연결되는 것을 특징으로 하는 저전압 고정밀도 밴드갭 기준전압 발생기.

청구항 8

제 6항에 있어서, 상기 제1 전압 변조부는,
 상기 비반전 입력전압과 반전 입력전압을 교차시켜 상기 비반전 입력전압과 반전 입력전압의 주파수가 상기 제1, 2 클럭 주파수의 홀수 고조파로 변조되도록 하는 것을 특징으로 하는 저전압 고정밀도 밴드갭 기준전압 발생기.

청구항 9

제 7항에 있어서, 상기 제2 전압 변조부는,
 상기 비반전 출력전압과 반전 출력전압을 교차시켜 상기 비반전 출력전압과 반전 출력전압의 주파수가 상기 비반전 입력전압 및 반전 입력전압의 주파수 특성으로 복원되도록 하는 것을 특징으로 하는 저전압 고정밀도 밴드갭 기준전압 발생기.

청구항 10

제 9항에 있어서,
 상기 제2 전압 변조부는 상기 피드백 증폭기의 비반전 오프셋 전압과 반전 오프셋 전압을 교차시켜 상기 비반전 오프셋 전압과 반전 오프셋 전압의 주파수가 상기 제1, 2 클럭 주파수의 홀수 고조파로 변조되도록 하는 것을 특징으로 하는 저전압 고정밀도 밴드갭 기준전압 발생기.

청구항 11

제 10항에 있어서,
 상기 제1, 2 클럭 주파수의 홀수 고조파로 변조된 비반전 오프셋 전압 및 반전 오프셋 전압은 상기 저주파 통과 필터에서 필터링되는 것을 특징으로 하는 저전압 고정밀도 밴드갭 기준전압 발생기.

청구항 12

제 5항에 있어서, 상기 저주파 통과 필터는,
 상기 제4 저항에 커패시터가 병렬로 연결되어 구성된 것을 특징으로 하는 저전압 고정밀도 밴드갭 기준전압 발생기.

청구항 13

제 1항에 있어서,
 게이트에 바이어스 전압이 인가되는 제16 NMOS 트랜지스터를 더 포함하며,
 상기 제16 NMOS 트랜지스터의 드레인은 상기 제6, 7 NMOS 트랜지스터의 소스에 공통으로 연결되고, 소스는 접지

에 연결되는 것을 특징으로 하는 저전압 고정밀도 밴드갭 기준전압 발생기.

명세서

발명의 상세한 설명

기술분야

- <1> 본 발명은 저전압 고정밀도 밴드갭 기준전압 발생기에 관한 것으로, 보다 상세하게는 1V 이하의 전원에서 안정된 기준전압을 제공할 수 있으며 오프셋 노이즈에 강한 저전압 고정밀도 밴드갭 기준전압 발생기에 관한 것이다.
- <2> 본 발명은 정보통신부 및 정보통신연구진흥원의 IT원천기술개발사업의 일환으로 수행한 연구로부터 도출된 것이다[과제관리번호: 2006-S-006-02, 과제명: 유비쿼터스 단말용 부품/모듈].

배경기술

- <3> 일반적으로, 칩(Chip)으로 제작되는 모든 아날로그(Analog)/고주파(RF) 회로 혹은 디지털(Digital) 회로는 효율적인 동작을 위해서 안정적이고 정확한 바이어스(Bias) 전압을 필요로 한다.
- <4> 하지만, 통상적인 바이어스 회로에서 제공되는 바이어스 전압은 회로가 동작하는 동안에 발생하는 온도변화로 인해 시간이 지날수록 일정한 값을 유지하지 못하고 변하기 마련이다.
- <5> 이를 위해 바이폴라 트랜지스터(혹은 다이오드)의 온도특성을 이용하여 어떠한 온도변화에서도 안정된 기준전압을 제공하는 밴드갭(Band-Gap) 기준전압 발생기가 사용되고 있다.
- <6> 도 1은 종래의 CMOS 밴드갭 기준전압 발생기를 설명하기 위한 회로도이다.
- <7> 도 1을 참조하면, 종래의 CMOS 밴드갭 기준전압 발생기는, 제1 내지 제3 PMOS 트랜지스터(M1~M3), 피드백 증폭기(AMP), 제1, 2 저항(R₁, R₂), 제1 내지 제3바이폴라 트랜지스터(Q1~ Q3)로 구성되어 있다.
- <8> 여기에서, 제1 노드 전압(-V_{in})과 제2 노드 전압(+V_{in})은 피드백 증폭기(AMP)의 가상접지로 인해 동일한 전압 값을 갖게 된다. 좀 더 자세히 설명하면, 제1 노드 전압(-V_{in}) 보다 제2 노드 전압(+V_{in})이 높은 경우, 피드백 증폭기(AMP)의 출력 전압이 높아져 제1 저항(R₁)에 흐르는 전류가 감소하게 되고 감소된 전류가 제2 바이폴라 트랜지스터(Q2)에 흐르면서 제2 노드 전압(+V_{in})이 감소된다. 반대로, 제1 노드 전압(-V_{in}) 보다 제2 노드 전압(+V_{in})이 낮은 경우, 피드백 증폭기(AMP)의 출력 전압이 낮아져 제1 저항(R₁)에 흐르는 전류가 증가하게 되고 증가된 전류가 제2 바이폴라 트랜지스터(Q2)에 흐르면서 제2 노드 전압(+V_{in})이 증가하게 된다.
- <9> 이와 같이 구성된 밴드갭 기준전압 발생기에서 출력되는 기준전압(V_{ref})은 어떠한 온도변화에도 무관한 특성을 갖게 되는데, 이를 수식적으로 설명하면 다음과 같다.
- <10> 피드백 증폭기(AMP)는 가상 접지로 인해 입력 양단의 전압(+V_{in}, -V_{in})이 같아지기 때문에, 제2 노드 전압(+V_{in})은 제1 바이폴라 트랜지스터(Q1)의 베이스-에미터 전압(V_{BE1})과 같으며, 따라서, 제1 저항(R₁)에 걸리는 전압은 ΔV_{BE} = V_{BE1} - V_{BE2} 가 된다. 이를 온도와 관련된 식으로 변환하면 다음의 수학적 식 1과 같이 나타낼 수 있다.

수학적 식 1

$$\begin{aligned}
 \Delta V_{BE} &= V_{BE1} - V_{BE2} \\
 &= V_T \ln \frac{I_{C1}}{I_{S1}} - V_T \ln \frac{n \cdot I_{C2}}{I_{S2}} \\
 &= V_T \ln n
 \end{aligned}$$

- <11>
- <12> 상기 수학적 식 1에서, I_S는 포화 전류로 바이폴라 트랜지스터의 개수에 비례하는 값이고, I_C은 바이폴라 트랜지스

터에 흐르는 전류이며, n은 바이폴라 트랜지스터의 개수이다. 그리고, V_T 는 온도 전압(Thermal voltage)으로 상온에서 약 25mV의 값을 가진다.

<13> 상기 수학적 식 1에서 $\ln n$ 은 상수값이므로, ΔV_{BE} 의 온도변화율은 다음의 수학적 식 2와 같이 나타낼 수 있다.

수학적 식 2

$$\frac{\partial \Delta V_{BE}}{\partial T} \approx \frac{\partial V_T}{\partial T} \approx + 0.087mV/^\circ C$$

<14>

<15> 즉, 제1 저항(R_1)에 걸리는 전압(ΔV_{BE})은 온도변화에 대하여 양의 비례방향으로 증가하는 특성을 가진다. 그리고, 제1 저항(R_1)에 흐르는 전류(I_2)는 ΔV_{BE} 의 온도특성을 그대로 모사한체 제3 PMOS 트랜지스터(M3)로 미러링(Mirroring)된다. 이 미러링 전류(I_3)는 제2 저항(R_2)과 제3 바이폴라 트랜지스터(Q3)에 흐르게 된다.

<16> 여기에서, 제 3 바이폴라 트랜지스터(Q3)의 베이스-에미터 전압(V_{BE3})의 온도와 관련된 수식은 수학적 식 3과 같이 나타낼 수 있다.

수학적 식 3

$$\frac{\partial V_{BE3}}{\partial T} \approx -1.5mV/^\circ C$$

<17>

<18> 상기 수학적 식 3에서 알 수 있는 바와 같이, 제 3 바이폴라 트랜지스터(Q3)의 베이스-에미터 전압(V_{BE3})은 온도변화에 대하여 음의 비례방향으로 감소하는 특성을 가진다.

<19> 따라서, 제 2 저항(R_2)에 걸리는 전압은 온도변화에 대하여 양의 비례방향으로 증가하고, 제3 바이폴라 트랜지스터(Q3)의 베이스-에미터 전압(V_{BE3})은 온도변화에 대하여 음의 비례방향으로 감소하기 때문에, 이 두 전압이 더해져 생성되는 기준전압(V_{ref})은 온도 변화에 영향을 받지 않게 된다. 이를 수식으로 나타내면 수학적 식 4와 같이 나타낼 수 있다.

수학적 식 4

$$V_{ref} = V_{BE3} + \frac{R_2}{R_1} V_T \ln n \approx 1.25 V$$

<20>

<21> 상기 수학적 식 4에서 알 수 있는 바와 같이, V_{BE3} 는 온도변화에 대하여 음의 비례방향으로 감소하는 온도변수이고, V_T 는 온도변화에 대하여 양의 비례방향으로 증가하는 온도변수이므로, 제1, 2 저항(R_1, R_2)의 저항비를 조절하면 기준전압(V_{ref})은 온도 변화에 영향을 받지 않게 된다.

<22> 즉, 도 1과 같이 구성된 종래의 밴드갭 기준전압 발생기는 상기 수학적 식 4의 결과처럼 이론적인 기준전압(V_{ref})이 대략 1.25V 부근에서 완벽한 온도보상특성을 가지기 때문에, 1V이하급 인가전압 회로설계에는 적용할 수 없는 한계가 발생한다. 더불어 기준전압 발생기에 사용되는 트랜지스터들의 원활한 동작까지 보장받기 위해서는 최소 1.5V이상의 전원이 사용되어야 한다.

<23> 최근 들어 많은 관심이 집중되고 있는 이동통신 단말기는 휴대의 용이성과 오랜 지속시간을 보장하기 위하여 저전력 핵심칩 설계가 무엇보다 중요하게 요구되고 있다.

<24> 그런데, 저전력 설계를 위하여 낮은 공급전압을 사용할 시 칩(Chip)내에 핵심이 되는 밴드갭 바이어스 회로는 전술한 것처럼 동작전원이 최소 1.5V이상이 필요하기 때문에 회로 설계에 걸림돌이 된다.

<25> 그리고, 도 1의 피드백 증폭기(AMP)의 입력단은 일반적으로 두개의 CMOS 트랜지스터로 설계된다. 하지만, 회로의 레이아웃시 2개의 CMOS 트랜지스터를 동일하게 설계한다 하더라도 공정상의 문제로 인해 정확하게 동일한 특성을 갖는 2개의 CMOS 트랜지스터를 제작하는 것은 매우 어렵다. 따라서, 이와 같은 트랜지스터의 특성 차이로

인해 오프셋이 발생하게 되면, 제1 노드 전압($-V_{in}$)과 제2 노드 전압($+V_{in}$)이 달라지게 되어, 이로 인해 정확한 기준전압을 만들어 낼 수 없다는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- <26> 본 발명은 전술한 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 저전압 설계를 위하여 1V이하의 전원에서 온도변화에 무관한 안정된 기준전압을 제공할 수 있는 저전압 고정밀도 밴드갭 기준전압 발생기를 제공하는 것이다.
- <27> 본 발명의 다른 목적은 피드백 증폭기에서 발생하는 오프셋 노이즈로 인한 기준전압의 변화율을 최소화하여 정확한 기준전압을 제공할 수 있는 저전압 고정밀도 밴드갭 기준전압 발생기를 제공하는 것이다.

과제 해결수단

- <28> 상기 목적을 달성하기 위하여 본 발명에 따른 저전압 고정밀도 밴드갭 기준전압 발생기는, 게이트와 소스가 공통으로 제1 노드 및 전원단자에 각각 연결되고, 드레인이 제2, 3, 4 노드에 각각 연결되며, 전류 미러의 형태로 이루어진 제1 내지 제3 PMOS 트랜지스터; 전류 미러의 형태로 이루어진 제4, 5 PMOS 트랜지스터와 제6, 7 NMOS 트랜지스터로 구성되며, 상기 제6, 7 NMOS 트랜지스터의 게이트에 비반전 및 반전 입력전압이 각각 입력되고, 상기 제4, 5 PMOS 트랜지스터의 드레인으로부터 비반전 및 반전 출력전압이 각각 출력되는 피드백 증폭기; 상기 제2 노드와 제5 노드 사이에 접속되는 제1 저항; 상기 제2, 3, 4 노드와 접지 사이에 각각 접속되는 제2, 3, 4 저항; 상기 제2 저항과 병렬로 연결되며, 에미터가 상기 제5 노드에 연결되고 콜렉터와 베이스가 접지되는 제1 바이폴라 트랜지스터; 및 상기 제3 저항과 병렬로 연결되며, 에미터가 상기 제3 노드에 연결되고 콜렉터와 베이스가 접지되는 제2 바이폴라 트랜지스터를 포함하며, 상기 제4 노드와 접지 사이의 전압을 기준전압으로 사용하는 것을 특징으로 한다.
- <29> 바람직하게, 상기 기준전압은 0 내지 1V 이하의 전압값을 가지며, 상기 기준전압이 온도변화에 무관한 전압값을 갖도록 상기 제4 저항의 저항값이 조절된다.
- <30> 또한, 상기 피드백 증폭기의 오프셋 노이즈 문제를 최소화하기 위해, 상기 제2 노드와 상기 제3 노드 사이에 접속되어 상기 피드백 증폭기의 비반전 입력전압과 반전 입력전압을 교차시켜 변조하는 제1 전압 변조부; 상기 제1 노드와 상기 피드백 증폭기의 출력단자 사이에 접속되어 상기 피드백 증폭기의 비반전 출력전압과 반전 출력전압을 교차시켜 변조하는 제2 전압 변조부; 및 상기 제4 노드와 접지 사이에 접속되며, 상기 제4 노드의 전압에서 저주파 신호를 통과시키는 저주파 통과 필터를 더 포함하는 것이 바람직하다.

효과

- <31> 본 발명의 저전압 고정밀도 밴드갭 기준전압 발생기에 따르면, 기준전압 값을 1V이하로 줄일 수 있으므로, 낮은 전원전압에서도 온도변화에 무관한 안정된 기준전압을 제공할 수 있는 효과가 있다.
- <32> 또한, 본 발명의 저전압 고정밀도 밴드갭 기준전압 발생기에 따르면, 피드백 증폭기에서 발생하는 오프셋 노이즈로 인한 기준전압의 변화율을 최소화할 수 있으므로, 이에 따라 정확한 기준전압을 제공할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <33> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당업계에서 통상의 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다.
- <34> 도 2는 본 발명의 일 실시예에 따른 저전압 고정밀도 밴드갭 기준전압 발생기를 설명하기 위한 회로도이다.
- <35> 도 2를 참조하면, 본 발명의 일 실시예에 따른 저전압 고정밀도 밴드갭 기준전압 발생기는, 제1 내지 제3 PMOS 트랜지스터(M1~M3), 제4, 5 PMOS 트랜지스터(M4, M5)와 제 6, 7 NMOS트랜지스터(M6, M7)로 구성된 피드백 증폭기(AMP), 제1 내지 제3 저항($R_1\sim R_3$), 제4 저항(R_4)과 커패시터(C)로 구성된 저주파 통과 필터(LPF), 제1, 제2 바

이폴라 트랜지스터(Q1, Q2), 오프셋 노이즈 제거를 위한 제1, 2 전압 변조부(MOD1, MOD2)와, 바이어스 전류 공급을 위한 제16 NMOS 트랜지스터(M16)를 포함하여 이루어진다.

- <36> 상기 각 구성요소의 연결관계를 간략하게 설명하면 다음과 같다.
- <37> 상기 제1 내지 제3 PMOS 트랜지스터(M1~M3)는 전류 미러(Current Mirror)의 형태로 이루어지는 바, 제1 내지 제3 PMOS 트랜지스터(M1~M3)의 게이트(Gate)는 공통으로 제1 노드(N1)에 연결되고, 소스(Source)는 공통으로 전원 단자(V_{DD})에 연결되며, 드레인(Drain)은 제2, 3, 4 노드(N2, N3, N4)에 각각 연결된다.
- <38> 상기 피드백 증폭기(AMP)는 전류 미러의 형태로 이루어진 제4, 5 PMOS 트랜지스터(M4, M5)와 제6, 7 NMOS 트랜지스터(M6, M7)를 포함하며, 상기 제6, 7 NMOS 트랜지스터(M6, M7)의 게이트에 비반전 및 반전 입력 전압($+V_{in}$, $-V_{in}$)이 각각 입력되고, 상기 제4, 5 PMOS 트랜지스터(M4, M5)의 드레인에서 비반전 및 반전 출력전압($+V_1$, $-V_1$)이 각각 출력된다.
- <39> 상기 제6, 7 NMOS 트랜지스터(M6, M7)의 소스는 서로 연결되어 제16 NMOS 트랜지스터(M16)의 드레인에 연결되며, 상기 제16 NMOS 트랜지스터(M16)의 게이트에는 바이어스 전압(V_b)이 인가된다.
- <40> 이하 설명의 편의를 위해 상기 피드백 증폭기(AMP)의 입력단에 해당하는 제6, 7 NMOS 트랜지스터(M6, M7)의 게이트를 제6, 7 노드(N6, N7)로 나타내고, 출력단에 해당하는 제4, 5 PMOS 트랜지스터(M4, M5)의 드레인을 A, B 노드로 나타낸다.
- <41> 상기 제6, 7 노드(N6, N7)에는 비반전 입력 전압($+V_{in}$)과 반전 입력 전압($-V_{in}$)을 교차시키기 위한 제1 변조부(MOD1)가 연결되며, 상기 A, B 노드에는 출력 전압을 교차시키기 위한 제2 변조부(MOD2)가 연결된다. 상기 제1 변조부(MOD1)는 스위치 역할을 하는 제8, 9 PMOS 트랜지스터(M8, M9)와 제10, 11 PMOS 트랜지스터(M10, M11)를 포함하며, 상기 제8, 9 PMOS 트랜지스터(M8, M9)의 드레인에는 비반전 입력 전압($+V_{in}$)이 공통으로 인가되고, 상기 제10, 11 PMOS 트랜지스터(M10, M11)의 소스에는 반전 입력 전압($-V_{in}$)이 공통으로 인가된다. 그리고, 상기 제8, 10 PMOS 트랜지스터(M8, M10)의 게이트에는 제1 클럭(CLK1)이 인가되고, 제9, 11 PMOS 트랜지스터(M9, M11)의 게이트에는 제2 클럭(CLK2)이 인가된다. 상기 제8 PMOS 트랜지스터(M8)의 소스와 제11 PMOS 트랜지스터(M11)의 드레인은 상기 제6 노드(N6)에 공통으로 연결되며, 상기 제9 PMOS 트랜지스터(M9)의 소스와 제10 PMOS 트랜지스터(M10)의 드레인은 상기 제7 노드(N7)에 공통으로 연결된다. 상기 제2 변조부(MOD2)는 스위치 역할을 하는 제12, 13 PMOS 트랜지스터(M12, M13)와 제14, 15 PMOS 트랜지스터(M14, M15)를 포함하며, 제12, 13 PMOS 트랜지스터(M12, M13)의 소스는 상기 피드백 증폭기(AMP)를 구성하는 제4, 5 PMOS 트랜지스터(M4, M5)의 게이트에 공통으로 연결되고, 제14, 15 PMOS 트랜지스터(M14, M15)의 드레인은 공통으로 제1 노드(N1)에 연결된다. 그리고, 상기 제12, 14 PMOS 트랜지스터(M12, M14)의 게이트에는 제1 클럭(CLK1)이 인가되고, 제13, 15 PMOS 트랜지스터(M13, M15)의 게이트에는 제2 클럭(CLK2)이 인가된다. 상기 제12 PMOS 트랜지스터(M12)의 드레인과 제15 PMOS 트랜지스터(M15)의 소스는 A노드에 공통으로 연결되며, 상기 제13 PMOS 트랜지스터(M13)의 드레인과 제14 PMOS 트랜지스터(M14)의 소스는 B 노드에 에 공통으로 연결된다.
- <42> 제1 저항(R_1)은 제2 노드(N2)와 제5 노드(N5) 사이에 연결되어 있고, 제2 저항(R_2)은 제2 노드(N2)와 접지단자(GND) 사이에 연결되어 있으며, 제3 저항(R_3)은 제3 노드(N3)와 접지단자(GND) 사이에 연결되어 있다.
- <43> 저주파 통과 필터(LPF)는 제4 저항(R_4)과 커패시터(C)가 병렬 연결되어 제4 노드(N4)와 접지단자(GND) 사이에 연결되어 있으며, 상기 제4 노드(N4)에는 기준전압 단자(V_{ref})가 연결된다.
- <44> 제1 바이폴라 트랜지스터(Q1)의 에미터(Emitter)는 제5 노드(N5)에 연결되어 있으며, 콜렉터(Collector)와 베이스(Base)는 접지(GND)된다. 제2 바이폴라 트랜지스터(Q2)의 에미터(Emitter)는 제3 노드(N3)에 연결되어 있으며, 콜렉터(Collector)와 베이스(Base)는 접지(GND)된다.
- <45> 이와 같이 구성된 본 발명의 밴드갭 기준전압 발생기는, 0 내지 1V 이하의 저전압에서도 온도변화에 무관한 안정된 기준전압 제공할 수 있으며, 피드백 증폭기(AMP)에서 발생하는 오프셋 노이즈 문제를 최소화할 수 있는 것에 가장 큰 특징이 있으며, 이하의 설명에서 이와 관련한 본 발명의 밴드갭 기준전압 발생기의 구성 및 동작에 대하여 보다 상세히 설명한다.
- <46> (1) 1V 이하의 저전압에서 온도변화에 무관한 안정된 기준전압 제공

<47> 우선, 제1 내지 제3 PMOS 트랜지스터(M1~M3)가 포화(saturation) 모드인 상태에서, 피드백 증폭기(AMP)의 출력 전압이 제1, 2, 3 PMOS 트랜지스터(M1, M2, M3)의 게이트에 인가되면, 제1 내지 제3 PMOS 트랜지스터(M1~M3)에 흐르는 전류는 전류 미러링(current mirroring)을 통해 같아진다. 즉, $I_1=I_2=I_3$ 가 된다.

<48> 여기에서, 전류 I_1 은 I_{1a} 와 I_{1b} 로 나눌 수 있고, 전류 I_2 는 I_{2a} 와 I_{2b} 로 나눌 수 있다. 즉, $I_1=I_{1a}+I_{1b}$, $I_2=I_{2a}+I_{2b}$ 이다.

<49> 전술한 바와 같이, 피드백 증폭기(AMP)는 가상 접지로 인해 입력 양단의 전압($+V_{in}$, $-V_{in}$)이 같아지기 때문에, 제2 저항(R_2)과 제3 저항(R_3)이 같으면, 즉, $R_2=R_3$ 이면, $I_{1b}=I_{2b}$ 가 되고, $I_{1a}=I_{2a}$ 가 된다.

<50> 이 때, 제2 바이폴라 트랜지스터(Q2)에 흐르는 전류(I_{2a})는 바이폴라 트랜지스터의 전류 공식에 의해 다음의 수학적 식 5와 같이 나타낼 수 있다.

수학적 식 5

$$I_{2a} = I_S \cdot e^{V_{BE2}/V_T}$$

<51>

<52> 상기 수학적 식 5에서, I_S 는 포화 전류로 바이폴라 트랜지스터의 개수에 비례하는 전류이며, V_T 는 온도 전압(Thermal voltage)으로 상온에서 약 25 mV 이고, V_{BE2} 는 제2 바이폴라 트랜지스터(Q2)의 베이스-에미터 전압을 나타낸다.

<53> 상기 수학적 식 5를 상기 제2 바이폴라 트랜지스터(Q2)의 베이스-에미터 전압(V_{BE2})에 관한 식으로 변환하면 다음의 수학적 식 6과 같이 나타낼 수 있다.

수학적 식 6

$$V_{BE2} = V_T \cdot \ln \frac{I_{2a}}{I_S}$$

<54>

<55> 상기 수학적 식 6에 의해 구해진 제2 바이폴라 트랜지스터(Q2)의 베이스-에미터 전압(V_{BE2})의 온도에 따른 변화량은 전술한 바와 같이 약 $-1.5\text{mV}/^\circ\text{C}$ 로 음의 값을 가진다.

<56> 그리고, 피드백 증폭기(AMP)는 가상 접지로 인해 입력 양단의 전압($+V_{in}$, $-V_{in}$)이 같아지기 때문에, 제1 저항(R_1)에 걸리는 전압(ΔV_{BE})은 다음의 수학적 식 7과 같이 나타낼 수 있다.

수학적 식 7

$$\Delta V_{BE} = V_{BE2} - V_{BE1} = V_T \cdot \ln n$$

<57>

<58> 상기 수학적 식 7에서, n 은 바이폴라 트랜지스터의 개수, V_{BE1} 는 병렬로 n 개 연결된 바이폴라 트랜지스터의 베이스-에미터 전압을 나타낸다.

<59> 상기 수학적 식 7에 의해 구해진 제1 저항(R_1)에 걸리는 전압(ΔV_{BE})의 온도에 따른 변화량은 전술한 바와 같이 약 $+0.087\text{mV}/^\circ\text{C}$ 로 양의 값을 가진다.

<60> 한편, 제1 저항(R_1)과 제3 저항(R_3)을 기준으로 전류 I_{2a} 와 I_{2b} 을 나타내면 다음의 수학적 식 8과 같이 나타낼 수 있다.

수학식 8

$$I_{2a} = I_{1a} = \frac{\Delta V_{BE}}{R_1}$$

$$I_{2b} = \frac{V_{BE2}}{R_3}$$

<61>

<62> 상기 수학식 8에서, $I_{2a} + I_{2b} = I_2 = I_3$ 이므로, 이를 이용하여 최종 기준전압(V_{ref})은 다음의 수학식 9과 같이 나타낼 수 있다.

수학식 9

$$V_{ref} = R_4 \left(\frac{V_{BE2}}{R_3} + \frac{\Delta V_{BE}}{R_1} \right)$$

<63>

<64> 상기 수학식 9에서 알 수 있는 바와 같이, V_{BE2} 는 온도에 따라 감소하는 변수이고, ΔV_{BE} 는 온도에 따라 증가하는 변수이므로, 제4 저항(R_4)의 값을 적절히 조절하면 온도 변화에 영향을 받지 않는 최종 기준전압(V_{ref})을 얻을 수 있다.

<65>

즉, 제2 바이폴라 트랜지스터(Q2)에서 생성된 온도 변화에 따라 감소하는 온도변수는 제3 저항(R_3)에 흐르는 전류 I_{2b} 에 포함되고, 제1 저항(R_1)에서 생성된 온도 변화에 따라 증가하는 온도변수는 전류 I_{2a} 에 포함되며, 이에 따라 최종 출력단의 전류(I_3)에서는 $I_3 = I_2 = I_{2a} + I_{2b}$ 의 관계에 의해 온도변수가 제로(Zero)의 값을 갖게 되어, 기준전압(V_{ref})은 어떠한 온도변화에도 무관한 특성을 지니게 된다. 이 때, 제4 저항(R_4)값을 변화시켜 온도변수를 제로(Zero)로 맞추는 것이 바람직하다.

<66>

결론적으로, 본 발명에 따른 밴드갭 기준전압 발생기는, 제1, 2 바이폴라 트랜지스터(Q1, Q2)에 제2, 3 저항(R_2, R_3)을 각각 병렬로 연결하여 전압 강하 폭을 최소화하고, 출력단의 제4 저항(R_4)을 변화시켜 온도변수가 제로(Zero)의 값을 갖도록 함으로써, 0 내지 1V 이하의 전원에서 온도변화에 무관한 안정된 기준전압(V_{ref})을 제공할 수 있다.

<67>

2) 오프셋 노이즈 제거

<68>

전술한 바와 같이, 종래의 밴드갭 기준전압 발생기에서는 피드백 증폭기(AMP)의 오프셋 노이즈에 따라 출력 전압이 변화되는 문제점이 있다. 이러한 피드백 증폭기의 오프셋 노이즈 문제를 최소화하기 위해, 본 발명에서는 다음과 같이 입력측 전압 변조를 통한 안정화 기법(Chopper stabilization)을 이용하여 오프셋 노이즈를 제거하며, 이에 대하여 더 자세히 설명하면 다음과 같다.

<69>

도 3은 본 발명에 따른 오프셋 노이즈 제거 방법을 설명하기 위한 도면이다.

<70>

도 3을 참조하면, 피드백 증폭기(AMP)의 입력단에서는 비반전 입력전압($+V_{in}$)과 반전 입력전압($-V_{in}$)이 서로 교차되고, 출력단에서는 비반전 출력전압($+V_1$)과 반전 출력전압($-V_1$)이 서로 교차된다. 또한, 피드백 증폭기(AMP)의 출력단에서 비반전 오프셋 전압($+V_{off}$)과 반전 오프셋 전압($-V_{off}$)도 서로 교차되며, 최종 출력단에는 저주파 통과 필터(LPF)가 연결되어 있다.

<71>

도 3에서, 입력전압($+V_{in}, -V_{in}$)은 출력될 때까지 2번의 스위칭을 거치고, 오프셋 전압($+V_{off}, -V_{off}$)은 출력될 때까지 1번의 스위칭을 거치게 된다. 이 때, 스위칭 동작은 제1 클럭(CLK1)과 제2 클럭(CLK2)에 의해 이루어진다.

<72>

피드백 증폭기(AMP)에서 입력전압($+V_{in}, -V_{in}$)이 첫번째 스위칭을 거치게 되면, 입력전압($+V_{in}, -V_{in}$)의 주파수가 클럭 주파수의 홀수 고조파(odd harmonic distortion)로 변조된다. 변조된 입력전압의 주파수는 두번째 스위칭을 거치면서 다시 입력 전압 원래의 주파수 특성으로 복원된다.

- <73> 하지만, 오프셋 전압(+V_{off}, -V_{off})은 한 번의 스위칭만 거치므로, 첫번째 스위칭에서 비반전 오프셋 전압(+V_{off})과 반전 오프셋 전압(-V_{off})이 클럭 주파수의 홀수 고조파로 변조된다. 상기 클럭 주파수는 입력 전압(+V_{in}, -V_{in})의 주파수와 오프셋 전압(V_{off})의 주파수 보다 고주파 영역에 속하므로, 최종 출력단에 저주파 통과 필터(LPF)를 연결하면, 클럭 주파수의 홀수 고주파로 변조된 오프셋 전압은 저주파 통과 필터(LPF)를 통과하지 못하게 되어 오프셋 노이즈가 제거된다.
- <74> 즉, 본 발명은 이와 같은 오프셋 노이즈 제거 원리를 이용한 것으로, 도 2를 참조하여 본 발명의 밴드갭 기준전압 발생기에서 오프셋 노이즈가 제거되는 과정을 더 자세히 설명하면 다음과 같다.
- <75> 도 2를 참조하면, 피드백 증폭기(AMP)의 입력단에 연결된 제1 변조부(MOD1)에서는 두 개의 서로 다른 입력전압(+V_{in}, -V_{in})을 교차시켜 입력 전압(+V_{in}, -V_{in})의 주파수가 클럭 주파수의 홀수 고조파(odd harmonic distortion)로 변조되도록 한다. 즉, 제1 클럭(CLK1)이 '0' 이되어, 스위치 역할을 하는 제 8, 10 PMOS 트랜지스터(M8, M10)가 온되면, 제 2노드의 전압(+V_{in})은 제 6노드(N6)로 입력되고 제 3 노드의 전압(-V_{in})은 제 7노드(N7)로 입력된다. 반대로 제 2 클럭(CLK2)이 '0'이 되어 스위치 역할을 하는 제 9, 11 PMOS 트랜지스터(M9, M11)가 온되면, 제 2노드의 전압(+V_{in})은 제 7노드(N7)로 입력되고 제3노드의 전압(-V_{in})은 제 6노드(N6)로 입력된다.
- <76> 그리고, 피드백 증폭기(AMP)의 출력단에 연결된 제2 변조부(MOD2)에서는 두 개의 서로 다른 출력전압(+V₁, -V₁)을 교차시켜 변조된 입력 전압의 주파수가 다시 입력 전압 원래의 주파수 특성으로 복원되도록 한다. 즉, 제1 클럭(CLK1)이 '0'이 되어, 제 12, 14 PMOS 트랜지스터(M12, M14)가 온되면, B 노드의 전압(-V₁)이 제 1노드(N1)에 연결되고, 제2 클럭(CLK2)이 '0'이 되어, 제 13, 15 PMOS 트랜지스터(M13, M15)가 온되면 A 노드의 전압(+V₁)이 제 1노드(N1)에 연결된다. 이 때, 오프셋 전압(V_{off})은 클럭 주파수의 홀수 고주파로 변조되며, 변조된 오프셋 전압은 최종 출력단에 연결된 저주파 통과 필터(LPF)에서 필터링되며, 이에 따라 오프셋 노이즈가 제거된다.
- <77> 상술한 바와 같이, 본 발명의 밴드갭 기준전압 발생기는, 저전력 설계에 적합한 낮은 기준전압을 제공할 수 있을 뿐만 아니라 오프셋 노이즈에도 강한 장점을 갖는다.
- <78> 도 4는 도 2의 밴드갭 기준전압 발생기의 온도변화에 대한 기준전압의 변화를 나타낸 그래프로, 0.9V의 낮은 전원전압(V_{DD})하에서 최대한으로 전압 강하 폭을 줄이기 위해 작은 문턱전압을 갖는 트랜지스터를 사용하여 컴퓨터 시뮬레이션을 수행한 결과이다.
- <79> 도 4에서 알 수 있는 바와 같이, 온도 변화가 0~100℃ 일 때 본 발명의 밴드갭 기준전압 발생기에서 출력되는 기준전압(V_{ref})의 변화율은 약 3.5 mV로, 온도보상 특성을 갖는 것을 알 수 있다.
- <80> 도 5 및 도 6은 밴드갭 기준전압 발생기에 사용된 피드백 증폭기에서 오프셋이 존재하지 않는 경우와 오프셋이 2% 정도 존재하는 경우의 시뮬레이션 결과를 각각 나타낸 도면이며, 도 7은 2% 정도의 오프셋을 가진 피드백 증폭기의 입력단과 출력단에서 입력전압과 출력전압을 각각 교차시킨 경우의 시뮬레이션 결과를 나타낸 도면이다.
- <81> 도 5 및 도 6을 참조하면, 피드백 증폭기에서 오프셋이 존재하지 않는 경우에는 기준전압(V_{ref})이 약 528.52mV(25℃), 오프셋이 2% 정도 존재하는 경우에는 기준전압(V_{ref})이 약 597.73mV(25℃)의 값을 갖는다. 즉, 피드백 증폭기에 2% 정도의 오프셋이 존재하는 경우, 기준전압(V_{ref})은 오프셋이 존재하지 않는 경우와 비교하여 약 69.21mV(25℃) 정도 높은 것을 알 수 있다.
- <82> 이에 비하여, 도 7을 참조하면, 2% 정도의 오프셋을 가진 피드백 증폭기의 입력단과 출력단에서 입력전압과 출력전압을 각각 교차시킨 경우, 기준전압(V_{ref})이 약 532.2mV(25℃)로, 오프셋이 존재하지 않았을 때와 비교하여 약 3.68mV(25℃) 정도만 높아진 것을 확인할 수 있다.
- <83> 즉, 이와 같은 시뮬레이션 결과로부터 본 발명의 밴드갭 기준전압 발생기는 입출력 전압의 변조를 통한 안정화 기법을 통해 피드백 증폭기의 오프셋에 따른 기준전압의 변화율을 약 95% 정도 줄일 수 있는 것을 알 수 있다.
- <84> 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았으며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현

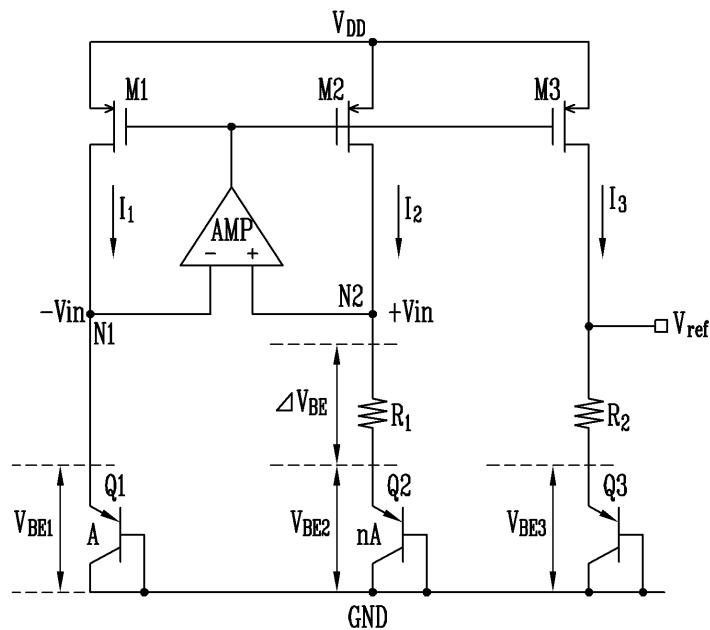
될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

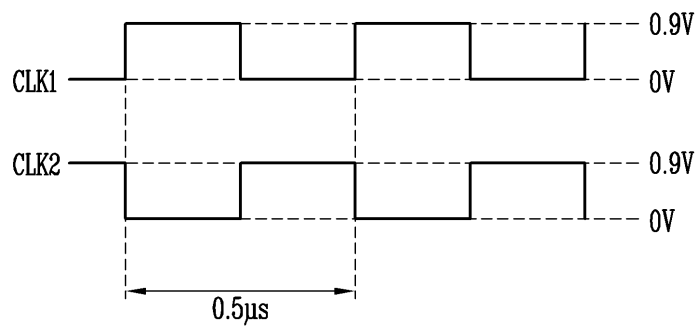
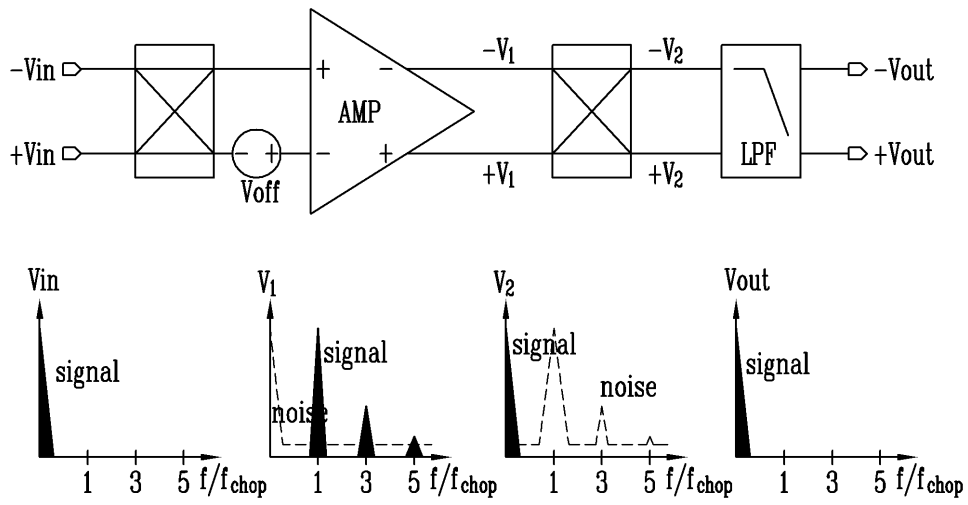
- <85> 도 1은 종래의 CMOS 밴드갭 기준전압 발생기를 설명하기 위한 회로도이다.
- <86> 도 2는 본 발명의 일 실시예에 따른 저전압 고정밀도 밴드갭 기준전압 발생기를 설명하기 위한 회로도이다.
- <87> 도 3은 본 발명에 따른 오프셋 노이즈 제거 방법을 설명하기 위한 도면이다.
- <88> 도 4는 도 2의 밴드갭 기준전압 발생기의 온도변화에 대한 기준전압의 변화를 나타낸 그래프이다.
- <89> 도 5 및 도 6은 밴드갭 기준전압 발생기에 사용된 피드백 증폭기에서 오프셋이 존재하지 않는 경우와 오프셋이 2% 정도 존재하는 경우의 시뮬레이션 결과를 각각 나타낸 도면이다.
- <90> 도 7은 2% 정도의 오프셋을 가진 피드백 증폭기의 입력단과 출력단에서 입력전압과 출력전압을 각각 교차시킨 경우의 시뮬레이션 결과를 나타낸 도면이다.
- <91> * 도면의 주요 부분에 대한 부호 설명 *
- <92> M1, ..., M16 : CMOS 트랜지스터
- <93> Q1, Q2 : 제1, 2 바이폴라 트랜지스터
- <94> R1, ..., R4 : 제1 내지 제4 저항
- <95> LPF : 저주파 통과 필터
- <96> MOD1, MOD2 : 제1, 2 전압 변조부
- <97> AMP : 피드백 증폭기

도면

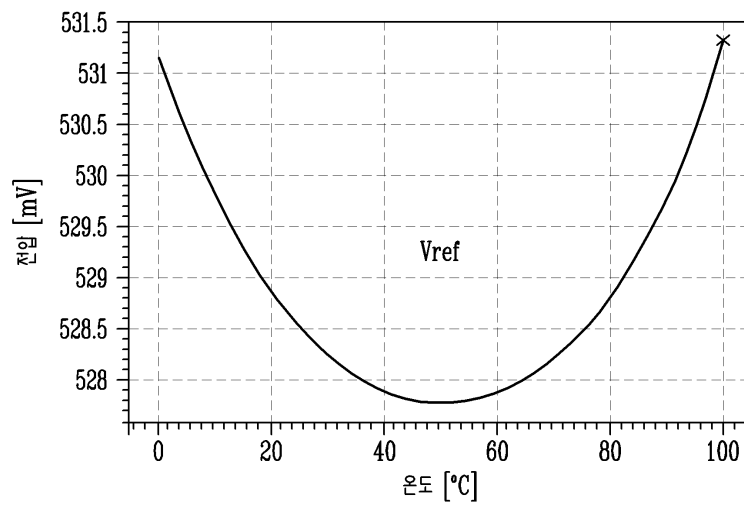
도면1



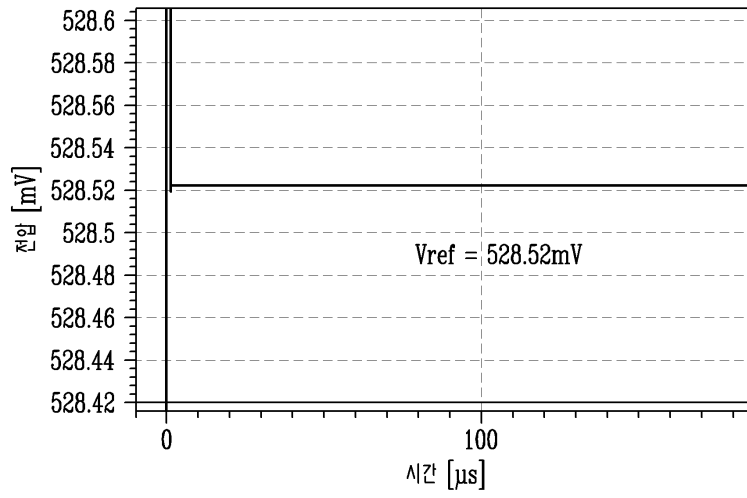
도면3



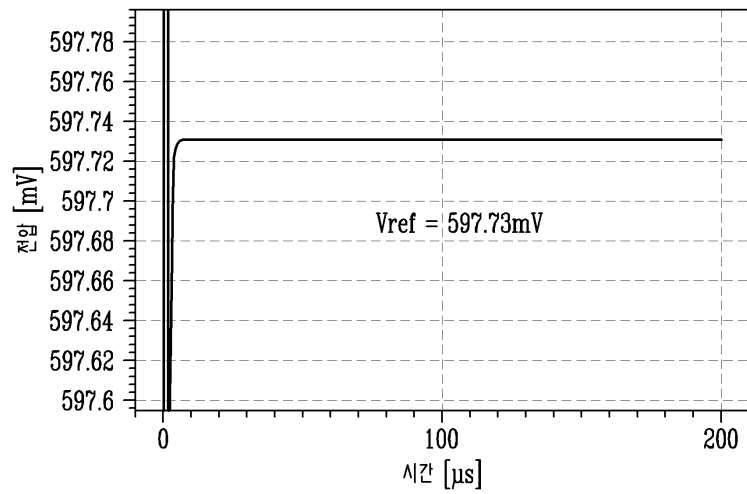
도면4



도면5



도면6



도면7

