



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년05월16일
(11) 등록번호 10-1146574
(24) 등록일자 2012년05월09일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
- (21) 출원번호 10-2009-7013845
(22) 출원일자(국제) 2007년11월29일
심사청구일자 2009년07월02일
- (85) 번역문제출일자 2009년07월02일
(65) 공개번호 10-2009-0089450
(43) 공개일자 2009년08월21일
- (86) 국제출원번호 PCT/JP2007/073529
(87) 국제공개번호 WO 2008/069255
국제공개일자 2008년06월12일
- (30) 우선권주장
JP-P-2006-328308 2006년12월05일 일본(JP)
(뒷면에 계속)
- (56) 선행기술조사문헌
JP2002289859 A*
“Low-resistance and nonalloyed ohmic contacts to plasma treated ZnO,” Applied Physics Letters, Vol. 78, No. 24, pp.3842-3844, 11 June 2001*
US20060244107 A1
*는 심사관에 의하여 인용된 문헌
- (73) 특허권자
캐논 가부시끼가이샤
일본 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고
- (72) 발명자
오무라 히데유키
일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고 캐논 가부시끼가이샤 나이
하야시 료
일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고 캐논 가부시끼가이샤 나이
(뒷면에 계속)
- (74) 대리인
권태복

전체 청구항 수 : 총 10 항

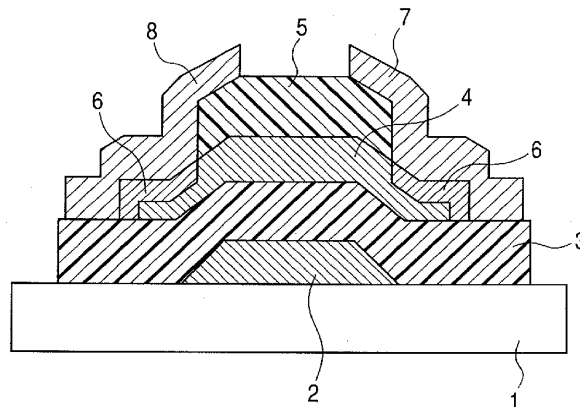
심사관 : 이상호

(54) 발명의 명칭 산화물 반도체를 이용한 박막 트랜지스터의 제조방법 및 표시장치

(57) 요약

박막 트랜지스터는 기판 위에 게이트 전극을 형성하는 것과, 상기 게이트 전극 위에 제1의 절연막을 형성하는 것과, 상기 제1의 절연막 위에 아모프스 산화물로 산화물 반도체층을 형성하는 것과, 상기 제1의 절연막을 패터닝하는 것과, 상기 산화물 반도체층을 패터닝하는 것과, 상기 산화물 반도체층 위에 상기 제2의 절연막을 산화성 가스가 포함된 분위기에서 형성하는 것과, 상기 제2의 절연막을 패터닝하여, 한 쌍의 콘택영역을 노출시키는 것과, 상기 한 쌍의 콘택영역에 전극층을 형성하는 것과, 상기 전극층을 패터닝해서 소스 전극 및 드레인 전극을 형성하는 것에 의해 제조된다.

대표도 - 도1



(72) 발명자

카지 노부유키

일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2
고 캐논 가부시끼가이샤 나이

야부타 히사토

일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2
고 캐논 가부시끼가이샤 나이

(30) 우선권주장

JP-P-2007-143503 2007년05월30일 일본(JP)

JP-P-2007-273863 2007년10월22일 일본(JP)

JP-P-2007-287401 2007년11월05일 일본(JP)

특허청구의 범위

청구항 1

기판 위에, 적어도 게이트 전극과, 제1의 절연막과, 산화물 반도체층과, 제2의 절연막과, 소스 전극과, 드레인 전극을 갖는 박막 트랜지스터를 제조하는 방법으로서,

기판 위에, 게이트 전극을 형성하는 공정과,

상기 게이트 전극 위에 제1의 절연막을 형성하는 공정과,

상기 제1의 절연막 위에 In, Zn 및 Sn 중에서 선택된 적어도 하나의 원소를 포함한 아모포스 산화물로 산화물 반도체층을 형성하는 공정과,

상기 제1의 절연막을 패터닝하는 공정과,

상기 산화물 반도체층을 패터닝하는 공정과,

상기 산화물 반도체층 위에 $3.8 \times 10^{19} / \text{cm}^3$ 이상의 산소 원자를 함유한 상기 제2의 절연막을 산화성 가스가 포함된 분위기에서 형성하는 공정과,

상기 제2의 절연막을 패터닝하여, 상기 산화물 반도체층에 있어서 한 쌍의 콘택영역을 노출시키고, 산소결합의 생성에 의해 상기 콘택영역의 전기저항을 낮추는 공정과,

상기 한 쌍의 콘택영역에 전극층을 형성하는 공정과,

상기 전극층을 패터닝해서 소스 전극 및 드레인 전극을 형성하는 공정을 포함한 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 2

기판 위에, 적어도 게이트 전극과, 산화물 반도체층과, 절연막과, 소스 전극과, 드레인 전극을 갖는 박막 트랜지스터를 제조하는 방법으로서,

기판 위에 In, Zn 및 Sn 중에서 선택된 적어도 하나의 원소를 포함한 아모포스 산화물로 산화물 반도체층을 형성하는 공정과,

상기 산화물 반도체층을 패터닝하는 공정과,

상기 산화물 반도체층 위에 $3.8 \times 10^{19} / \text{cm}^3$ 이상의 산소 원자를 함유한 절연막을 산화성 가스가 포함되는 분위기에서 형성하는 공정과,

상기 절연막을 패터닝하여 상기 산화물 반도체층에 있어서 한 쌍의 콘택영역을 노출시키고, 산소결합의 생성에 의해 상기 콘택영역의 전기 저항을 낮추는 공정과,

상기 절연막 위와 상기 한 쌍의 콘택영역 위에 전극층을 형성하는 공정과,

상기 전극층을 패터닝해서 소스 전극, 드레인 전극 및 게이트 전극을 형성하는 공정을 포함한 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 3

제 1 항에 있어서,

상기 산화성 가스가 포함되는 분위기로서, O_2/Ar 의 혼합 가스를 사용하고, 그 혼합비는 10 vol% 이상인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 4

제 1 항에 있어서,

상기 아모포스 산화물은, In, Zn 및 Sn을 포함한 산화물인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 5

삭제

청구항 6

청구항 1에 따른 제조방법에 의해 제조되는 것을 특징으로 하는 박막 트랜지스터.

청구항 7

청구항 6에 따른 박막 트랜지스터를 구비하는 표시장치로서, 상기 박막 트랜지스터의 소스 또는 드레인 전극이 표시소자의 전극에 접속되는 것을 특징으로 하는 표시장치.

청구항 8

제 7 항에 있어서,

상기 표시소자는, EL(electroluminescent) 소자인 것을 특징으로 하는 표시장치.

청구항 9

제 7 항에 있어서,

상기 표시 소자는, 액정 셀인 것을 특징으로 하는 표시장치.

청구항 10

제 7 항에 있어서,

기판 위에 복수의 표시 소자 및 복수의 박막 트랜지스터가 이차원적으로 배치되는 것을 특징으로 하는 표시장치.

청구항 11

제 1 항 또는 제 2 항에 있어서,

상기 콘택영역의 전기 저항을 낮추는 공정은 상기 콘택영역에 산소결손을 생성하는 공정을 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

명세서

기술분야

[0001] 본 발명의 산화물 반도체를 이용한 박막 트랜지스터의 제조방법 및 표시장치에 관한 것이다.

배경기술

[0002] 액티브 매트릭스형 액정표시소자 또는 유기 EL(electroluminescent)소자일 수 있는 표시장치의 스위칭 소자로서 실리콘계 반도체층을 갖는 박막 트랜지스터가 사용되어 왔다. 예를 들면, 절연 기판 위에 게이트 전극이 형성되고, 그 후에 게이트 전극을 포함하는 절연 기판 위에 게이트 절연막이 형성된다. 그 후, 아모포스 실리콘의 반도체층이 그 위에 형성된다. 다음에, 반도체층의 상면의 중앙 영역에 채널 보호막이 형성되고, 반도체 채널층 위에 보호막의 양측에서 n형 아모포스 실리콘의 오믹 콘택층이 형성된다. 그 후에, 소스 전극 및 드레인 전극이 오믹 콘택층 위에 배치된다(일본국 공개특허공보 특개평11-040814호).

[0003] 그렇지만, 상술한 것과 같은 실리콘계 반도체 재료는 가시광에 대하여 투명하지 않기 때문에, 채널층으로서 실리콘계 재료를 이용하는 종래의 박막 트랜지스터는 가시광을 흡수하여 오동작을 일으킬 수 있다. 이와 같이, 종래의 박막 트랜지스터는 외부 가시광이 입사하는 것을 방지하는 차광층을 필요로 하기 때문에 소자가 복잡한 구조를 나타내고 복잡한 제조공정을 필요로 하게 된다.

- [0004] 이 때문에, ZnO를 주성분으로서 함유하는 투명 전도성 산화물 다결정 박막을 사용한 박막 트랜지스터의 개발이 활발히 행해지고 있다. 상기 박막은, 아모포스 실리콘 박막보다도 높은 이동도를 나타내고, 저온에서 형성될 수 있다. 이와 같이, 플라스틱판이나 필름 등의 기판 위에 플렉시블하고 투명한 박막 트랜지스터를 형성할 수 있다. 따라서, 그러한 박막 트랜지스터는, 박막이 가시광에 투명하기 때문에 차광층을 필요로 하지 않는다.
- [0005] 이하, ZnO를 주성분으로서 함유하는 박막 트랜지스터의 제조방법에 대해서 설명한다. 우선, 게이트 절연막 위에 진성 산화아연의 반도체층을 형성한다. 그리고나서, 그 위에 반도체층과 동일한 단면을 갖는 보호막을 형성한다. 그 후에, 보호막의 상면에 상층 절연막을 형성한 후에 콘택홀을 형성한다. 그 다음, 콘택홀을 통해서 노출된 반도체층의 상면에 n형 ZnO의 오믹 콘택층을 형성하거나, 반도체층과 전극들이 접하는 영역에 저저항화 처리를 실시한 후, 그 상면에 소스 전극 및 드레인 전극을 형성한다(일본국 공개특허공보 특개2006-100760). 상술한 방법은 전극들과의 오믹 콘택을 수립하기 위해서, 반도체층에 대해서 저저항화 처리 또는 옴 콘택층을 형성하는 공정을 필요로 한다는 것을 인식할 것이다.
- [0006] Applied Physics Letters, 89, 112123 (2006)에는 투명 아모포스 산화물 반도체막(a-IGZO)을 박막 트랜지스터의 채널층으로서 마그네트론(magnetron) 스퍼터링법에 의해 실온에서 형성함으로써 평탄성과 균일성이 양호한 반도체층을 제조하는 방법에 대해서 기재되어 있다. 상술한 문헌에는 그렇게 함으로써 $12 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 의 양호한 전계효과 이동도를 나타내는 박막 트랜지스터를 얻는 것이 가능하다는 것이 개시되어 있다.
- [0007] 그렇지만, 상술한 박막 트랜지스터 소자는 오믹 콘택층을 갖지 않으므로 선택된 전극재료에 의존해서 산화물 반도체층과 소스 전극 및 드레인 전극의 비오믹(non-ohmic) 콘택이 일어날 수 있다.

발명의 상세한 설명

- [0008] 본 발명은 상술한 문제점을 감안하여 이루어진 것으로, 제조공정을 증가시키는 일없이 소스 전극 및 드레인 전극과 산화물 반도체층의 양호한 오믹 콘택을 나타내고 산화물 박막을 이용하는 박막 트랜지스터를 제공하는 것을 목적으로 한다.
- [0009] 본 발명의 발명자들은 투명 산화물 반도체를 이용하는 박막 트랜지스터에 관한 연구 및 개발을 정력적으로 진행 시킨 결과, 이하에 설명하는 구성에 의해 상기의 문제점을 해결할 수 있다는 것을 알아냈다. 즉, 산화물 반도체층을 덮도록 산화물 절연체의 제2의 절연막을 산화성 가스가 포함된 분위기에서 형성한다. 그리고나서, 산화물 반도체층을 피복하는 보호막으로서 제2의 절연막을 채널영역에만 남기고, 그 영역 이외의 산화물 반도체층을 피복하는 제2의 절연막을, 패터닝에 의해 제거해서 콘택 영역(전극에 전기적으로 접속되는 영역)으로서 산화물 반도체층을 노출시킨다. 상기의 공정의 결과로서, 콘택 영역을 형성하기 위해서 노출된 산화물 반도체층이 손상되고 그것의 전기 저항이 낮아진다. 즉, 이 공정에서 제2의 절연막을 패터닝함으로써 산화물 반도체층에 채널 영역과 콘택 영역이 동시에 형성되어, 콘택 영역의 전기 저항이 낮아진다. 그 후에, 각 콘택영역에 소스 전극 및 드레인 전극을 형성한다. 이와 같이, 산화물 반도체층의 전기 저항을 낮춤으로써 형성되는 콘택영역에 소스 전극 및 드레인 전극을 형성한다. 따라서, 오믹 콘택층을 형성하는 공정이나, 전극과 접촉하는 콘택영역의 전기 저항을 낮추는 공정을 필요로 하지 않아서 오믹 콘택이 양호한 박막 트랜지스터를 제조하는 것이 가능하다. 여기에서는, 보텀 게이트형 박막 트랜지스터를 설명했지만, 본 발명은 톱 게이트형 박막 트랜지스터도 실현할 수 있다.
- [0010] 본 발명의 일 국면에 있어서, 기판 위에, 적어도 게이트 전극과, 제1의 절연막과, 산화물 반도체층과, 제2의 절연막과, 소스 전극과, 드레인 전극을 갖는 박막 트랜지스터를 제조하는 방법은, 기판 위에, 게이트 전극을 형성하는 공정과, 상기 게이트 전극 위에 제1의 절연막을 형성하는 공정과, 상기 제1의 절연막 위에 아모포스 산화물로 산화물 반도체층을 형성하는 공정과, 상기 제1의 절연막을 패터닝하는 공정과, 상기 산화물 반도체층을 패터닝하는 공정과, 상기 산화물 반도체층 위에 상기 제2의 절연막을 산화성 가스가 포함된 분위기에서 형성하는 공정과, 상기 제2의 절연막을 패터닝하여, 상기 산화물 반도체층에 있어서 한 쌍의 콘택영역을 노출시키고, 상기 콘택영역의 전기저항을 낮추는 공정과, 상기 한 쌍의 콘택영역에 전극층을 형성하는 공정과, 상기 전극층을 패터닝해서 소스 전극 및 드레인 전극을 형성하는 공정을 포함한다.
- [0011] 본 발명의 또 다른 국면에 있어서, 기판 위에, 적어도 게이트 전극과, 산화물 반도체층과, 제2의 절연막과, 소스 전극과, 드레인 전극을 갖는 박막 트랜지스터의 제조방법은, 기판 위에 아모포스 산화물로 산화물 반도체층을 형성하는 공정과, 상기 산화물 반도체층을 패터닝하는 공정과, 상기 산화물 반도체층 위에 제2의 절연막을 산화성 가스가 포함되는 분위기에서 형성하는 공정과, 상기 제2의 절연막을 패터닝하여 상기 산화물 반도체층에 있어서 한 쌍의 콘택영역을 노출시키고, 상기 콘택영역의 전기 저항을 낮추는 공정과, 상기 제2의 절연막 위와

상기 한 쌍의 콘택영역 위에 전극층을 형성하는 공정과, 상기 전극층을 패터닝해서 소스 전극, 드레인 전극 및 게이트 전극을 형성하는 공정을 포함한다.

[0012] 상기에 기재된 본 발명에 따른 제조방법에 있어서는, 상기 산화성 가스가 포함되는 분위기로, O₂/Ar의 혼합 가스를 사용할 수 있고, 그 혼합비는 10vol%이상인 것이 바람직하다. 또한, 상기에 기재된 본 발명에 따른 제조방법에 있어서는, 상기 아모포스 산화물은, In, Zn, 및 Sn 중의 적어도 하나를 포함한 산화물이거나 또는 In, Zn, 및 Ga를 포함할 수도 있다. 또한, 상기에 기재된 본 발명에 따른 제조방법에 있어서는, 상기 제2 절연막은, TPD(temperature programmed desorption mass spectrometry)에 의해 탈리 가스로서 관측된 O₂⁺의 레벨이 3.8×10¹⁹/cm³ 이상이 되도록 산소 원자를 함유하는 아모포스 산화물 절연체일 수 있다.

[0013] 본 발명의 또 다른 국면에 있어서는, 상기에 기재된 제조방법에 의해 제조되는 박막 트랜지스터가 제공된다.

[0014] 본 발명의 또 다른 국면에 있어서는, 상기에 기재된 박막 트랜지스터를 구비하는 표시소자가 제공되는데, 표시소자의 전극에는, 상기 박막 트랜지스터의 소스 또는 드레인 전극이 접속된다. 상기에 기재된 본 발명에 따른 상기 표시 소자는, EL(electroluminescent) 소자이다. 또한, 상기에 기재된 본 발명에 따른 상기 표시 소자는, 액정 셀이다. 또한, 상기에 기재된 본 발명에 따른 표시소자는 기판 위에 복수의 표시 소자 및 복수의 박막 트랜지스터가 이차원적으로 배열되어 있다.

[0015] 이와 같이, 본 발명에 따른 산화물 반도체를 사용한 박막 트랜지스터에 있어서는, 산화물 반도체층의 전극과 접촉하는 콘택영역의 전기 저항을 낮추어서, 소스 전극 또는 드레인 전극과의 오믹 콘택을 형성할 수 있다. 따라서, 본 발명은 오믹 콘택이 우수한 트랜지스터 특성을 갖는 박막 트랜지스터를 제공할 수 있다.

[0016] 본 발명의 그 외의 특징들은 첨부도면을 참조하면서 이하의 예시적인 실시 예의 설명으로부터 밝혀질 것이다.

실시 예

[0032] 이하, 본 발명에 따른 박막 트랜지스터의 예시적인 실시예에 대해서, 도면을 참조하면서 상세히 설명한다.

[0033] 본 실시예의 박막 트랜지스터의 게이트 절연막 재료로서 아모포스 SiO_x를 사용한다. 또한, 스퍼터링법에 의해 아모포스 산화물 절연체로서 Al₂O₃ 채널과 아모포스 SiO_xN_y를 형성하는 것도 가능하다.

[0034] 박막 트랜지스터의 채널층으로서, ZnO나 In, Zn, 및 O를 포함한 산화물 반도체를 사용하는 것이 가능하다. 채널층으로서, In, Zn, 및 O과, 그 외에 적어도 Ga, Al, Fe, Sn, Mg, Ca, Si, 또는 Ge를 함유하고, 또 그 전도율이 10³S/cm 이상 10⁷S/cm 이하인 아모포스 산화물을 사용하는 것이 가능하다.

[0035] 도 1은, 산화물 반도체층과 전극과의 콘택 영역의 전기 저항을 낮추고, 상기 콘택영역에 소스 전극 및 드레인 전극이 접속되어 있는 보텀 게이트형인 제1의 예시적인 박막 트랜지스터를 나타내는 개략도이다. 도 1에서 보여지는 것처럼, 기판(1) 위에 게이트 전극(2)을 형성하고, 그 위에 제1의 절연막(3), 산화물 반도체층(4), 제2의 절연막(5), 산화물 반도체층과 전극과의 콘택 영역(6), 소스 전극(6), 및 드레인 전극(7)을 순차적으로 설치한다.

[0036] 도 13a, 13b, 13c, 13d, 13e, 13f, 13g, 및 13h는 제1의 예에 있어서의 박막 트랜지스터의 각 제조공정의 개략적인 단면도이다. 이하, 도 13a 내지 13h를 참조하면서 소자의 제조 공정을 설명한다.

[0037] 도 13a는 기판(1) 위에 게이트 전극(2)을 형성하는 공정을 나타낸다. 도 13b는 게이트 전극(2) 위에 제1의 절연막(3)을 형성하는 공정을 나타낸다. 도 13c는 제1의 절연막(3) 위에 산화물 반도체층(4)을 형성하는 공정을 나타낸다. 산화물 반도체층(4)으로서, In, Zn, 및 O를 포함한 아모포스 산화물을 사용할 경우, 실온에서 산화물 반도체층(4)을 제작할 수 있다. 따라서, 절연막에 대해서 스퍼터링법을 사용하면, 모든 막형성 공정을 실온에서 행할 수 있다. 또한, 기판(1)으로서, 플라스틱 기판이나 플라스틱 필름 등을 사용할 수도 있다.

[0038] 도 13d는 제1의 절연막(3)과 산화물 반도체층(4)을 패터닝하는 공정을 나타낸다.

[0039] 도 13e는 본 발명의 특성을 나타내는 제2의 절연막(5)을 산화물 반도체층(4) 위에 형성하는 공정을 나타낸다. 제2의 절연막(5)은 산화성 가스가 포함된 분위기에서 형성되는 아모포스 산화물 절연층이다. 보호층으로서 동작하는 제2의 절연막(5)을 산화물 반도체의 저항이 낮아지지 않도록 형성함으로써, ZnO를 주성분으로서 함유한 산화물 반도체의 산소 결함의 생성을 억제하고, 또 캐리어 전자가 다수 발생해서 오프 전류가 증가하는 것을 방지

할 수 있다.

- [0040] 도 13f는 Ar을 함유하는 CF₄가스에 의해 제2의 절연막(5)을 드라이 에칭해서 채널 영역을 제외하고 산화물 반도체층을 피복하도록 제2의 절연막(5)을 패터닝하는 공정을 나타낸다. 이 에칭 공정에 있어서, 에칭 동작이 행해진 제2의 절연막과 접하는 산화물 반도체층은, 에칭 가스가 CF₄ 가스뿐 아니라 Ar 가스도 함유하기 때문에 Ar 이온에 의해 손상되어서, 산소결손의 생성으로 인해 전기 저항이 낮아진다. 따라서, 에칭에 의한 영향을 받은 산화물 반도체층의 전기 저항이 낮아져서 각 전극과의 양호한 오믹 콘택을 제공하는 콘택 영역(6)이 제조된다. 이 공정에 사용 가능한 에칭 가스의 예로서는, CF₄ 이외에 이하의 것이 있다. 즉, SF₆, C₄F₈, CHF₃, Cl₂, BCl₃, CCl₂F₂, 및 CCl₄ 등의 SiO₂의 드라이 에칭으로서 일반적으로 사용되는 에칭 가스가 있다. 이들 에칭 가스와 불활성 가스(He, Ne, Ar, Kr, Xe, N₂)의 조합에 의한 혼합 가스도 본 발명에 사용할 수 있다. 또한, 이들 불활성 가스를 포함한 에칭 가스와 미량 추가된 산소의 조합에 의한 혼합 가스를 사용해서, 플라즈마 발생을 위한 공급 전력을 포함한 에칭 조건을 적절히 조정하는 경우에도 본 발명의 효과를 얻는 것이 가능하다.
- [0041] 도 13g는, 상기 산화물 반도체층과 전극과의 콘택영역(6)에 소스 전극과 드레인 전극을 생성하기 위한 전극층 a을 형성하는 공정을 나타내고, 도 13h는, 소스 전극(7)과 드레인 전극(8)을 패터닝에 의해 형성하는 공정을 나타낸다. 이 전극에는, ITO(Indium Tin Oxide) 혹은 IZO(Indium Zinc Oxide)의 투명 도전성 산화막을 사용한다. 제2의 절연막(5)이 채널영역을 보호하고 있기 때문에, 소스 전극 및 드레인 전극을, 드라이 에칭 또는 웨트 에칭에 의한 패터닝으로 형성하는 것도 가능하다. 또한, 소스 전극 및 드레인 전극으로서 Ni, Cr, Rh, Mo, Nd, Ti, W, Ta, Pb, Al 등으로부터 선택된 금속과, 이들을 포함한 합금 혹은 실리사이드도 사용할 수 있다.
- [0042] 도 14는 산화물 반도체층과 전극과의 콘택영역의 전기 저항이 낮아지고, 상기 콘택영역에 소스 전극 및 드레인 전극이 접속되어 있는 튜 게이트형의 제2의 예시적인 박막 트랜지스터의 개략도이다. 도 14로부터 보여지는 바와 같이, 기판(1401) 위에, 산화물 반도체층(1402), 제2의 절연막(1403), 산화물 반도체층과 전극과의 콘택영역(1404), 게이트 전극(1405), 소스 전극(1406), 및 드레인 전극(1407)을 순차적으로 형성한다.
- [0043] 도 15a, 15b, 15c, 15d, 15e, 및 15f는, 제2의 예에 있어서의 박막 트랜지스터의 각 제조 공정의 개략적인 단면도를 나타낸다. 이하, 도 15a 내지 15f를 사용해서 소자의 제조 공정을 설명한다.
- [0044] 도 15a는, 기판(1401) 위에 산화물 반도체층(1402)을 형성하는 공정을 나타낸다. 산화물 반도체층(1402)으로서 In, Zn, 및 O를 포함한 아모포스 산화물을 사용할 경우, 실온에서 산화물 반도체층(1402)을 제작할 수 있다. 따라서, 절연막에 대해서 스퍼터링법을 사용하면 모든 막형성공정을 실온에서 행할 수 있다. 또한, 기판(1401)으로서 플라스틱 기판이나 플라스틱 필름을 사용할 수도 있다.
- [0045] 도 15b 및 15c는, 산화물 반도체층(1402)을 패터닝하는 공정과, 산화물 반도체층(1402) 위에 게이트 절연막이 되는 제2의 절연막(1403)을 형성하는 공정을 나타낸다. 제2의 절연막(1403)은, 제1의 예의 제2의 절연막(5)과 마찬가지로 아모포스 산화물 절연층이며, 산화성 가스가 포함된 분위기에서 형성된다. 제2의 절연막(1403)을 산화물 반도체의 전기 저항이 낮아지지 않도록 형성함으로써 ZnO를 주성분으로서 함유한 산화물 반도체의 산소결함의 생성을 억제하고, 또 캐리어 전자가 다수 발생해서 오프 전류가 증가하는 것을 방지할 수 있다.
- [0046] 도 15d는, 제2의 절연막(1403)을 패터닝하는 공정을 나타낸다. 제2의 절연막(1403)에 대해서, Ar를 함유한 CF₄ 가스를 이용하는 드라이 에칭을 행하여, 채널영역 이외의 산화물 반도체층을 피복하도록 제2의 절연막(1403)을 패터닝한다. 이 에칭 공정에 있어서, 에칭 동작이 행해진 제2의 절연막(1403)에 접하는 산화물 반도체층은, 에칭가스가 CF₄가스 이외에 Ar가스를 함유하고 있기 때문에 Ar 이온에 의해 손상되어서, 산소결손 등의 생성에 의해 그 전기 저항이 낮아진다. 따라서, 에칭에 의한 영향을 받은 산화물 반도체층의 전기 저항이 낮아져서, 각 전극과의 양호한 오믹 콘택을 제공하는 콘택영역(1404)이 형성된다.
- [0047] 도 15e는, 상기 산화물 반도체층과 전극과의 콘택영역(1404)과 제2의 절연막(1403) 위에 소스 전극, 드레인 전극, 및 게이트 전극을 생성하기 위한 전극층 b을 형성하는 공정을 나타낸다. 도 15f는, 게이트 전극(1405), 소스 전극(1406), 및 드레인 전극(1407)을 패터닝에 의해 형성하는 공정을 나타낸다. 이 전극에는, ITO 혹은 IZO의 투명 도전성 산화막을 사용한다. 제2의 절연막(1403)이 채널영역을 보호하고 있기 때문에, 소스 전극 및 드레인 전극을, 드라이 에칭 혹은 웨트 에칭에 의한 패터닝으로 형성하는 것도 가능하다. 또한, 소스 전극 및 드레인 전극으로서 Ni, Cr, Rh, Mo, Nd, Ti, W, Ta, Pb, 및 Al으로부터 선택된 금속이나, 이들을 포함하는 합금 혹은 실리사이드도 사용할 수 있다.

- [0048] 다음에, 비교로서, 제2의 절연막을 산화성 가스가 포함되지 않는 분위기에서 형성한 박막 트랜지스터에 대해서 설명한다.
- [0049] 도 2는, 게이트 전극으로서도 동작하는 저저항 n형 실리콘 기판인 기판(201) 위에 열산화막 실리콘 게이트 절연막(202)을 사용한 보텀 게이트 역스태거형 박막 트랜지스터의 개략도다. 제2의 절연막(204)의 형성 조건이 박막 트랜지스터 특성에 어떠한 영향을 주는지를, 도 2의 구성을 사용해서 검토했다. 우선, 산화물 반도체층(203)으로서 아모포스 InGaZnO를 형성했고, 소스 전극(205) 및 드레인 전극(206)을, Ti/Au/Ti의 적층구조를 증착한 후에 리프트 오프법을 이용해서 형성했다. 제2의 절연층을 이용하지 않고, 박막 트랜지스터:A를 완성했다. 그 후에, 아모포스 SiO_x의 제2의 절연막을, Ar 100vol% 가스를 사용해서 스퍼터링법에 의해 100nm의 두께로 형성했다. 이와 같이, 소스 전극(205) 및 드레인 전극(206) 위에 웨트 에칭에 의해 콘택홀을 형성함으로써 제2의 절연막을 갖는 박막 트랜지스터:B를 완성했다. 도 3은 상기 방법으로 제작한 박막 트랜지스터:A와 박막 트랜지스터:B의 전형적인 전류-전압 특성을 나타내는 그래프다. 박막 트랜지스터 A는, 오프 전류를 최소화한 온/오프비가 양호한 특성을 나타낸다. 그러나, 일반적인 산화 절연막으로 생각되는 아모포스 SiO_x의 제2의 절연막을 갖는 박막 트랜지스터 B는, 게이트 전압 -20V에 있어서도 오프 전류를 나타내지 않았다. 그 원인이, 제2의 절연막의 형성공정에서 산화물 반도체층이 환원되었거나 산소결함이 발생했기 때문이라고 생각하는 것이 안전할지도 모른다. ZnO를 주성분으로서 함유한 산화물 반도체에 있어서는, 산소결함이 발생하기 쉽고, 캐리어 전자가 다수 발생하기 쉽다. 도 3은 제2의 절연막을 형성하기 위한 스퍼터링법을 사용해서 얻은 결과를 나타내지만, P-CVD법에 의해 아모포스 SiO_x 혹은 아모포스 SiN_y를 이용해서 제2의 절연막을 형성할 경우에는, 한층 더 온/오프비가 나빠질 수 있다. 사실상, 그것만으로는 박막 트랜지스터가 전혀 동작하지 않았다. 산화물 반도체는 수소에 매우 민감하고, 본 발명의 발명자들은 그 원인이 산화물 반도체의 제2의 절연막과 접하는 부분의 전기 저항이 낮아졌기 때문이라고 믿는다.
- [0050] 이하에, 본 발명의 특징인 산화성 가스가 포함되는 분위기에서 형성된 제2의 절연막의 이점에 대해서 상세히 설명한다.
- [0051] (제2의 절연막에 대해서)
- [0052] 구체적으로는, 스퍼터링법에 의해, 타겟으로서 SiO_x을 사용하고, 스퍼터링 가스로서 O₂가스와 Ar가스의 혼합 가스(이하, O₂/Ar 혼합 가스라고 칭함)를 사용해서, 아모포스 산화물 절연층을 형성함으로써 제2의 절연막을 실현할 수 있다.
- [0053] O₂/Ar 혼합비는, [O₂가스 유량 (SCCM)]/[O₂ 가스 유량 (SCCM)] + [Ar 가스 유량 (SCCM)] 단위:vol%로 표시된다. 스퍼터링 가스로서 O₂/Ar 혼합 가스를 사용해서, 아모포스 산화물 절연층을 형성함으로써 산화물 반도체층이 환원되지 않고, 산소결함이 발생하지 않는다고 하는 효과를 실현할 수 있다. 그 효과는 O₂/Ar 혼합 가스가 10vol%이상, 바람직하게는 50vol%을 갖는 경우에 관측된다. 아모포스 산화물 절연층의 제2의 절연막을 갖는 박막 트랜지스터는, O₂/Ar의 혼합 가스가 50vol%의 비를 취할 때, 제2의 절연막을 갖지 않는 박막 트랜지스터가 양호한 오프 전류 특성을 나타내는 모든 산화물 반도체 조건 하에서는 양호한 오프 전류 특성을 나타내었다.
- [0054] 제2의 절연막의 아모포스 SiO_x의 산소 함유량을 측정하기 위해서, TPD(temperature programmed desorption mass spectrometry)을 사용할 수 있다. 시료에 의존해서 온도범위가 변화하지만, 박막의 기판 표면에 접촉시킨 열전쌍(thermocouple)의 수10℃과 400℃정도 사이의 온도범위에서 박막 중에 존재하는 산소의 탈리 피크가 관측될 수 있다.
- [0055] TPD은 본 발명에 따른 방법에 의해 제조된 박막 트랜지스터의 제2의 절연막의 아모포스 SiO_x로부터 탈리하는 산소가, 거의 400℃까지 온도가 상승했을 때, 완전히 탈리되었다는 것을 나타냈다. 정량에 사용한 온도범위는, 기판표면에 접촉시킨 열전쌍에서 관측된 것처럼 50℃과 800℃ 사이였다.
- [0056] 탈리한 가스는 산소로서 O₂⁺에 해당하는 질량수(m/z) 32의 이온 강도에 의해 확인되었다. 도 4는 TPD에 의해 관측된 제2의 절연층의 산소 탈리 스펙트럼의 일례이다. 제2의 절연막의 아모포스 SiO_x로부터 탈리하는 산소량은, 형성 분위기 중의 산소농도와 비례 관계에 있었다. 도 5는, TPD에 의해 관측된 것처럼 아모포스 SiO_x로부터의

산소 탈리량과 형성 분위기의 Ar에 포함되는 O₂ 가스 농도와의 관계를 나타내는 그래프이다.

- [0057] 본 발명의 발명자 등은, 투명 산화물 반도체를 사용한 박막 트랜지스터의 연구 및 개발을 정력적으로 진행시킨 결과, 아모포스 SiO_x막을 형성하는 스퍼터링 가스로서 O₂/Ar 혼합 가스를 적절히 사용할 수 있고, 또 그 혼합비가 10 vol% 이상인 경우에 산화물 반도체의 산소결함의 생성을 억제하고, 또 캐리어 전자가 다수 발생해서 오프 전류가 증가하는 것을 방지할 수 있다는 것을 알아냈다.
- [0058] 이 산소결함 생성의 억제 효과를 나타내는 아모포스 SiO_x막은, 막형성 조건에 따라 산소 함유량이 변화하지만, TPD에 의해 탈리 가스로서 관측된 O₂⁺의 레벨이 3.8×10¹⁹/cm³ 이상이 되도록 산소원자를 함유하고 있는 것을 알아냈다.
- [0059] 추가로, 넓은 프로세스 마진을 제공하는 막형성 조건은, 막을 형성하기 위한 스퍼터링 가스의 O₂/Ar 혼합비가 50 vol%이며, 혼합비가 상기 레벨로 유지될 때 TPD에 의해 탈리 가스로서 관측된 O₂⁺의 레벨이 1.2×10²⁰/cm³이 되도록 산소원자를 상기 형성된 막이 함유하는 것이라는 것을 알아냈다.
- [0060] 본 발명의 발명자들의 지견에 의하면, 이 산소결함 생성의 억제 효과를 나타내는 아모포스 SiO_x을 형성하는 막형성 조건에 있어서의 막을 형성하기 위한 스퍼터링 가스의 O₂/Ar 혼합비에는 상한이 없다. 즉, O₂ 함유량이 100vol%일 때 효과를 볼 수 있다. 그러나, O₂/Ar 혼합비가 증가함에 따라 막형성 속도가 감소하기 때문에, 아모포스 SiO_x막을 형성하기 위한 스퍼터링 가스로서 50vol% 정도 이상의 O₂/Ar 혼합비를 사용하는 것이 최적이다. 아모포스 SiO_x막을 형성하기 위한 스퍼터링 가스의 O₂/Ar 혼합비와 막형성속도와와의 관계는, 막형성 가스 압력과, 기판과 타겟 간의 거리 등의 막형성 파라미터에 의존하지만, 산소분압에 매우 민감하다. 그 때문에, 통상은 높은 산소분압의 막형성 조건은 사용되지 않는다. 상기 막형성 조건에 있어서는, 0vol%의 O₂/Ar 혼합비에서의 막형성 속도가 기준(100%)으로서 사용되면, 막형성속도는 10 vol% 및 50 vol%의 O₂/Ar 혼합비에서 각각 77% 및 39%이다.
- [0061] 아모포스 SiO_x의 제2의 절연막을 사용하여, 도 11에 나타낸 구성을 갖고 산화물 반도체로서 아모포스 InGaZnO를 동일 조건하에서 형성한 박막 트랜지스터를 제작했다. 동시에, 동일 프로세스 조건하에서 산화물 반도체 전도도 측정용 TEG(test element group) 소자를 제작하고, 산화물 반도체층의 전도도를 측정했다. Von과 산화물 반도체의 전도도와의 관계를 도 9에 나타낸다. 도 9에서, Von은 박막 트랜지스터의 전달 특성에 있어서, 드레인 전류(Id)가 상승할 때의 게이트에 인가된 전압이다. 산화물 반도체의 전도율과 Von에는 강한 관계가 보여져, 산화물 반도체의 전도율이 상승하는 만큼 Von은 부(-)측으로 쉬프트하고, 한층 더 전도율이 상승하면 전압이 -40V 이하라도 Von이 더이상 보이지 않게 된다. 이와 같이, 도 9의 그래프로부터 분명한 것처럼, 제2의 절연막 형성시, 산화물 반도체의 전도율이 상승함에 따라, 오프 전류와 온 전류의 경계를 나타내는 Von이 부측으로 쉬프트해서 악화한다. 그 결과, 오프 전류 특성이 악화한다. 또한, 그 산화물 반도체의 전도율의 증가는 제2의 절연막의 형성 조건에 의해 억제된다. 그 억제 효과는, O₂/Ar 혼합비가 10 vol% 이상일 때 관측되고, 그때, TPD에 의해 탈리 가스로서 관측된 O₂⁺의 레벨이 3.8 × 10¹⁹/cm³ 이상이 되도록 산소 원자가 막 중에 함유되어 있다.
- [0062] 제2의 절연막으로서 50 vol%의 O₂/Ar 혼합비를 갖는 스퍼터링 가스에 의해 형성되고, 1.2×10²⁰/cm³의 산소 원자를 함유하는 아모포스 SiO_x를 사용하여, 도 2의 구성을 갖는 총 9개의 박막 트랜지스터를 제작했고, 이 9개의 박막 트랜지스터의 박막 트랜지스터 특성을 측정했다. 도 10은 이 9개의 박막 트랜지스터의 전달 특성을 나타낸 그래프다. 도 10으로부터 보여진 것처럼, Von은, 거의 0V로 제어되었고, 박막 트랜지스터는 양호한 온/오프비를 나타냈다.
- [0063] 상기의 설명에서는, 제2의 절연막으로서 아모포스 SiO_x를 사용하지만, 제2의 절연막으로서의 아모포스 산화물 절연체로서는, 아모포스 옥시나이트라이드(oxynitride)나 아모포스 알루미늄을 사용하는 것이 가능하다. 또한, 제2의 절연막을 형성하기 위한 산화성 가스로서 O₂/Ar 혼합 가스를 사용하지만, 산화물 반도체의 전도도가 증가하지 않도록 제2의 절연막을 형성하는 것이 본 발명의 본질이므로, 산화성 가스는 산소 가스에 한정되지 않는다.
- [0064] 예를 들면, 박막 트랜지스터로서, 인듐, 갈륨, 및 아연의 조성비가 1:1:1인 아모포스 산화물 반도체층(a-IGZO

박막)을 대면적의 막을 형성할 수 있는 스퍼터링법을 사용해서 형성한다. 그리고, 이 아모포스 산화물 반도체층을, 박막 트랜지스터에 적용하여, 도 1의 구성으로 한다. 이렇게 함에 따라, 트랜지스터의 온/오프비를 10^5 이상으로 하는 것도 가능해진다. 그때의 전계 효과 이동도는 $1\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ 이상의 값을 나타낸다.

- [0065] 여기에서, 제2의 절연막을 패터닝하는 동작에 대해서 설명한다. 드라이 에칭에 사용하는 가스에 Ar를 함유시킴으로써, 에칭 동작이 행해진 제2의 절연막에 접하는 산화물 반도체층이 손상되어서, 산소결손 등이 발생하여 그것의 전기 저항이 낮아진다. 이 전기저항을 낮추는 기구는, Ar 100 vol%의 분위기에서 제2의 절연막인 아모포스 SiO_x 를 형성했을 경우에 작용하는 것과 같다고 생각하는 것이 안전할지도 모른다.
- [0066] 상술한 효과에 의해, 산화물 반도체를 사용한 보텀 게이트형 박막 트랜지스터에 있어서, 오프 전류를 안정적으로 최소화할 수 있는 채널영역이 형성되고, 또한, 산화물 반도체층과 전극과의 콘택영역의 전기 저항이 낮아진 박막 트랜지스터를 얻을 수 있다. 그 결과, 소스 전극 및 드레인 전극과 산화물 반도체층과의 오픈 콘택이 양호한 박막 트랜지스터를 얻을 수 있다. 이와 같이 함으로써, 오프 전류를 최소화하고 양호한 트랜지스터 특성을 갖는 박막 트랜지스터를 제공할 수 있다.
- [0067] 상기의 설명에서는, 반도체층(채널층)으로서, ZnO를 주성분으로서 사용해서 형성된 투명 전도성 산화물 반도체 다결정 박막, 혹은 미세결정을 포함한 ZnO를 사용해서 형성된 투명 전도성 산화물 반도체 박막을 사용하고 있다. 또한, In-Ga-Zn-O를 포함한 아모포스 산화물을 사용한 예를 설명하고 있다. 그렇지만, 산화물 반도체층에 사용하는 재료는 상술한 것들에 한정되는 것은 아니다.
- [0068] In-Ga-Zn-O를 포함한 아모포스 산화물 반도체층으로서, Sn, In, 및 Zn으로부터 선택된 적어도 1개의 원소를 포함한 아모포스 산화물을 사용하는 것이 가능하다.
- [0069] 그러한 아모포스 산화물을 구성하는 원소의 적어도 일부로서 Sn을 선택할 경우, Sn을, $\text{Sn}_{1-x}\text{M}_4\text{x}$ ($0 < x < 1$, M4은, Sn보다 원자 번호가 작은 4족 원소의 Si, Ge 및 Zr로부터 선택된다)로 치환할 수도 있다.
- [0070] 그러한 아모포스 산화물을 구성하는 원소의 적어도 일부로서 In을 선택할 경우, In을, $\text{In}_{1-y}\text{M}_3\text{y}$ ($0 < y < 1$, M3은, Lu 또는 In보다 원자 번호가 작은 3족 원소의 B, Al, Ga, 및 Y로부터 선택된다)로 치환할 수도 있다.
- [0071] 그러한 아모포스 산화물을 구성하는 원소의 적어도 일부로서 Zn을 선택할 경우, Zn을, $\text{Zn}_{1-z}\text{M}_2\text{z}$ ($0 < z < 1$, M2은, Zn보다 원자 번호가 작은 2족 원소인 Mg 및 Ca로부터 선택된다)로 치환할 수 있다.
- [0072] 좀더 구체적으로는, 본 실시 예에 적용할 수 있는 아모포스 재료는, Sn-In-Zn 산화물, In-Zn-Ga-Mg 산화물, In 산화물, In-Sn 산화물, In-Ga 산화물, In-Zn 산화물, Zn-Ga 산화물, Sn-In-Zn 산화물 등이다. 물론, 구성 재료의 조성비는 반드시 1:1일 필요는 없다. 또한, Zn 및 Sn은, 단독으로는 아모포스를 형성하기 어려운 경우가 있지만, In을 포함하는 경우에는 아모포스 위상이 형성되기 쉬워진다. 예를 들면, In-Zn계의 경우에는, 산소를 제외한 원자수 비율을, In이 약 20 atom% 이상 포함되는 조성으로 하는 것이 가능하다. Sn-In계의 경우에는, 산소를 제외한 원자수 비율을, In이 약 80atom% 이상 포함되는 조성으로 하는 것이 가능하다. Sn-In-Zn계의 경우에는, 산소를 제외한 원자수 비율을, In이 약 15 atom% 이상 포함되는 조성으로 하는 것이 가능하다.
- [0073] 또한, 박막이 아모포스라는 것을, 입사각도 0.5도 정도의 저입사각을 이용해서 상기 박막에 대해서 X선 회절을 행했을 경우에 명료한 회절 피크가 검출되지 않는(즉, 할로(halo) 패턴이 관측된다) 것으로 확인할 수 있다. 또한, 상술한 재료를 전계효과형 트랜지스터의 채널층에 사용할 경우에, 본 실시 예에서는 해당 채널층이 미세결정 상태의 재료를 포함하는 것을 제외하는 것이 아니다.
- [0074] 상기 박막 트랜지스터의 출력 단자로서 동작하는 드레인을, 유기 또는 무기의 EL(electroluminescent)소자 또는 액정소자 등의 표시 소자에 접속함으로써 표시장치를 구성할 수 있다. 이하에, 표시장치의 단면도를 사용해서 구체적인 표시장치의 구성의 예를 설명한다.
- [0075] 예를 들면, 도 6에 나타나 있는 바와 같은 구성의 박막 트랜지스터를 형성한다. 이 박막 트랜지스터는, 베이스 부재(611) 위에, 게이트 전극(612)과, 게이트 절연층(613)과, 산화물 반도체층(614)과, 제2의 절연막(615)과, 산화물 반도체층과 전극과의 콘택영역(616)과, 소스(드레인) 전극(617)과, 드레인(소스) 전극(618)이 순차적으로 형성되어 있다. 드레인(소스) 전극(618)에, 층간 절연막(622)을 거쳐서 다른 전극(619)이 접속되고, 이 전극(619)은 발광층(620)과 접해 있다. 한층 더, 발광층(620)이 게이트 전극(621)과 접해 있다. 그러한 구성에 의해, 발광층(620)에 주입하는 전류를, 소스(드레인) 전극(617)으로부터 드레인(소스) 전극(618)으로 산화물 반

도체층(614)에 형성되는 채널을 거쳐서 흐르는 전류의 전류값에 의해 제어하는 것이 가능해져서, 박막 트랜지스터의 게이트(612)의 전압에 의해 제어할 수 있다. 여기에서, 전극 619, 발광층(620), 및 전극 621은 무기 혹은 유기 EL 소자를 형성한다.

- [0076] 도 7에 나타나 있는 바와 같이, 드레인(소스) 전극(718)이 연장되어서 전극(719)으로서 동작하고 있으면, 고저항막 721 및 723 사이에 삽입된 액정 셀이나 전기영동(electrophoresis)형 입자 셀(722)에 전극 719와 대향 전극 724에 의해 전압을 인가하도록 구성할 수도 있다. 액정 셀이나 전기영동형 입자 셀(722), 고저항층 721 및 723, 전극 719, 및 전극 724는 표시 소자를 구성한다는 점에 유념한다. 제1의 절연막(713), 산화물 반도체층(714), 소스 및 드레인 전극의 콘택영역(716), 및 제2의 절연막(715)은 도 7에 나타나 있는 바와 같이 구성되어 있다. 표시소자에 인가하는 전압을, 소스 전극(717)으로부터 드레인 전극(718)으로 산화물 반도체층(714)에 형성되는 채널을 거쳐서 흐르는 전류의 전류값에 의해 제어하는 것이 가능해진다. 여기에서 표시 소자의 표시 매체가 유체와 입자를 절연성 피막 중에 함유함으로써 밀봉된 조건으로 형성된 캡슐(capsule)이면, 고저항막 721 및 723은 불필요하다는 점에 유념한다.
- [0077] 상술한 2가지의 예의 박막 트랜지스터의 각각에 있어서는, 보텀 게이트 역스태거형의 박막 트랜지스터를 대표해서 설명했지만, 본 발명은 반드시 이것에 한정되는 것은 아니다. 예를 들면, 본 발명은 박막 트랜지스터의 출력 단자인 드레인 전극과 표시소자의 접속이 위상기하적으로 동일하면, 코플래너(coplanar)형 또는 어떤 다른 형의 박막 트랜지스터에도 적용가능하다.
- [0078] 상술한 2가지의 예의 각각에 있어서는, 표시 소자를 구동하는 한 쌍의 전극이, 베이스 부재와 평행하게 배열되어 있지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 박막 트랜지스터의 출력 단자인 드레인 전극과 표시 소자의 접속이 위상기하적으로 동일하면, 어느 한쪽의 전극 혹은 양쪽 전극이 기판과 수직하게 배치되어 있어도 된다.
- [0079] 한층 더, 상술한 2가지의 예의 각각에 있어서는, 표시 소자에 접속되는 박막 트랜지스터를 하나만 도시했지만, 본 발명은 반드시 이것에 한정되는 것은 아니다. 예를 들면, 도시한 박막 트랜지스터가 본 발명에 따른 별도의 박막 트랜지스터에 접속되어 있어도 되고, 도시한 박막 트랜지스터가 그들 박막 트랜지스터에 의해 형성된 회로의 최종단에 배열되어 있으면 된다.
- [0080] 여기에서, 표시 소자를 구동하는 한 쌍의 전극이, 베이스 부재와 평행하게 배열되고, 표시 소자가 EL 소자 혹은 반사형 액정소자 등의 반사형 표시 소자이면, 어느 한쪽의 전극이 발광 파장 혹은 반사광의 파장에 대해서 투명한 것이 요청된다. 또는, 표시소자가 투과형 액정소자 등의 투과형 표시소자이면, 양쪽 전극도 투과광에 대해서 투명한 것이 요청된다.
- [0081] 한층 더, 본 발명에 따른 박막 트랜지스터의 모든 구성체를 투명하게 하는 것도 가능하다. 이에 따라, 투명한 표시 소자를 형성할 수도 있다. 또한, 경량이며, 플렉시블하고, 투명한 플라스틱 기판 등의 저내열성 베이스 부재 위에도, 이러한 표시 소자를 설치할 수 있다.
- [0082] 다음에, EL 소자(여기에서는 유기 EL 소자)와 박막 트랜지스터를 각각 포함한 복수의 화소를 이차원적으로 배치한 표시장치에 대해서 도 8을 사용하여 설명한다.
- [0083] 도 8에 있어서, 참조번호 801은 유기 EL 소자(804)를 구동하는 트랜지스터이며, 참조번호 802는 대응하는 화소를 선택하는 트랜지스터다. 커패시터(803)는 선택된 상태를 유지하기 위한 것이다. 그것은 공통 전극선(807)과 그것과 관련된 트랜지스터(802)의 소스 부분과의 사이에 전하를 축적하고, 트랜지스터(801)의 게이트의 신호를 보유하고 있다. 화소는 주사 전극선(805)과 신호 전극선(806)에 의해 선택된다.
- [0084] 더 구체적으로 설명하면, 영상신호가 드라이브 회로(도면에 나타내지 않는다)로부터 주사 전극선(805)을 통해서 게이트 전극에 펄스신호로서 인가된다. 그것과 동시에, 별도의 드라이버 회로(도면에 나타내지 않는다)로부터 신호 전극선(806)을 통하여, 펄스신호로서 트랜지스터(802)에 인가되어서 화소가 선택된다. 그때, 트랜지스터(802)가 ON이 되고 공통 전극선(807)과 트랜지스터(802)의 소스와의 사이에 있는 커패시터(803)에 전하가 축적된다. 그 결과, 트랜지스터(801)의 게이트 전압이 원하는 전압 레벨로 유지되어서, 트랜지스터(801)가 ON 된다. 이 상태는 다음 신호를 받을 때까지 유지된다. 트랜지스터(801)가 ON 상태에 있는 한은, 유기 EL층(804)에는 전압 및 전류가 계속해서 공급되어 발광이 유지되게 된다.
- [0085] 도 8의 예에서는, 1화소가 2개의 트랜지스터와 1개의 커패시터로 구성되지만, 성능을 향상시키기 위해서 한층 더 많은 트랜지스터들을 한 개의 화소에 집적해도 된다. 본질적인 것은, 화소의 트랜지스터 부분에, 저온에서 형성할 수 있는 투명한 박막 트랜지스터인 In-Ga-Zn-O계의 박막을 사용함으로써, 유효한 EL 소자를 취득할 수

있다고 하는 것에 있다.

- [0086] 이하에, 본 발명의 실시 예에 관하여 설명하지만, 본 발명은 그것들의 예에 한정되는 것은 아니다.
- [0087] (실시 예 1)
- [0088] 본 실시 예에서는, 역스태거(보텀 게이트)형 MISFET 소자를 제작했다. 우선, 각 소자에 대해서, 글래스 기판에 포토리소그래피법과 리프트 오프법을 사용해서 Ti5nm/Au40nm/Ti5nm의 게이트 단자를 형성했다. 그리고나서, 그 위에, 스퍼터링법에 의해 아모포스 SiO_x의 절연층을 200nm의 두께로 형성했다. 그때, 스퍼터링 타겟으로서는 SiO₂ 타겟을 사용했고, 스퍼터링 가스로서 Ar가스를 사용했다. RF 고주파 전력은 400W, 막형성 압력은 0.1Pa라고 했다. 기판온도는 실온이며 의도적으로 기판을 가열하지 않았다. 그리고, 실온에서 스퍼터링법으로 반도체층으로서 사용하는 아모포스 산화물 반도체막을 20nm의 두께로 형성했다. 그때, 다결정 InGaZnO₄ 타겟을 사용했고, 스퍼터링 가스로서는 혼합비 5 vol%의 O₂/Ar 가스를 사용했다. RF 고주파 전력은 200W, 막형성 압력은 0.1Pa를 사용했다. 기판온도는 실온이며 의도적인 기판 가열은 행하지 않았다. 채널영역의 형성에는, 포토리소그래피법과 염산을 이용한 웨트 에칭을 사용했다. 그 후에, Ti5nm/Au100nm/Ti5nm의 막을 전자빔 증착법에 의해 형성했고, 포토리소그래피법과 리프트 오프법에 의해 소스/드레인 단자를 형성했다. 추가로, 제2의 절연막으로서 스퍼터링법에 의해 아모포스 SiO_x의 절연층을 100nm의 두께로 형성했다. 그때, SiO₂ 타겟을 사용했고, 스퍼터링 가스로서 O₂ 가스 5SCCM과 Ar 가스 5SCCM의 혼합비 50 vol%의 O₂/Ar 가스를 포함한 산화성 가스 분위기를 사용했다. 기판온도는 실온이며 의도적인 기판 가열은 행하지 않았다. 이렇게 해서, 9개의 역스태거(보텀 게이트)형 MISFET 소자를 완성했다. 그때의 아모포스 산화물 반도체막의 금속 조성비는, In:Ga:Zn=1.00:0.94:0.65이었다. 이 MISFET 소자의 I-V 특성을 평가해서 9개의 박막 트랜지스터가 5.0cm²/Vs의 평균 전계 효과 이동도 및 10⁶ 이상의 평균 온/오프비를 나타냈다는 것을 알아냈다. 도 12는 그 전달 특성을 나타낸다.
- [0089] 이와 같이, 본 발명에 따른 제2의 절연막을 사용하면, 오프 전류가 최소화된 양호한 트랜지스터 특성을 갖는 박막 트랜지스터를 안정적으로 제작할 수 있다.
- [0090] (실시 예 2)
- [0091] 제2의 절연막의 형성 조건 이외 실시 예 1과 같은 방법으로, 도 11에 나타내는 역스태거(보텀 게이트)형 MISFET 소자를 제작했다.
- [0092] 각 소자에 대하여, 제2의 절연막으로서, 스퍼터링법에 의해 아모포스 SiO_x의 절연층을 100nm의 두께로 형성했다. 그때, 스퍼터링 가스로서 혼합비 10 vol%의 O₂/Ar 혼합 가스를 포함하는 산화성 가스 분위기를 사용했다. 이렇게 해서, 도 11에 나타내는 총 9개의 역스태거(보텀 게이트)형 MISFET 소자를 완성했다.
- [0093] 동시에, 동일 프로세스 조건 하에서 산화물 반도체 전도도 측정용 TEG 소자를 제작했고, 산화물 반도체층의 전도도를 측정했다. 도 9는 Von과 산화물 반도체의 전도도와 관계 나타낸다. 도 9에 있어서, Von은 박막 트랜지스터의 전달 특성에 있어서, 드레인 전류(Id)가 상승할 때의 게이트에 인가된 전압이다. 스퍼터링 가스로서 혼합비 10 vol%의 O₂/Ar 혼합 가스를 사용해서 형성되는 아모포스 SiO_x의 제2의 절연막은, TPD에 의해 탈리 가스로서 관측된 것과 같이 3.8×10¹⁹/cm³의 레이트로 산소 원자를 함유하고 있었다.
- [0094] 그 결과, 혼합비 10vol%의 O₂/Ar 혼합 가스를 사용해서 형성된 아모포스 SiO_x의 제2의 절연막은, 산화물 반도체의 산소결함 생성의 억제 효과를 나타냈다. 이 소자는 평균값으로서 Von:-40V의 값을 나타냈고, 10⁶ 이상의 양호한 온/오프비를 나타냈다.
- [0095] (비교예 1)
- [0096] 본 비교 예에서는, 제2의 절연막의 형성 조건 이외 실시 예 1과 같은 방법으로, 도 11에 나타내는 역스태거(보텀 게이트)형 MISFET 소자를 제작했다.
- [0097] 각 소자에 대해서, 제2의 절연막으로서, 스퍼터링법에 의해 아모포스 SiO_x의 절연층을 100nm의 두께로 형성했다. 그때, 스퍼터링 가스로서 혼합비 1 vol% 또는 0vol%의 O₂/Ar 혼합 가스를 포함하는 분위기를 사용했다. 이렇게 해서, 도 11에 나타내는 총 9개의 역스태거(보텀 게이트)형 MISFET 소자를 완성했다.

- [0098] 그 결과, 혼합비 1vol% 또는 0vol%의 O₂/Ar 혼합 가스를 사용해서 형성된 소자의 특성이 현저하게 변동되었고, -50V의 게이트 전극을 인가해도 명확한 Von이 관측되지 않는 경우가 있었다. 이와 같이, 산화물 반도체에 대해서 산소결함 생성을 억제하는 명확한 억제효과가 인식되지 않았다.
- [0099] (실시 예 3)
- [0100] 본 실시 예에서는, 도 1에 나타내는 역스태거(보텀 게이트)형 MISFET 소자를 제작했다.
- [0101] 우선, 글래스 기판에 스퍼터링법을 사용해 투명 전도막 IZO의 게이트 전극층을 150nm의 두께로 형성했다. 포토리소그래피법과 염산을 사용한 웨트 에칭법에 의해 게이트 전극을 형성했다. 추가로, 그 위에 스퍼터링법에 의해 아모포스 SiO_x의 절연층을 200nm의 두께로 형성했다. 그때, 스퍼터링 타겟으로서는 SiO₂ 타겟을 사용했고, 스퍼터링 가스로서 Ar 가스를 사용했다. RF 고주파 전력은 400W, 막형성압력은 0.1Pa로 했다. 기판온도는 실온이며 의도적인 기판 가열은 행하지 않았다. 그리고, 실온에서 스퍼터링법으로 반도체층으로서 사용하는 아모포스 산화물 반도체막을 20nm의 두께로 형성했다. 그때, 다결정 InGaZnO₄ 타겟을 사용했고, 스퍼터링 가스로서 혼합비 5vol%의 O₂/Ar 가스를 사용했다. RF 고주파 전력은 200W, 막형성 압력은 0.1Pa로 했다. 기판온도는 실온이며 의도적인 기판 가열은 행하지 않았다. 채널영역의 형성에는 포토리소그래피법과 염산을 이용한 웨트 에칭을 사용했다. 그 후에, 제2의 절연막으로서 스퍼터링법에 의해 아모포스 SiO_x의 막을 100nm의 두께로 형성했다. 그때, 스퍼터링 가스로서 혼합비 50vol%의 O₂/Ar 가스를 함유하는 산화성 가스 분위기를 사용했다. RF 고주파 전력은 400W, 막형성 압력은 0.1Pa로 했다. 기판온도는 실온이며 의도적인 기판 가열은 행하지 않았다. 이와 같이, 포토리소그래피법과 Ar 함유의 CF₄ 가스에 의한 드라이 에칭을 사용한 결과, 전기 저항이 낮아진 산화물 반도체층과 전극과의 콘택영역이 완성되었다. 그때, 에칭 가스로서 CF₄ 가스 20SCCM 및 Ar 가스 5SCCM의 혼합 가스를 사용했다. RF 고주파 전력은 150W, 에칭 압력은 5Pa로 했다. 그 후에, 투명 전도막 ITO를 150nm의 두께로 스퍼터링법에 의해 형성했다. 그때, Sn 5질량%의 ITO 타겟을 사용했다. RF 고주파 전력은 200W, 막형성 압력은 0.2Pa로 했다. 기판온도는 실온이며 의도적인 기판 가열은 행하지 않았다. 그 후에, 포토리소그래피법과 에칭법에 의해 소스/드레인 단자를 형성했다. 이렇게 해서, 도 1에 나타내는 역스태거(보텀 게이트)형 투명 MISFET 소자를 형성할 수 있었다.
- [0102] 소스 전극 및 드레인 전극으로서 IZO 등의 투명 도전성 산화막은 물론, Ni, Cr, Rh, Mo, Nd, Ti, W, Ta, Pb, Al로부터 선택된 금속이나, 이것들을 포함한 합금, 혹은 실리사이드도 사용할 수 있다. 또한, 소스 전극 및 드레인 전극을, 각각 서로 다른 재료로 형성하는 것도 가능하다.
- [0103] 이 역스태거(보텀 게이트)형 MISFET 소자에서는 오프 전류를 안정적으로 최소화할 수 있는 채널영역이 형성되고, 추가로 산화물 반도체층과 전극과의 콘택영역의 전기저항이 낮아진다. 따라서, 오프 전류를 최소화하고, 또 소스 전극 및 드레인 전극과 산화물 반도체층과의 옴릭 콘택이 양호한 박막 트랜지스터가 취득될 수 있다.
- [0104] (실시 예 4)
- [0105] 본 실시 예에서는 도 7의 구조를 갖는 박막 트랜지스터를 사용한 표시장치에 관하여 설명한다. 박막 트랜지스터의 제조 공정은 실시 예 3과 같다.
- [0106] 상기 박막 트랜지스터에 있어서, 드레인 전극으로서 동작하는 ITO막의 섬의 짧은 변을 100 μ m까지 연장하고, 연장된 90 μ m의 부분을 제외하고, 소스 전극 및 게이트 전극에의 배선을 확보한 후에, 박막 트랜지스터를 절연층으로 피복했다. 그리고나서, 폴리이미드막을 절연층에 도포하고, 러빙(rubbing) 동작을 행했다. 한편, 같은 플라스틱 기판 위에 ITO막과 폴리이미드막을 형성하고 러빙 동작을 행함으로써 준비된 작업을 실행했고, 상기 박막 트랜지스터를 형성한 기판과 5 μ m의 공극을 두고 대향시켜 배치했으며, 그 공극에 네마틱 액정을 주입했다. 추가로, 이 구조체의 양측에 한 쌍의 편광판을 설치했다. 여기에서, 박막 트랜지스터의 소스 전극에 전압을 인가하고, 게이트 전극에 인가되는 전압을 변화시킨다. 그 결과, ITO막의 섬의 일부로서 드레인 전극으로부터 연장된 30 μ m \times 90 μ m의 영역에서만, 광투과율이 변화했다. 그 투과율은, 박막 트랜지스터가 게이트 전압에 의해 온 되는 상태에서는 소스 전극과 드레인 전극 간의 전압에 의해서도 연속적으로 변화될 수 있다. 이렇게 해서, 표시소자로서의 액정 셀을 갖는 표시장치를 제작했다.
- [0107] 추가로, 본 실시 예에 있어서, 박막 트랜지스터를 형성하는 기판으로서 백색의 플라스틱 기판을 사용하고, 박막 트랜지스터의 각 전극을 금 전극으로 치환하며, 폴리이미드막과 편광판을 제거했다. 그리고, 백색 및 투명한 플

라스틱 기판 사이의 공극에 입자와 유체를 절연성 피막으로 피복함으로써 형성된 캡슐을 충전시킨다. 이 구성의 표시장치의 경우, 박막 트랜지스터에 의해, 연장된 드레인 전극과 상부의 ITO막 사이의 전압이 제어되고, 따라서 캡슐 내의 입자가 상하로 이동하도록 구동된다. 그것에 의하여, 투명 기판측으로부터 연장된 드레인 전극 영역의 반사율을 제어함으로써 화상을 표시하도록 표시를 행할 수 있다.

[0108] 복수의 박막 트랜지스터를 나란히 형성하여 4개의 트랜지스터와 1개의 커패시터를 갖는 통상의 전류제어회로를 실현할 수 있고, 또 그 최종단 트랜지스터의 하나로서 도 6의 박막 트랜지스터를 이용해서 EL 소자를 구동할 수도 있다. 예를 들면, 박막 트랜지스터는 드레인 전극으로서 동작하는 ITO막을 가질 수도 있다. 그리고, 드레인 전극으로부터 연장된 ITO막의 섬의 일부인 $30\mu\text{m} \times 90\mu\text{m}$ 영역에 전하주입층과 발광층을 갖는 유기 EL 소자를 형성한다. 이렇게 해서, EL 소자를 사용하는 표시장치를 형성할 수 있다.

[0109] (실시 예 5)

[0110] 실시 예 4와 같이 표시소자와 박막 트랜지스터를 이차원적으로 직사각형으로 배열한다. 예를 들면, 실시 예 4와 같이 액정 셀이나 EL 소자와 박막 트랜지스터를 이용해서 형성된 화소를, 직사각형의 짧은 변 방향으로 $40\mu\text{m}$ 피치, 긴 변 방향으로 $120\mu\text{m}$ 피치로 총 7425×1790 개로 배열했다. 7425개의 박막 트랜지스터의 게이트 전극을 관통하도록 게이트선을 긴 변 방향으로 1790개 배열했고, 1790개의 박막 트랜지스터의 소스 전극이 비정질 산화물 반도체막의 섬으로부터 $5\mu\text{m}$ 만큼 연장되어 나온 부분을 통과하도록 신호선을 짧은 변 방향으로 7425개 배열했다. 그리고, 게이트 배선 및 신호 배선을 게이트 드라이버 회로 및 소스 드라이버 회로에 각각 접속했다. 액정표시 소자를 사용하는 경우, 액정표시소자와 같은 사이즈로 위치를 맞춰서 RGB가 짧은 변 방향으로 반복하도록 RGB의 칼라 필터를 배치하면, 약 211ppi로 A4 사이즈의 액티브 매트릭스형 칼라 화상 표시장치를 제작할 수 있다.

[0111] EL 소자를 사용하는 경우에는, 각 EL 소자에 포함되는 2개의 박막 트랜지스터 중의 제1 박막 트랜지스터의 게이트 전극을 게이트선에 접속하고, 제2 박막 트랜지스터의 소스 전극을 신호선에 접속하며, 또 EL 소자의 RGB의 발광 파장을 짧은 변 방향으로 반복시킴으로써 상술한 액티브 매트릭스형 칼라 화상 표시장치와 같은 해상도의 발광형 칼라 화상 표시장치를 제작할 수 있다.

[0112] 액티브 매트릭스를 구동하는 드라이버 회로는, 화소의 박막 트랜지스터와 같은 본 발명에 따른 박막 트랜지스터를 사용해서 형성되어도 되고, 또는 상업적으로 이용가능한 IC 칩을 사용해도 된다.

[0113] (실시 예 6)

[0114] 본 실시 예에서는, 도 14에 나타내는 튜프 게이트형 MISFET 소자를 제작했다. 우선, 글래스 기판 위에 실온에서 스퍼터링법에 의해 반도체층으로서 사용하는 아모포스 산화물 반도체층을 100nm의 두께로 형성했다. 그때, 다결정 InGaZnO₄ 타겟을 사용하고, 스퍼터링 가스로서 혼합비 1.5 vol%의 O₂/Ar 혼합 가스를 사용한다. RF 고주파 전력은 300W, 막형성 압력은 0.2Pa로 한다. 기판온도는 실온이며 의도적인 기판가열은 행하지 않는다. 채널영역의 패터닝에는, 포토리소그래피법과 염산을 이용한 웨트 에칭을 사용한다. 그 후에, 그 위에 제2의 절연막으로서 스퍼터링법에 의해 아모포스 SiO_x의 절연층을 200nm의 두께로 형성한다. 그때, 스퍼터링 타겟으로서 SiO₂ 타겟을 사용하고, 스퍼터링 가스로서 혼합비 50 vol%의 O₂/Ar 혼합 가스의 산화성 분위기를 사용한다. RF 고주파 전력은 500W, 막형성 압력은 0.2Pa로 한다. 기판온도는 실온이며 의도적인 기판 가열은 행하지 않는다. 그 후에, 전극층과 아모포스 산화물 반도체의 콘택영역을 형성하기 위해서, 제2의 절연막을 Ar 함유의 CF₄ 가스에 의해 드라이 에칭하고, 채널영역 이외의 산화물 반도체층을 피복하는 제2의 절연막을 패터닝한다. 그때, 에칭 가스로서 CF₄ 가스 20SCCM, Ar가스 5SCCM의 혼합 가스를 사용한다. RF 고주파 전력은 150W, 에칭 압력은 5Pa로 한다. 다음에, 패터닝된 제2의 절연막과 아모포스 산화물 반도체층의 콘택영역 위에 소스 전극, 드레인 전극, 및 게이트 전극이 되는 IZO 전극층을 스퍼터링법에 의해 150nm의 두께로 형성한다. 그때, ZnO 10 wt%의 IZO 타겟을 사용한다. RF 고주파 전력은 200W, 막형성 압력은 0.2Pa로 한다. 기판온도는 실온이며 의도적인 기판 가열은 행하지 않는다. 이 전극층을 에칭 및 패터닝함으로써 소스 전극, 드레인 전극, 게이트 전극을 형성한다.

[0115] 이렇게 해서, 도 14에 나타내는 튜프 게이트형 MISFET 소자를 형성한다.

[0116] 이상과 같이, 본 발명에 따른 제2의 절연막을, Ar 함유의 CF₄ 가스를 이용해서 드라이 에칭해서 패터닝을 행한다. 그러면, 결과로서, 오프 전류가 최소화되고, 소스 전극 및 드레인 전극과 아모포스 산화물 반도체층과의 오픈 콘택이 양호한 트랜지스터 특성을 갖는 박막 트랜지스터를 안정적으로 제작하는 것이 가능해진다.

[0117] 본 발명에 따른 박막 트랜지스터의 제조 방법에 의해 제작된 박막 트랜지스터는, LCD 및 유기 EL 디스플레이의

스위칭 소자의 분야에 있어서 응용할 수 있다. 또한, 플라스틱 필름 등의 플렉시블 소재에 대해서 저온에서 박막 트랜지스터를 형성하는 모든 프로세스를 행하는 것이 가능해진다. 이와 같이, 본 발명은 플렉시블 디스플레이를 비롯해서, IC 카드 및 ID 태그 등의 분야에 폭넓게 응용할 수 있다.

[0118] 본 출원은 전체 내용이 본 명세서에 참고로 포함되어 있는 2006년 12월 5일자로 제출된 일본국 공개특허공보 특개2006-328308호, 2007년 5월 30일자로 제출된 일본국 공개특허공보 특개 2007-143503호, 2007년 10월 22일자로 제출된 일본국 공개특허공보 특개2007-273863호, 및 2007년 11월 5일자로 제출된 일본국 공개특허공보 특개 2007-287401호로부터 우선권을 주장한다.

도면의 간단한 설명

[0017] 도 1은 산화물 반도체층과 전극의 콘택 영역의 전기 저항을 낮추는 역스태거형 박막 트랜지스터의 구조를 나타내는 개략도이다.

[0018] 도 2는 저저항 n형 실리콘 기판 상의 열산화막 실리콘 게이트 절연막을 이용한 역스태거형 박막 트랜지스터의 구조를 나타내는 개략도이다.

[0019] 도 3은 도 2에 나타낸 역스태거형 박막 트랜지스터를 제작할 때의 전형적인 전류-전압 특성을 나타내는 그래프이다.

[0020] 도 4는 TPD(temperature programmed desorption mass spectrometry)에 의해 관측된 제2의 절연층의 산소 탈리 스펙트럼의 예를 나타내는 그래프다.

[0021] 도 5는 TPD에 의해 관측된 아모포스 SiO_x로부터의 산소 탈리량과 형성 분위기의 Ar에 포함되는 O₂ 가스의 농도와 의 관계를 도시한 그래프이다.

[0022] 도 6은 본 발명에 따른 예시적인 표시장치의 개략적인 단면도다.

[0023] 도 7은 본 발명에 따른 또 다른 예시적인 표시장치의 개략적인 단면도다.

[0024] 도 8은 유기 EL 소자와 박막 트랜지스터를 각각 포함한 화소들을 이차원적으로 배치해서 형성된 표시장치의 구조를 도시한 회로도이다.

[0025] 도 9는 역스태거(보텀 게이트)형 MISFET 소자의 Von과 산화물 반도체의 전도도와의 관계를 도시한 그래프이다.

[0026] 도 10은 도 2에 나타낸 구조를 각각 갖는 9개의 박막 트랜지스터를 제작하고, 그들의 박막 트랜지스터 특성을 관측함으로써 얻은 전달 특성을 나타내는 그래프다.

[0027] 도 11은 보호막을 갖는 역스태거형 박막 트랜지스터의 구조를 나타내는 개략도이다.

[0028] 도 12는 도 11에 나타낸 구조를 각각 갖는 9개의 박막 트랜지스터를 제작하고, 그들의 박막 트랜지스터의 특성을 관측함으로써 얻은 전달특성을 나타내는 그래프다.

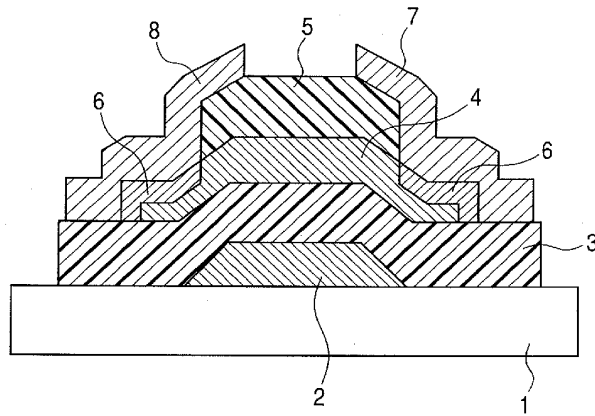
[0029] 도 13a, 13b, 13c, 13d, 13e, 13f, 13g, 및 13h는 산화물 반도체층과 전극과의 콘택 영역들의 전기 저항을 낮추는 역스태거형 박막 트랜지스터 소자의 각 제조공정의 개략적인 단면도이다.

[0030] 도 14는 산화물 반도체층과 전극과의 콘택 영역들의 전기 저항을 낮추는 톱 게이트형 박막 트랜지스터의 구조를 나타내는 개략도이다.

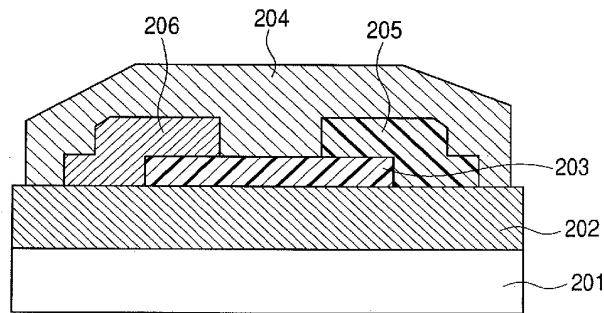
[0031] 도 15a, 15b, 15c, 15d, 15e, 및 15f는 산화물 반도체층과 전극과의 콘택 영역들의 전기 저항을 낮추는 톱 게이트형 박막 트랜지스터 소자의 각 제조공정의 개략적인 단면도이다.

도면

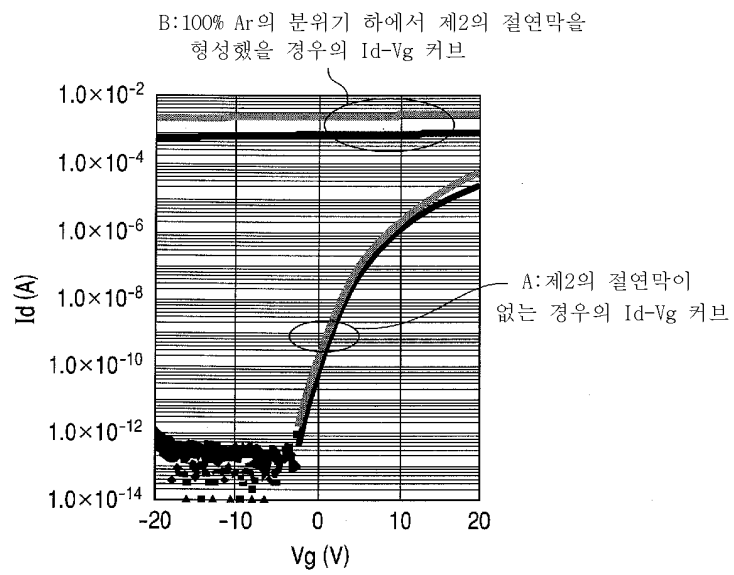
도면1



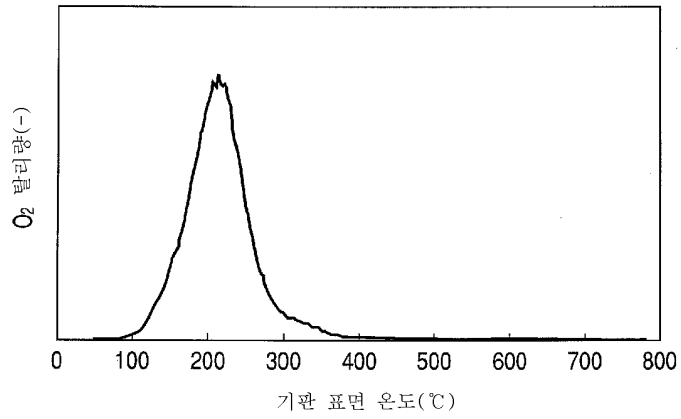
도면2



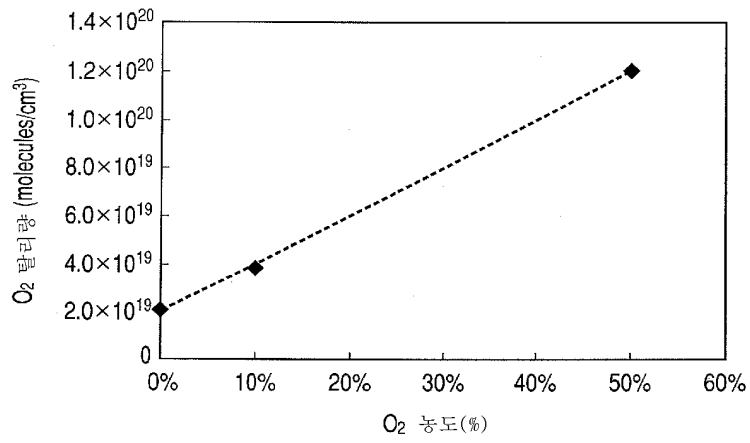
도면3



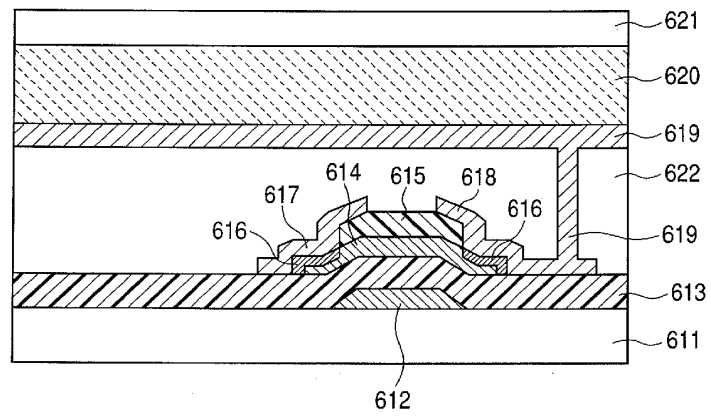
도면4



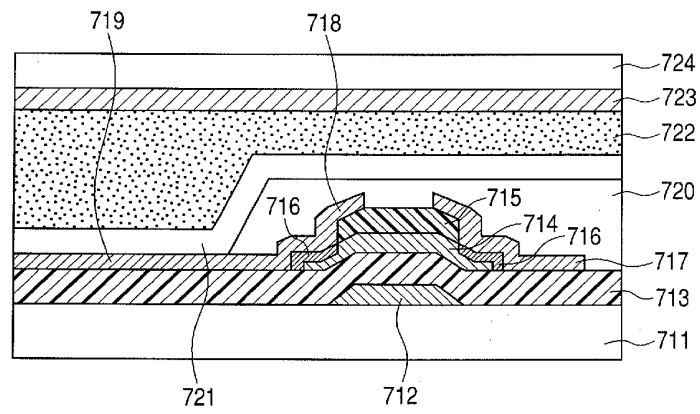
도면5



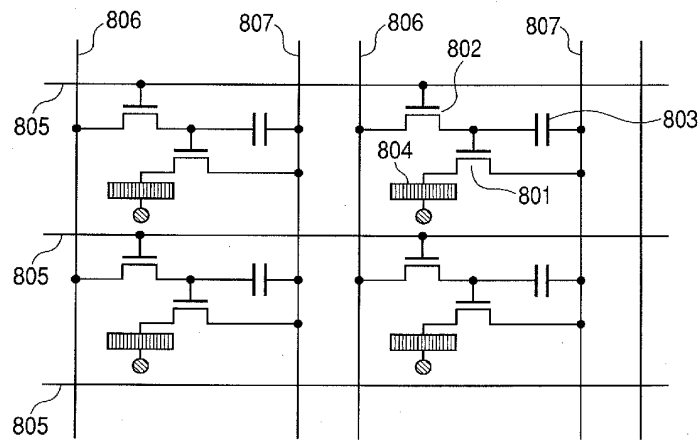
도면6



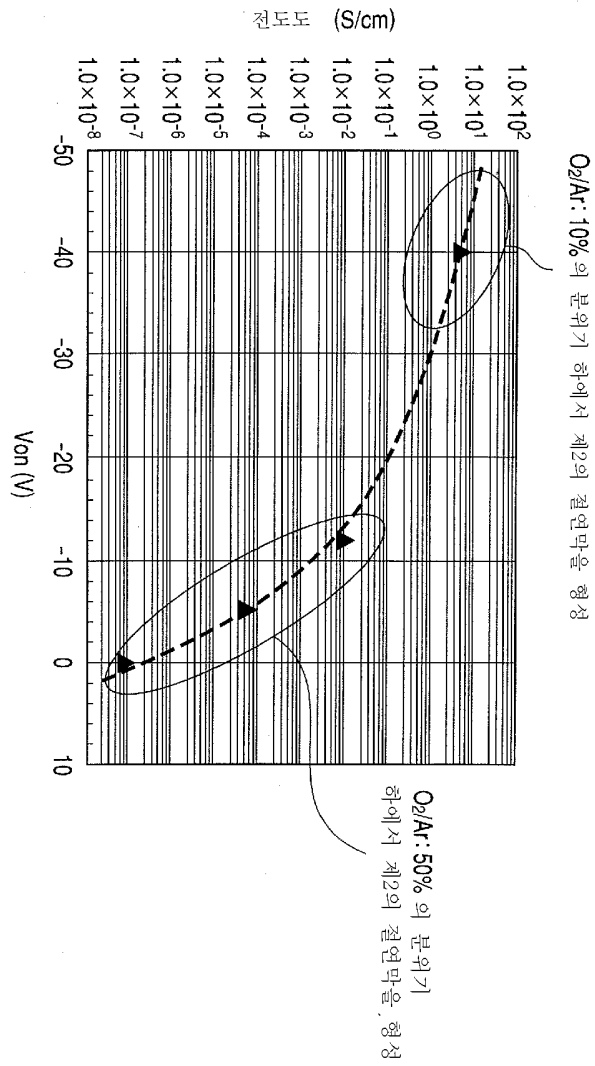
도면7



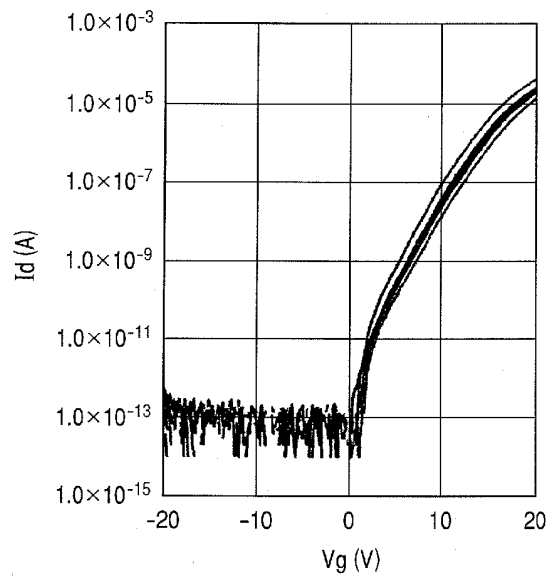
도면8



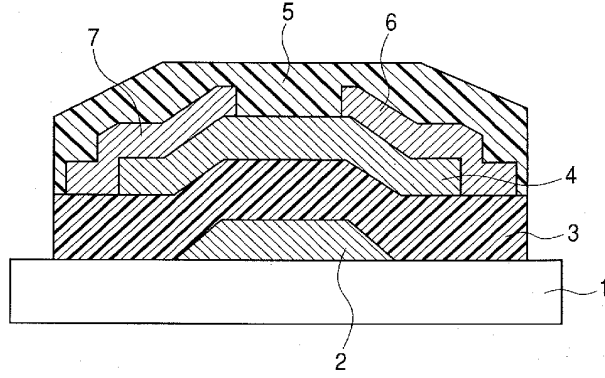
도면9



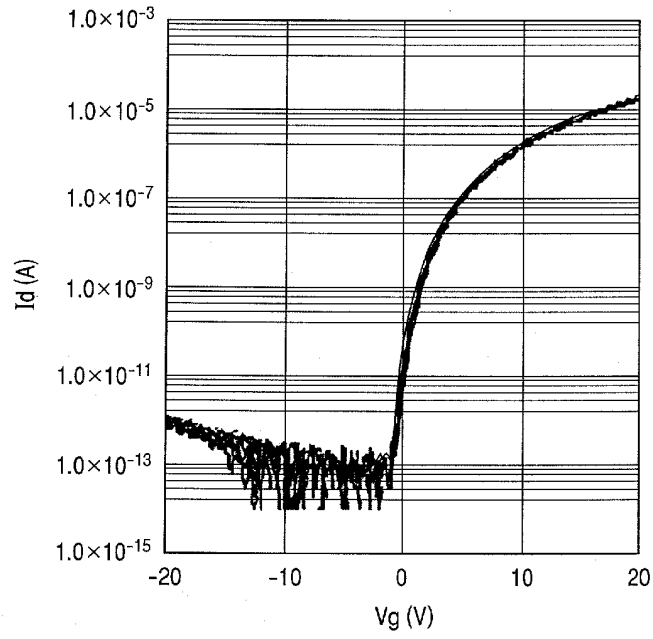
도면10



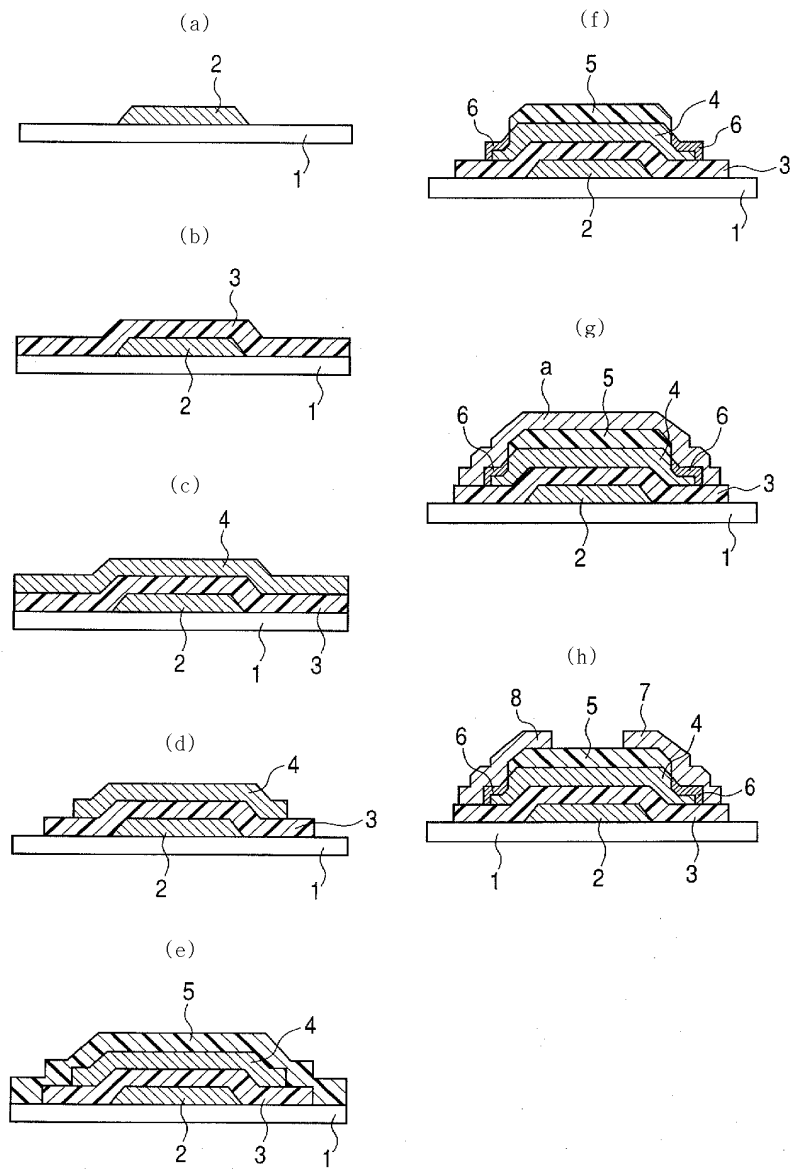
도면11



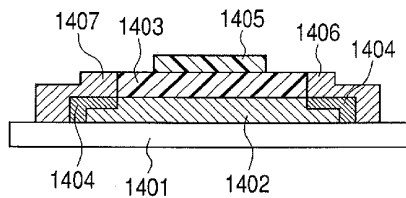
도면12



도면13



도면14



도면15

