

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200580002912.1

[51] Int. Cl.

G06K 19/077 (2006.01)

G06K 19/07 (2006.01)

G09F 3/00 (2006.01)

H01L 27/12 (2006.01)

B42D 15/10 (2006.01)

[43] 公开日 2007年2月7日

[11] 公开号 CN 1910600A

[22] 申请日 2005.1.20

[21] 申请号 200580002912.1

[30] 优先权

[32] 2004.1.23 [33] JP [31] 015449/2004

[86] 国际申请 PCT/JP2005/001037 2005.1.20

[87] 国际公布 WO2005/071608 英 2005.8.4

[85] 进入国家阶段日期 2006.7.21

[71] 申请人 株式会社半导体能源研究所

地址 日本神奈川

[72] 发明人 荒井康行 秋叶麻衣 馆村祐子

神野洋平

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 王永刚

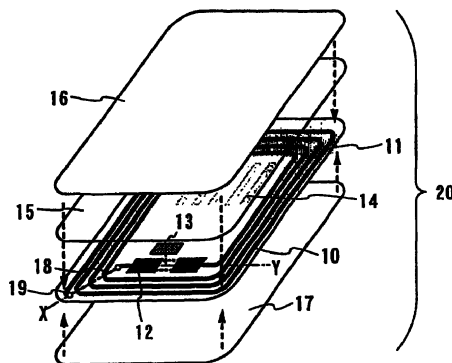
权利要求书 5 页 说明书 46 页 附图 38 页

[54] 发明名称

ID 标记、ID 卡和 ID 标签

[57] 摘要

作为非接触 ID 标记，ID 标签等被广泛使用，要求以很低的成本制造相当数量的 ID 标记。例如，要求附加到产品上的 ID 标记以每个 1 至几日元而制造，或者优选地少于 1 日元。因而，这种结构和工艺被要求以低成本大量地制造 ID 标记。在本发明的 ID 标记、ID 卡和 ID 标签中所包含的薄膜集成电路器件，各包括诸如薄膜晶体管 (TFT) 的薄膜有源元件。因此，通过剥离在其上形成 TFTs 的衬底以分离元件，能够以低成本大量地制造 ID 标记等。



1. 一种 ID 标记, 包括:
标记基底, 在其上形成天线;
薄膜集成电路器件, 该薄膜集成电路器件包括薄膜晶体管并被设置成与该标记基底接触;
分隔片; 以及
粘结剂, 该粘结剂被提供在标记基底和分隔片之间。
2. 根据权利要求 1 的 ID 标记, 其中所述天线和所述薄膜集成电路器件通过交叉布线而连接。
3. 根据权利要求 1 的 ID 标记, 其中在所述薄膜集成电路器件的上表面和下表面至少之一上形成包括含有氧化硅、氮化硅或氧氮化硅的单层或叠层的保护层。
4. 根据权利要求 1 的 ID 标记, 其中在所述薄膜集成电路器件的上表面和下表面上形成所述保护层的情形下, 当所述薄膜集成电路器件和顶、底保护膜的总厚度为 d 时, 将所述薄膜集成电路器件放置在 $(d/2) \pm 30$ 微米或更小的位置处。
5. 根据权利要求 1 的 ID 标记, 其中在所述薄膜集成电路器件中包含的薄膜晶体管的半导体膜含有 0.0005 至 5 原子%的氢或卤素。
6. 根据权利要求 1 的 ID 标记, 其中所述薄膜集成电路器件的尺寸是 0.09 至 25 平方毫米。
7. 根据权利要求 1 的 ID 标记, 其中所述薄膜集成电路器件的厚度为 0.1 至 3 微米。
8. 一种 ID 标记, 包括:
集成电路基底, 在其上形成天线;
标记基底;
薄膜集成电路器件, 该薄膜集成电路器件包括薄膜晶体管并被设置成与标记基底接触;
分隔片; 以及

粘结剂，该粘结剂被提供在标记基底和分隔片之间。

9. 根据权利要求 8 的 ID 标记，其中所述天线和所述薄膜集成电路器件通过交叉布线而连接。

10. 根据权利要求 8 的 ID 标记，其中在所述薄膜集成电路器件的上部分和下部分至少之一上形成包括含有氧化硅、氮化硅或氧氮化硅的单层或叠层的保护层。

11. 根据权利要求 8 的 ID 标记，其中在所述薄膜集成电路器件的上部分和下部分上形成所述保护层的情形下，当所述薄膜集成电路器件和顶、底保护膜的总厚度为 d 时，将所述薄膜集成电路器件放置在 $(d/2) \pm 30$ 微米或更小的位置处。

12. 根据权利要求 8 的 ID 标记，其中在所述薄膜集成电路器件中包含的薄膜晶体管的半导体膜含有 0.0005 至 5 原子%的氢或卤素。

13. 根据权利要求 8 的 ID 标记，其中所述薄膜集成电路器件的尺寸是 0.09 至 25 平方毫米。

14. 根据权利要求 8 的 ID 标记，其中所述薄膜集成电路器件的厚度为 0.1 至 3 微米。

15. 一种 ID 卡，包括：

卡基底，在其上形成天线；

薄膜集成电路，该薄膜集成电路包括薄膜晶体管，并被设置成与卡基底接触；

覆盖物，用于至少覆盖卡基底中形成天线和薄膜集成电路器件的一侧。

16. 根据权利要求 15 的 ID 卡，其中所述天线和所述薄膜集成电路器件通过交叉布线而连接。

17. 根据权利要求 15 的 ID 卡，其中所述覆盖物包括树脂并通过层压方法形成。

18. 根据权利要求 15 的 ID 卡，其中在所述薄膜集成电路器件的上表面和下表面至少之一上形成包括含有氧化硅、氮化硅或氧氮化硅的单层或叠层的保护层。

19. 一种 ID 卡, 包括:

内部基底, 在其上形成天线;

薄膜集成电路器件, 该薄膜集成电路器件包括薄膜晶体管并被设置成与内部基底接触;

覆盖物, 用于覆盖内部基底周围。

20. 根据权利要求 19 的 ID 卡, 其中所述天线和所述薄膜集成电路器件通过交叉布线而连接。

21. 根据权利要求 19 的 ID 卡, 其中所述覆盖物包括树脂并通过层压方法形成。

22. 根据权利要求 19 的 ID 卡, 其中在所述薄膜集成电路器件的上表面和下表面至少之一上形成包括含有氧化硅、氮化硅或氧氮化硅的单层或叠层的保护层。

23. 一种 ID 标签, 包括:

薄膜集成电路器件, 该薄膜集成电路器件包括薄膜晶体管, 并被设置成与在其上形成天线的基底接触;

覆盖物, 用于至少覆盖其中在基底内形成天线和薄膜集成电路器件的一侧。

24. 根据权利要求 23 的 ID 标签, 其中所述天线和所述薄膜集成电路器件通过交叉布线而连接。

25. 根据权利要求 23 的 ID 标签, 其中所述覆盖物包括树脂并通过层压方法形成。

26. 根据权利要求 23 的 ID 标签, 其中在所述薄膜集成电路器件的上表面和下表面至少之一上形成包括含有氧化硅、氮化硅或氧氮化硅的单层或叠层的保护层。

27. 一种 ID 标签, 包括:

薄膜集成电路器件, 该薄膜集成电路器件包括薄膜晶体管, 并且被设置成与在其上形成天线的内部基底接触; 以及

覆盖物, 用于覆盖内部基底周围。

28. 根据权利要求 27 的 ID 标签, 其中所述天线和所述薄膜集成

电路器件通过交叉布线而连接。

29. 根据权利要求 27 的 ID 标签, 其中所述覆盖物包括树脂并通过层压方法形成。

30. 根据权利要求 27 的 ID 标签, 其中在所述薄膜集成电路器件的上表面和下表面至少之一上形成包括含有氧化硅、氮化硅或氧氮化硅的单层或叠层的保护层。

31. 一种物体, 包括

薄膜集成电路器件, 该薄膜集成电路器件包括薄膜晶体管, 并被设置成与在其上形成天线的基底接触; 以及

覆盖物, 用于至少覆盖其中形成天线和薄膜集成电路器件的一侧。

32 根据权利要求 31 的物体, 其中在所述薄膜集成电路器件的上表面和下表面至少之一上形成包括含有氧化硅、氮化硅或氧氮化硅的单层或叠层的保护层。

33. 一种物体, 包括

薄膜集成电路器件, 该薄膜集成电路器件包括薄膜晶体管, 并被设置成与在其上形成天线的内部基底接触; 以及

覆盖物, 用于覆盖内部基底周围。

34. 根据权利要求 33 的物体, 其中在所述薄膜集成电路器件的上表面和下表面至少之一上形成包括含有氧化硅、氮化硅或氧氮化硅的单层或叠层的保护层。

35. 一种 ID 标记, 包括:

标记基底, 该标记基底具有第一表面和与第一表面相对的第二表面;

天线, 该天线被形成在标记基底的第一表面上方;

薄膜集成电路器件, 该薄膜集成电路器件包括薄膜晶体管, 并位于标记基底的第一表面的上方;

布线, 该布线被形成在标记基底的第二表面上;

分隔片, 采用粘结层将该分隔片设置在标记基底的第一表面上

方，天线和薄膜集成电路器件插入分隔片和标记基底之间，

其中，所述布线通过在标记基底内形成的接触孔电连接薄膜晶体管 and 天线的一部分。

36. 一种 ID 标记，包括：

标记基底；

天线，该天线被形成在标记基底的上方；

绝缘层，该绝缘层被形成在标记基底的上方；

布线，该布线被形成在绝缘层上；

薄膜集成电路器件，该薄膜集成电路器件包括薄膜晶体管，并位于标记基底的上方；

分隔片，采用粘结层将该分隔片设置在标记基底的上方，天线、绝缘层和薄膜集成电路器件插入分隔片和标记基底之间，

其中，所述布线通过在绝缘层内形成的接触孔被连接到天线。

ID 标记、ID 卡和 ID 标签

技术领域

本发明涉及 ID 标记 (ID label)、ID 卡和 ID 标签 (ID tag)，各包括存储器、微处理器 (中央处理单元和 MPU) 等，并主要用于识别人、植物和动物、产品等。

背景技术

近年来，在诸如食品工业和制造工业的所有工业领域中对产品的安全性和管理控制的加强的要求提高，并且对产品的数据的要求也相应地提高。目前，产品数据还很少，主要是通过十位数字的条码提供诸如制造的国家、制造商、产品数字等。而且，条码必须被人工地逐个读出，这需要时间。今天，利用无线电波使用非接触的 IC 标签的自动识别技术，这被称作 RFID (射频识别)，正吸引着注意力。

为了保证植物和动物的安全性 (例如原产国、传染病的感染)，如下的系统开始被广泛地使用：IC 芯片被植入到植物和动物的体内，从而通过数据读出设备 (读出器) 从外部获得和管理其数据。

并且，这些年来，人们携带的卡的数目一直增加。特别是，使用无线电波通信的非接触 IC 卡开始广泛地用作电子火车票、电子货币等。

此外，为了防止复制和滥用纸币、硬币、有价证券、票据等，开始广泛地使用在其内植入 IC 芯片的技术 (参考非专利文献 1)。

[非专利文献 1]

由 Nikkei Business Publicatins 公司出版的 Nikkei Eletroncs, 第 67-76 页, 2002 年 11 月 18 日。

发明内容

但是，由于接触和非接触 IC 芯片被广泛使用，需要以相当低的成本制造可用于人、植物和动物、产品、纸币的大量 IC 芯片。例如，要求附加到产品、纸币等上的 ID 芯片以每个 1 至几日元而制造，或者优选地少于 1 日元。因而，要求这种集成电路器件，如 IC 芯片的结构和工艺，以便可以以低成本大量地制造。

目前而言，通过在硅晶片上形成多个薄膜集成电路，并且通过研磨（称为背研磨）去除硅晶片从而将薄膜集成电路分离开的方式制作 IC 芯片。但是，由于昂贵的硅晶片全部被研磨并去除，制造成本增加不可避免。而且，在硅晶片上形成的集成电路较厚，因此将其安装到产品包装上时由于突起和凹陷使得设计上存在限制。

本发明考虑上面提到的问题而作出，用于提供一种不同于由硅晶片形成的传统集成电路的相当薄的薄膜集成电路的结构和工艺（此后成为薄膜集成电路器件），使用该薄膜集成电路器件的 ID 标记、ID 卡、ID 标签、各种物体，如纸币和硬币的结构和工艺。

根据本发明的 ID 标记包括具有薄膜晶体管的薄膜集成电路器件、粘结层和被设置成与标记基底接触的分隔片，在标记基底上形成天线。

根据本发明的 ID 标记包括标记基底、具有被设置成与内部基底接触的薄膜晶体管的薄膜集成电路器件、粘结层和分隔片。

根据本发明的 ID 卡包括具有被设置成与卡基底接触的薄膜晶体管的薄膜集成电路器件，在该卡基底上形成天线，以及覆盖卡基底的形成天线和薄膜集成电路器件的至少一侧的覆盖物。

根据本发明的 ID 卡包括具有被设置成与内部基底接触的薄膜晶体管的薄膜集成电路器件，在该内部基底上形成天线，以及覆盖基底周围的覆盖物。

根据本发明的 ID 标签包括具有被设置成与基底接触的薄膜晶体管的薄膜集成电路器件，在该基底上形成天线，以及覆盖基底的形成天线和薄膜集成电路器件的至少一侧的覆盖物。

根据本发明的 ID 标签包括具有被设置成与内部基底接触的薄膜

晶体管的薄膜集成电路器件，在该内部基底上形成天线，以及覆盖内部基底周围的覆盖物。

根据本发明的上述 ID 标记、ID 卡和 ID 标签的每一个的薄膜集成电路器件包括薄膜有源元件，如薄膜晶体管 (TFT)。在使用 TFT 制造薄膜集成电路器件的情况下，例如，在要被剥离的衬底上形成 TFT 之后，剥离衬底以分离元件，从而由 TFT 形成的薄膜集成电路器件可以以低成本大量地制造。这里主要的剥离方法是通过蚀刻等去除剥离层的化学剥离，以及通过外部施加压力分离剥离层的物理剥离，但是本发明不限于此。

薄膜集成电路器件不同于形成在硅晶片上的传统的“IC(集成电路)芯片”，并且包括以 TFT(薄膜晶体管)为典型代表的薄膜有源元件、连接薄膜有源元件的布线、连接薄膜有源元件和外部单元(例如非接触 ID 标记中的天线和接触 ID 标记中的连接端子)的布线等。不言而喻，薄膜集成电路器件的组件不限于这些，并且薄膜集成电路仅需要包括以 TFT 为典型代表的至少一个薄膜有源元件。

注意，用于本发明的薄膜集成电路器件不同于传统的 IC 芯片，而是薄膜，因此被称为 IDT 芯片(识别薄芯片)等。用于本发明的薄膜集成电路器件原则上不使用硅晶片来形成，并且通过使用诸如玻璃衬底和石英衬底的绝缘衬底形成，可将薄膜集成电路器件转移到柔韧的衬底上，因此还称其为 IDG 芯片(识别玻璃芯片)、IDF 芯片(识别柔性芯片)、软芯片等。此后，有时也将薄膜集成电路器件称为 IDF 芯片。

这里，ID 标记(识别标记)用于识别在市场上流通的产品并用于存储关于它们的数据，也被称为 ID 封条、ID 粘签等。基本上，ID 标记的一侧具有能容易地粘附于产品等上的粘结表面，并且一些还可以重新粘贴多次。不言而喻，本发明不限于这些，只要其属于标记、封条、粘签、徽章、指示条等构成的组即可。

标记基底对应于实际粘结于产品等的部分，天线和薄膜集成电路器件形成在其一个或两个表面以及背表面上。标记基底可以具有单层

结构或叠层结构。

内部基底对应于在 ID 标记、ID 卡、ID 标签内部形成的部分，并且与 ID 标记、ID 卡或 ID 标签的基底独立地形成。还将其称为进口基底 (inlet substratum) 等。基本上，内部基底不能从外部看到，但是，在基底由透明物质等形成的情况下可从外部看到内部基底。注意内部基底可以具有单层结构或叠层结构。

ID 卡对应于包括可存储各种数据的小集成电路器件的卡，如现金卡、信用卡、预付卡、电子火车票、电子货币、电话卡和会员卡。

ID 标签类似于 ID 标记，用于识别在市场上流通的产品并用于存储关于它们的数据。通过对产品提供 ID 标记或 ID 标签，易于管理产品。在例如产品被偷盗的情况下，通过跟踪产品的路径可迅速抓获罪犯。以这种方式，通过提供 ID 标签，可流通在所谓跟踪性能上优越的产品（当复杂的制造和流通的每个阶段出现问题时，可通过跟踪路径快速地查找到原因）。而且，由于最近诸如暴力犯罪和失踪的事件有所增加，ID 标签可用于识别一个人，以持续地算出每个人的位置，如婴儿、小孩、老人、旅行者的位置，从而他们不会被卷入这种事件中去。

提供覆盖物来覆盖卡和标签的基底的至少一侧，在该侧上形成天线和薄膜集成电路器件，并且该覆盖物面对基底而提供。不言自明，基底可以是其中形成薄膜集成电路器件的不同的基底，基底中材料可以与其中形成薄膜集成电路器件的材料相同或不同。而且，覆盖物可用作涂层。

注意，本发明的适用范围不限于上述 ID 标记、ID 卡、ID 标签等。即，还适用于包括薄膜集成电路器件和覆盖物的所有物体，其中薄膜集成电路器件具有被设置成与基底接触的薄膜晶体管，在该基底上形成天线，覆盖物覆盖基底的形成天线和薄膜集成电路器件的至少一侧。

或者，根据本发明的物体，包括薄膜集成电路器件和覆盖物，其中薄膜集成电路器件具有被设置成与内部基底接触的晶体管，在该内

部基底上形成天线，覆盖物覆盖内部基底的周围。

另外，优选地，在物体中包括的薄膜集成电路器件的上部分和下部分至少之一上形成由氧化硅、氮化硅或氧氮化硅的单层或叠层形成的保护层。

根据本发明的物体中包含的集成电路器件是具有 TFT 的薄膜集成电路器件，因此可按约 5 微米或更小（更优选是 0.1 到 3 微米）的厚度形成。本发明重点关注尤其是纸张、薄膜或板形式的物体。

包括在根据本发明的 ID 标记、ID 卡或 ID 标签中的薄膜集成电路器件包括薄膜有源元件，如 TFT。在要被剥离的衬底上形成 TFT 后，剥离衬底，以分离元件，从而可以低成本大量地制造薄膜集成电路器件。由于薄膜集成电路器件包括薄膜有源元件，可获得比传统技术更薄设计的 ID 标记、ID 卡和 ID 标签。

另外，由于芯片背表面不像在硅衬底上形成的传统 IC 芯片那样需要抛光，可相当程度上简化工艺，并且可很大程度地降低制造成本。而且，可使用比硅衬底便宜的玻璃衬底、石英衬底、太阳能电池级硅衬底等，可再利用剥离后的衬底。因此，可实现大幅度地成本降低。

另外，与硅晶片形成的 IC 芯片不同，其不需要执行引起断裂和抛光痕迹的背研磨处理。而且，元件的厚度变化取决于形成 IC 的沉积过程中的每个膜的变化，因此该变化最多是几百纳米，其远小于在背研磨处理后的几个到几十个微米的变化。

因此，根据本发明，可提供具有很薄的形状、并且功能上更优越的以低成本大量地制造的各种物体，诸如 ID 标记、ID 卡、ID 标签等。

附图说明

图 1A 到 1C 是分别表示本发明的 ID 标记的叠层结构的透视图；
图 2 是表示本发明的 ID 标记的制造方法的图（各向异性导电膜）；

图 3A 和 3B 是表示本发明的 ID 标记的制造方法的图（粘结层）；

图 4A 和 4B 是表示本发明的 ID 标记的制造方法的图（内部交叉布线）；

图 5A 和 5B 是分别表示本发明的 ID 标记的叠层结构的透视图和截面图（内部基底）；

图 6A 和 6B 是表示本发明的 ID 卡的叠层结构的透视图；

图 7A 和 7B 是分别表示本发明的纸币和硬币的叠层结构的透视图；

图 8A 和 8B 是表示本发明的 ID 标记等的生产线的示意图；

图 9A 和 9B 是表示本发明的 ID 卡、ID 标签等的示意图；

图 10 是表示本发明的 ID 标记的叠层结构的透视图（天线集成型）；

图 11 是表示本发明的 ID 卡的叠层结构的透视图（天线集成型）；

图 12A 和 12B 是表示在 ID 标记等中使用的薄膜集成电路器件的截面图（天线集成型）；

图 13A 到 13E 是表示本发明使用的薄膜集成电路器件中的 CPU 和存储器的制造步骤的图；

图 14A 到 14D 是表示本发明使用的薄膜集成电路器件中的 CPU 和存储器的制造步骤的图；

图 15A 到 15C 是表示本发明使用的薄膜集成电路器件中的 CPU 和存储器的制造步骤的图；

图 16A 到 16C 是表示本发明使用的薄膜集成电路器件中的 CPU 和存储器的制造步骤的图；

图 17A 到 17C 是表示薄膜集成电路器件的元件分离方法的图（干蚀刻）；

图 18A 到 18C 是表示要被剥离的各种衬底的图；

图 19A 和 19B 是表示薄膜集成电路器件的剥离方法的图（使用托盘）；

图 20 是表示薄膜集成电路器件的剥离方法的图（使用衬底作为托盘）；

图 21 是表示低压 CVD 设备的示意图；

图 22A 到 22C 是表示折叠天线衬底的情况的图；

图 23A 到 23D 是表示折叠天线衬底的情况下薄膜集成电路器件的制造步骤的图；

图 24A 到 24C 是表示将 IDF 芯片粘接到产品基底上的方法（选择性 UV 射线照射）；

图 25A 到 25C 是分别表示 IDF 芯片与保护膜的位置关系的图；

图 26 是表示源区、沟道区和漏区的形成方向与产品基底的弯折方向之间的关系；

图 27 是表示本发明的 ID 标记或 ID 卡的配置的框图；

图 28 是表示本发明的 ID 标记的叠层结构的透视图（输入天线和输出天线）；

图 29 是表示薄膜集成电路器件中的 CPU 的配置的框图；

图 30A 到 30C 是表示读写器的例子的图；

图 31 是在商店购买产品的例子的图；

图 32A 和 32B 是分别表示制造商、销售商和顾客之间的关系；

图 33 是在安全检查中附带有 ID 标签的物体的检查方法的图；

图 34A 到 34E 是表示应用本发明的物体的例子的图；

图 35A 到 35D 是表示附带本发明的 ID 标记等的产品的例子的图；

图 36A 和 36B 是用于本发明的薄膜集成电路的电路图。

具体实施方式

尽管将参考附图以举例方式全面描述本发明，但应当理解对于本领域技术人员而言可进行各种改变和修改。因此，除非这种改变和修改背离了本发明的范围，否则应当被认为是包括其中的。例如，可以自由组合实施方式和实施例来实施本发明。

[实施方式 1]

参考图 1A、2 和 3A 与 3B 描述本发明的 ID 标记 20 的结构和制造方法。图 1A 是表示根据本发明的 ID 标记的叠层结构的透视图。这里，作为标记安装的分隔片在粘于产品等的标记基底（通常称为“贴

纸”等，但不限于纸材料)上方。

图 1A 中，天线 11 和作为天线与薄膜集成电路器件的连接部分的连接焊盘 12 形成于标记基底 10 上，独立形成的薄膜集成电路器件 13 粘结到标记基底。打印件 14，如文本、标号和图像应用到标记基底的表面上(图 1A 中的背表面)。而且，在形成所谓的具有非接触和接触功能的混合型 ID 标记时，形成连接端子的布线图案可通过印刷方法等形成。

在其上形成天线和薄膜集成电路器件的标记基底 10 通过粘结层 15 粘结到分隔片 16 上。注意可在标记基底 10 的表面提供涂层 17。尽管未示出，涂层可附加地提供于标记基底与粘结层之间。

这里，标记基底可使用纸、合成纸、树脂材料、无机材料等形成，树脂材料如塑料、PET、聚丙烯、聚乙烯、聚苯乙烯和尼龙，但是本发明不限于此。标记基底优选使用柔性材料，从而 ID 标记可粘结到具有各种形状的产品以及具有平面形状的产品。注意，例如日本专利特许公开 No.2001-30403 等中描述的高密度聚乙烯(HDPE)可用于树脂材料。而且，两种或三种上述材料可组合使用。

对于用于天线和连接焊盘的传导材料，可使用 Ag、Au、Al、Cu、Zn、Sn、Ni、Cr、Fe、Co 或 Ti 或包含上述材料的合金。不言自明，本发明不限于此，但是考虑可加工性和成本，优选使用 Al。其厚度优选在 5 到 60 微米。

天线和连接焊盘也可由不同材料形成。可通过在整个表面上以溅射方式形成导电材料后执行图案化工艺来形成天线和连接焊盘，还可通过直接通过喷墨、丝网印刷、偏置印刷、凹板印刷等(此后有时将这些集中称为“液滴排放方法”)选择性形成天线和连接焊盘。而且，可叠置上述导电材料。在通过这些方法形成导电图案后，与导电图案相同或不同的导电材料可通过镀覆形成。注意通篇中连接焊盘部分可提供在 TFT 侧。

优选地，以具有足够延展性和柔软性的金属材料形成天线和连接焊盘，更优选是将其形成得较厚，以抵抗变形应力。另外，优选形成

连接焊盘，以实现与薄膜集成电路器件可靠地连接。

而且，可使用已知的材料，如在空气中轻轻受潮就可固化的氰丙烯酸酯粘结剂（主要用作瞬间粘结剂）、乙酸乙烯酯单体树脂乳剂、橡胶材料、透光快干并且具有阻水性能的氯乙烯树脂材料、乙酸乙烯酯单体溶液材料、环氧树脂材料和热熔（热溶解型）材料。不言自明，本发明不限于这些，可使用任何具有粘结性能的材料。在将 ID 标记粘结到产品等后的反复剥离和粘结该 ID 标记的情况下，同样可使用能反复剥离和粘结的用于 Post-it(日本注册商标)THREE M INNOVATIVE PROPERTIES 和 NOTESTIX(日本注册商标)MOORE BUSINESS FORMS INC 等的粘结剂。例如，也可使用由日本专利特许公开号 No.2001-30403、专利号 2992092 以及日本专利特许公开号 No.6-299127 分别公开的丙烯粘结剂、合成橡胶粘结剂、天然橡胶粘结剂等。

纸或合成纸，以及诸如塑料、PET、聚丙烯、聚乙烯、聚苯乙烯和尼龙的树脂材料及无机材料，可用作分隔片，但本发明不限于此。透光树脂材料，如塑料、PET、聚丙烯、聚乙烯、聚苯乙烯、尼龙、DLC(类金刚石碳)等可用作涂层。图像通过已知的打印方法等打印到标记基底上。而且，作为薄膜集成电路器件 13，典型地，使用包含薄膜有源元件，如 TFT 的芯片。后面将描述具体结构和制造方法。

这里，图 2、3A 和 3B 表示沿着图 1A 中的标记基底的 X-Y 方向的截面图。多个 TFTs23 形成在薄膜集成电路器件 13 上，并且形成用于连接到天线的连接布线 21。

对于导电材料，可根据导电膜的功能选择不同材料。典型地，可使用银 (Ag)、铜 (Cu)、金 (Au)、镍 (Ni)、铂 (Pt)、铬 (Cr)、锡 (Sn)、钯 (Pd)、铱 (Ir)、铑 (Rh)、钌 (Ru)、铼 (Re)、钨 (W)、铝 (Al)、钽 (Ta)、铟 (In)、碲 (Te)、钼 (Mo)、镉 (Cd)、铅 (Zn)、铁 (Fe)、钛 (Ti)、硅 (Si)、锗 (Ge)、锆 (Zr)、钡 (Ba)、含铋铅、含铋氧化锡、掺氟氧化锌、碳、石墨、玻璃状碳、锂、铍、钠、镁、钾、钙、钪、锰、锆、镓、铌、钠钾合

金、镁铜化合物、镁银化合物、镁铝化合物、镁铟化合物、铝的氧化化合物和铝、锂和铝的化合物、卤化的银颗粒、可分散的纳米颗粒、用作透光导电膜的氧化铟锡 (ITO)、氧化锌 (ZnO)、掺镓氧化锌 (GZO)、通过混合 2 到 20% 的氧化锌到氧化铟中得到的氧化铟锌 (IZO)、有机铟、有机锡、氮化钛等。另外, 对于用于透光导电膜的材料, 可在上述膏剂中或用于溅射的靶中包含硅 (Si) 或硅的氧化物 (SiO_x)。例如, 可使用通过混合硅的氧化物到 ITO(这里为了方便称为“ITSO”)得到的导电材料。而且, 可通过堆叠由这些材料形成的层来形成所需的导电膜。

图 2 表示通过各向异性导电膜 (此后在一些情况下称为“ACF”(Anisotropic Conductive Film)和各向异性导电膏 (ACP)) 将薄膜集成电路器件的连接布线 21 与标记基底的连接焊盘 12 进行连接的情况。按这种方式, 将薄膜集成电路器件上头朝下方式粘结的方法称为面朝下方法。

这里, ACF 具有导电颗粒分散到称为结合剂层的层中的结构, 该结合剂层由粘结剂的主要成份形成。因此, 在将薄膜集成电路器件粘结到连接焊盘的同时, 可确保导通。如后所述, 形成多个薄膜集成电路器件, 并通过切割等执行元件分离。薄膜集成电路器件可通过使用小型真空销装置 (small vacuum pin set) 24 或小销子 (minute pin) 25 转移每个薄膜集成电路器件而粘结在标记基底的所需位置, 如图 3A 所示。

接着, 说明天线的截面结构。在本实施方式中, 说明如图 1A 到 1C 所示使用线圈天线的电磁非接触 ID 标记的情况。当线圈天线接近从未示出的读写器 (此后有时简单称为“R/W”) 产生的磁场时, 通过电磁现象流经天线的电流流过线圈的闭合环路, 从而激活薄膜集成电路器件。因此, 如图 1A 到 1C 所示, 需要将薄膜集成电路器件连接于天线两端 (例如外侧和内侧)。

在这种情况下, 为了防止天线的短路, 提供如图 1A 和 2 所示的交叉布线 18, 经接触部分 19 将薄膜集成电路器件和天线外侧的端子

部分进行连接。接触部分 19 优选提前设置在标记基底上。注意通过使用与天线 11 相同或不同的导电材料以类似于天线形成的方法形成交叉布线 18。

图 3A 和 3B 表示通过粘结层 26 将薄膜集成电路器件和标记基底进行粘结、将薄膜集成电路器件的连接布线 21 直接连接于标记基底的连接焊盘 12 的情况。对于粘结层 26, 可使用与上述粘结层 15 类似的材料。注意, 在分离后每个薄膜集成电路器件使用小销子 25 或小型真空销装置 24 进行转移, 如图 2 所示, 从而被粘结到标记基底的需要部分。

可通过其他方法以及图 2、3A 和 3B 的方法粘结薄膜集成电路器件和标记基底。例如, 尽管未示出, 但可使用双侧带, 或者形成树脂等来覆盖薄膜集成电路器件。

在本实施方式中, 示出电磁感应型天线结构, 但是, 可适当使用利用交变磁场引起的线圈互感的电磁耦合类型、数据通过微波 (2.45GHz) 发射/接收的微波类型、以及数据在 ID 标记与 R/W 之间利用借助光的空间传输而通信的光通信类型中的任何一个。而且, 提供薄膜集成电路器件和天线的两个连接点, 但是本发明不限于此。

[实施方式 2]

参考图 1B、4A 与 4B 主要描述根据本发明的 ID 标记的结构和制造方法。图 1B 是表示本发明的 ID 标记的叠层结构的透视图。这里, 为了简化, 作为标记安装的分隔片在粘结于产品等的标记基底上方。

图 1B 在如下方面类似与图 1A: 天线 11 和作为天线与薄膜集成电路器件的连接部分的连接焊盘 12 提前形成于标记基底 10 上, 并且独立形成的薄膜集成电路器件 13 粘结到标记基底 10 上。但是, 图 1B 中, 连接薄膜集成电路器件和天线的交叉布线 18 形成在标记基底上方的绝缘层上。

在这种情况下, 设置绝缘层 27, 使得天线 11 和交叉布线 18 不短路。另外, 接触部分 28 形成在绝缘层 27 上, 从而天线 11 外侧的端子与交叉布线 18 连接。图 4A 表示沿着图 1B 的 X-Y 的截面图。

对于绝缘层 27 而言,可使用有机树脂,如聚酰亚胺、丙烯酸、聚酰胺、抗蚀剂、和硅氧烷、氧化硅、氮化硅、氧氮化硅、包含碳的薄膜,如 DLC(类金刚石碳)或氮化碳(CN)、以及无机材料,如 PSG(硅酸磷玻璃)以及 BPSG(硅酸硼磷玻璃)。优选地,包括绝缘层 27 和交叉布线 18 在内的厚度比薄膜集成电路器件 13 的厚度薄,如图 4A 所示,从而 ID 标记的厚度整体上不会变得不必要的厚。

在本实施方式中,薄膜集成电路器件和标记基底通过各向异性的导电膜 22 连接,类似于图 2,但也可使用图 3A 和 3B 所示的方法。

其它结构类似于实施方式 1 中所述的结构。

在本实施方式中,在标记基底内部形成交叉布线,因此,不需要涂层如图 1A 所示设置在标记基底的表面上,从而可使 ID 标记很薄。

在本实施方式中,使用电磁感应型天线结构,但是,可适当使用电磁耦合类型、微波类型、以及光通信类型中的任何一个。在形成具有接触和非接触功能的所谓的混合 ID 标记的情况下,形成连接端子的布线图案可通过印刷方法等形成。另外,在本实施方式中提供薄膜集成电路器件和天线的两个连接点,但是本发明不限于此。

[实施方式 3]

参考图 1C 与 4B 主要描述根据本发明的 ID 标记的结构和制造方法。图 1C 是表示本发明的 ID 标记的叠层结构的透视图。这里,为了简化,作为标记安装的分隔片在粘结于产品等的标记基底上方。

图 1C 在如下方面类似与图 1A: 天线 11 和作为天线与薄膜集成电路的连接部分的连接焊盘 12 提前形成于标记基底 10 上,并且独立形成的薄膜集成电路 13 粘结到标记基底 10 上。但是,图 1C 中,连接薄膜集成电路器件和天线的交叉布线 18 形成在薄膜集成电路器件内部。

图 4B 表示沿着图 1C 的 X-Y 的截面图。设置连接于 TFT 形成区 29 的连接布线 21a 到 21c,以连接天线的内侧边缘部分与其外侧边缘部分。交叉布线 18 设置在连接于天线外侧端部的连接布线 21a 和 TFT 形成区之间。交叉布线 18 以如下方式形成: 在形成 TFT 形成区后,

形成第一层间膜 30a, 形成接触孔, 然后通过溅射或液滴排放方法形成导电材料。而且, 形成第二层间膜 30b 和连接布线 21c, 使得交叉布线 18 和天线 11 不短路。注意上述实施例中使用的导电材料可适当地用于连接布线 21a 到 21c 和交叉布线 18。另外, 可同样在第二层间膜 30b 上形成保护膜 31。

对于层间膜的材料而言, 可使用光敏或非光敏有机材料, 如聚酰亚胺、丙烯酸、聚酰胺、抗蚀剂、或环丁基苯 (benzocyclobutene), 或者耐热有机树脂材料, 如硅氧烷 (具有硅氧键、氢作为替代的键的材料, 或者具有氟、烷基和芳香基碳氢化物至少之一作为替代的材料)。根据所用材料, 形成方法可以是旋涂、浸润、喷射、液滴排放方法 (喷墨方法、丝网印刷方法、偏置印刷方法等), 可采用刮刀、辊涂、淋涂、刀片涂等。或者, 还可使用通过涂覆获得的 SOG 膜 (例如包含烷基的 SiO_x 膜)。或者, 还可使用无机材料。在这种情况下, 可使用氧化硅、氮化硅、氧氮化硅、包含碳的薄膜, 如 DLC 或 CN、PSG, BPSG, 铝膜等。其形成方法可以是等离子体 CVD、低压 CVD(LPCVD)、大气压等离子体等。注意可由相同或不同材料形成层间膜 30a 和 30b。

对于保护膜的材料而言, 优选使用硅的氧化物 (SiO_x) 和氧氮化硅 (SiO_xN_y) 以及硅的氮化物 (SiN_x , Si_3N_4 和 SiNO_x)、氮氧化硅 (SiN_xO_y), 其具有阻挡碱金属元素, 如 Na 的功能。尤其, 由于 ID 标记、ID 卡、ID 标签等在很多情况下用裸手操作, 可防止汗水中包含的 Na。更优选地是层叠上述材料。例如, 按顺序叠放 (1) SiN 或 SiNO , (2) SiO_2 或 SiON , (3) TFT, (4) SiN 或 SiNO 。注意这些叠层结构可自由组合。而且, 不仅在 TFT 上方和下方, 还可用上述材料覆盖其周围部分。此后, 有时将氧氮化硅 (SiO_xN_y) 和氮氧化硅 (SiN_xO_y) 集中称为硅的氧氮化物。

另外, 通过使用由上述材料形成的保护层, 可保护 TFT 不受包含在粘结层中的杂质影响, 这种情况下粘结层由有机树脂材料形成, 并且设置成与保护层紧密接触。在天线与保护层接触形成或在其内部

形成的情况下,可使用上述保护层防护导电材料(尤其是Cu和Ag)。

在本实施方式中,薄膜集成电路器件和标记基底通过各向异性导电膜22连接,与图2类似,但是,也可使用图3A和3B所示的方法。

其它结构类似于实施方式1中所述的结构。

在本实施方式中,由于在薄膜集成电路器件中形成交叉布线,因此,不需要在标记基底的表面上设置涂层。而且,也不需要标记基底上形成接触孔。

在本实施方式中,使用电磁感应型天线结构,但是,可适当使用电磁耦合类型、微波类型、以及光通信类型中的任何一个。在形成具有接触和非接触功能的所谓的混合ID标记的情况下,形成连接端子的布线图案可通过印刷方法等形成。另外,在本实施方式中提供薄膜集成电路器件和天线的两个连接点,但是本发明不限于此。

[实施方式4]

参考图5A与5B主要描述根据本发明的ID标记的结构和制造方法。图5A是表示本发明的ID标记的叠层结构的透视图。这里,粘结于产品的标记基底在分隔片上方,作为ID标记的安装。

在本实施方式中,天线11和作为天线与薄膜集成电路器件的连接部分的连接焊盘12形成于内部基底(进口基底)32上,对于该内部基底32,独立形成的薄膜集成电路13以及标记基底粘结到其上。

天线和薄膜集成电路器件设置在内部基底32上,类似于在上述实施方式中将它们提供在标记基底上(见图2到4B)。但是,优选地,内部基底由薄膜形成,从而ID标记整体上不会变得不必要的厚。可使用纸、合成纸、树脂材料、无机材料等形成,树脂材料如塑料、PET、聚丙烯、聚乙烯、聚苯乙烯和尼龙,但是本发明不限于此。优选地,ID标记和内部基底由柔性材料形成,从而ID标记可粘结到具有各种形状的产品上,而不仅是具有平面形状的产品。因此,ID标记易于处理。对于树脂材料,例如可使用日本专利特许公开No.2001-30403中描述的高密度聚乙烯(HDPE)等。

图5B是根据本实施方式制造的完成了的ID标记的放大截面图。

其上形成天线和薄膜集成电路器件的内部基底的顶部和底部用保护层 34 和 35 覆盖。作为保护层，优选使用阻挡诸如 Na 的杂质的氧化硅、氮化硅、氧氮化硅等。更优选地，层叠这些膜。不言自明，也可使用其他有机材料。

独立形成的内部基底 32 通过粘结层 36 粘结到标记基底 10 上。图像 14 按需要印刷在标记基底的表面（印刷的表面 33）上。在本实施方式中，将内部基底 32 的尺寸形成得小于标记基底 10，因此粘结层 36 也可形成在内部基底的侧面。从而，可支持分隔片 16、内部基底 32 以及标记基底 10。

ID 标记通过剥离分隔片由粘结层 36 粘结到产品等上。此时，由于保护层 35 提供在内部基底 32 的底部（粘结于产品的表面）上，可阻挡诸如 Na 的杂质从外部进入薄膜集成电路器件。因此，顶部的保护层 34 由使得 ID 标记很薄的单层形成，底部上的保护层 35 由提高杂质阻挡性能的叠层形成是有效的。

为了使得内部基底 32 和标记基底 10 几乎为相同尺寸，粘结层设置在内部基底 32 的顶表面和底表面上，以粘结标记基底 10 和分隔片 16。

在本实施方式中，使用电磁感应型天线结构，但是，可适当使用电磁耦合类型、微波类型、以及光通信类型中的任何一个。在形成具有接触和非接触功能的所谓的混合 ID 标记的情况下，形成连接端子的布线图案可通过印刷方法等形成。另外，在本实施方式中提供薄膜集成电路器件和天线的两个连接点，但是本发明不限于此。

[实施方式 5]

参考图 6A 与 6B 主要描述根据本发明的 ID 卡的结构和制造方法。图 6A 和 6B 是表示本发明的 ID 卡的叠层结构的透视图。

图 6A 表示天线 11 和作为天线与薄膜集成电路器件的连接部分的连接焊盘 12 形成于 ID 卡的底卡基底 37b 上、并且独立形成的薄膜集成电路器件 13 粘结到底卡基底 37b 上的情况。而且，覆盖薄膜集成电路器件的覆盖物（顶底卡基底 37a）通过粘结层 39 粘结并设置在

底卡基底 37b 上。图像 14 按需要印刷在顶底卡基底 37a 和底卡基底 37b 上。另外，在用于连接连接焊盘 12 和天线 11 的交叉布线 18 暴露在底卡基底的表面上的情况下，可另外形成涂层 40。

对于卡基底，代表性地，可使用树脂材料，如塑料、PET、聚丙烯、聚乙烯、聚苯乙烯和尼龙，以及纸、合成纸、无机材料等。ID 卡通常不折叠使用，但是在形成折叠 ID 卡的情况下优选地使用柔性材料来形成卡基底。注意对于树脂材料，例如也可使用日本专利特许公开 No.2001-30403 中描述的高密度聚乙烯 (HDPE) 等。两种或更多种上述材料可组合使用。

包括交叉布线的天线的结构、薄膜集成电路器件和天线的连接方法等类似于实施方式 1 到 4 中所述。按这种方式，完成 ID 卡 41。

图 6B 表示天线 11 和薄膜集成电路器件 13 粘结其上的内部基底 32 通过插入粘结层 38 和 39 之间的底卡基底 37b 密封。尽管未示出，通过形成比底卡基底 37b 小的内部基底 32，可以不需要粘结层 38 和 39 之一，这使得 ID 卡更薄。

在本实施方式中，使用电磁感应型天线结构，但是，可适当使用电磁耦合类型、微波类型、以及光通信类型中的任何一个。在形成具有接触和非接触功能的所谓的混合 ID 标记的情况下，形成连接端子的布线图案可通过印刷方法等形成。另外，在本实施方式中提供薄膜集成电路器件和天线的两个连接点，但是本发明不限于此。

[实施方式 6]

参考图 7A 与 7B 主要描述根据本发明的纸币、硬币等的结构和制造方法。图 7A 和 7B 分别表示本发明的纸币和硬币的叠层结构。

图 7A 表示天线 11 和薄膜集成电路器件 13 粘结其上的内部基底 32 通过粘结层 36 由顶基底 42a 和底基底 42b 密封。对于顶基底 42a 和底基底 42b，常规将浆状材料，如纸和合成纸用于纸币，但是，本发明不限于此。该结构不仅仅限于用于纸币。可根据不同应用适当改变基底，这种不同应用如附息票债券，包括邮票、火车票、票据、入场券、礼品卡、书票、文具票、啤酒票、米票、各种礼品证书和各种

服务证书, 有价纸件, 包括证券、债务人的期票、账单、股票、公共公司债券, 契据, 包括住址卡、家庭成员注册副本以及家庭成员注册摘要、雇员 ID、学生 ID、会员卡、考试入场券、参加券、认证和识别, 用于识别货物的 ID 标签, 包括运输标签、价格标签、姓名标签和家庭、包装纸等。

图 7B 表示其上形成天线 11 和薄膜集成电路器件 13 的环形或卵形内部基底 41 通过粘结层 36 用环形或卵形顶基底 43a 和底基底 43b 密封。考虑主要是对硬币的应用而将顶基底 43a 和底基底 43b 形成为环形或卵形, 但是, 本发明不限于这些形状。上述硬币指的是在市场上流通的货币, 以及在特定领域与硬币类似使用的现金凭证等。另外, 本发明包括暂时发行的纪念币、纪念章等。

图 7A 和 7B 中, 包括交叉布线的天线的结构、薄膜集成电路器件和天线的连接方法等类似于实施方式 1 到 4 中所述。此时, 通过将内部基底 32 和 44 形成得与顶基底 42a 和 43a 以及底基底 42b 和 43b 相比尽可能得小, 粘结层 36 占据的用于粘结的区域可增大。因此, 可形成在耐损坏方面优越的纸币、债券、有价证券、付息票债券、硬币等。

内部基底 32 和 44 以及天线 11 的形状不限于图 7A 和 7B 所示。

本发明使用的薄膜集成电路器件由薄膜有源元件, 如 TFT 形成, 按约 5 微米或更小的厚度形成 (除了设置在顶部和底部的保护膜的厚度)。优选地, 厚度为 0.1 到 3 微米。优选地, IDF 芯片的尺寸为 25mm^2 或更小, 更优选地, 是 0.09 到 16mm^2 。而且, 优选地, 在顶部和底部形成比 IDF 芯片尺寸大的保护层。

按这种方式, 本发明使用的薄膜集成电路器件与具有约 0.06mm (60 微米) 厚度的传统 IC 芯片相比薄得多, 因此, 它非常适合于作为芯片装入到由纸或树脂膜形成的薄产品中。另外, 由于 IDF 芯片很薄, 可通过用有机树脂材料填充其周边而将它们做成一个整体。从而, 可防止弯折应力影响 IDF 芯片。

在本实施方式中, 使用电磁感应型天线结构, 但是, 可适当使用

电磁耦合类型、微波类型、以及光通信类型中的任何一个。在形成具有接触和非接触功能的所谓的混合 ID 标记的情况下，形成连接端子的布线图案可通过印刷方法等形成。另外，在本实施方式中提供薄膜集成电路器件和天线的两个连接点，但是本发明不限于此。

[实施方式 7]

参考图 8A 与 8B 描述根据本发明的 ID 标记的制造方法。图 8A 和 8B 是表示本发明的 ID 标记的生产线的示意图。

首先，如图 8A 所示，要作为 ID 标记基底的标记纸从标记纸供应装置 300（辊 1）提供，IDF 芯片（薄膜集成电路器件）粘结到标记纸的所需部分。此时，适当使用粘结剂、ACF、超声粘结或 UV 粘结。这里，使用 ACF 供应装置 301 和 IDF 芯片粘结装置 302 通过 ACF 粘结标记纸和 IDF 芯片。不言自明，在标记纸上形成的天线和 IDF 芯片连接。接着，从粘结层供应装置 303 供应粘结层，从分隔纸供应装置 304（辊 2）供应的分隔纸（分隔片）被粘结而完成 ID 标记。最后，ID 标记使用标记上卷装置 305（辊 3）上卷。优选地，ID 标记基底被提前分隔为各个标记并且分隔纸为条形。在这种情况下，可在标记顺序安装台 118（分隔片）上获得独立分离的 ID 标记 20，如图 34A 所示。

提供标记纸和分隔纸的顺序可如图 8B 所示被颠倒。图 8B 中，天线集成形成在 IDF 芯片中，因此，省略 ACF 供应装置 301。在多个 ID 标记以条形形成时，ID 标记由标记分隔装置 306，如冲裁切割机分开，以获得独立的标记，这些 ID 标记由收集装置 307 作为产品收集。不言自明，图 8A 和 8B 可选择地组合。

根据本实施方式的方法可适当用于 ID 卡、ID 标签、纸币、硬币、契约、付息票债券、有价证券等。在 ID 标签的情况下，例如底基底材料由辊 1 支持，同时顶基底由辊 2 支持。

[实施方式 8]

参考图 9A 与 9B 主要描述本发明的 ID 卡和 ID 标签的制造方法。图 9A 和 9B 分别是表示根据本发明的 ID 卡和 ID 标签的生产线的示

意图和其放大视图。

首先，如图 9A 所示，要作为 ID 卡和 ID 标签的基底的材料从基底供应装置 308（辊 1）提供，IDF 芯片（薄膜集成电路器件）通过 IDF 粘结装置 302 粘结到基底的所需位置。此时，可适当使用粘结剂、ACF、超声粘结或 UV 粘结。接着，在基底顺序地以条形形成的情况下，基底由基底分隔装置 309 分隔为独立的 ID 卡或 ID 标签。然后，每个基底周围用层压设备 310 层压。从而，完成 ID 卡或 ID 标签。

或者，在将 IDF 芯片形成在条形基底的所需位置并进行层压后，其同样可被分隔为独立的 ID 卡或 ID 标签。层压的 ID 卡或 ID 标签由收集装置 307 收集。

图 9B 是由根据本实施方式的方法制造完成的 ID 卡或 ID 标签的放大截面图。天线 11 形成在标记基底 32 上，连接于天线的薄膜集成电路器件 13 通过连接焊盘 12 形成在标记基底 32 上方，标记基底通过保护层 34 和 35 用膜层 45 覆盖。优选设置保护层 34 和 35，以便在层压工艺的热处理等中保护薄膜集成电路器件和天线。对于保护层，可使用含碳如 DLC 或 CN 的薄膜、氮化硅的薄膜、硅的氮氧化物薄膜等，但是，本发明不限于这些。对于形成方法，可使用等离子体 CVD、大气压等离子体等。

按这种方式，可获得层压的 ID 卡或 ID 标签。注意，适合于层压工艺的任何产品与 ID 卡和 ID 标签一样，可使用该制造工艺。

[实施方式 9]

参考图 10A 到 12B 主要描述根据本发明的 ID 标记和 ID 卡的结构和制造方法。图 10 是表示本发明的 ID 标记的叠层结构的透视图。这里，粘结到产品等上的标记基底作为 ID 标记的安装位于分隔片之上。

图 10 表示出在 ID 标记 49 中通过粘结层 15 将天线 47 与薄膜集成电路器件 48 集成形成的天线集成薄膜集成电路器件 46（此后有时称为“天线集成 IDF 芯片”）粘结到分隔片 16 或标记基底 10 上的方法。注意，用于标记基底、粘结层和分隔片的材料基于上述实施方式中所

述那些。另外，IDF芯片和天线的形状不限于图10所示的那些。

图11表示在ID卡50中将天线集成薄膜集成电路器件46通过粘结层15粘结到底卡基底37b上的方法。注意，用于底卡基底和粘结层的材料基于上述实施方式中所述那些。IDF芯片和天线的形状不限于图11所示的那些。

图12A和12B分别表示沿着图11中ID标记或ID卡的天线集成IDF芯片的X-Y的截面图。

图12A表示在保护膜55上形成岛状半导体膜57和栅绝缘膜58后同时形成栅电极56（这里使用两层结构）和交叉布线52的情况。另外，通过层间膜53形成天线47、连接TFT和天线47的布线51a以及连接TFTs的布线51b。优选地，通过相同步骤形成栅电极56和交叉布线52，通过另一相同步骤形成天线47和布线51a和51b，但是它们可在同一阶段中形成。

图12B表示在保护膜55上形成岛状半导体膜57和栅绝缘膜58后形成栅电极56（这里使用两层结构）和天线47的情况。另外，通过层间膜53形成连接TFT和天线47的布线51a、交叉布线52以及连接TFTs的布线51b。优选地，通过相同步骤形成栅电极56和天线47，通过另一相同步骤形成交叉布线52和布线51a和51b，但是它们可在同一阶段中形成。

图12A和12B都使用顶栅TFTs，但不言自明，同样可使用底栅TFTs。后面描述TFT的具体制造方法。另外，优选地，形成具有单层或叠层结构的保护膜55，以防止杂质分散进入到岛状半导体膜57中。而且，优选地，也在形成天线47后形成保护膜54。保护膜可由氮化硅、氧化硅、氧氮化硅等形成，但优选地，可包含氮化硅，其具有阻挡杂质如Na的性能。

可选地，可将高弹性有机材料，如聚酰亚胺用于层间膜和保护膜。因此，变形产生的应力集中到各自包含有机材料的层间膜或保护膜，从而这些膜变形，这样施加于TFT的应力减小。当变形产生时，基础膜的边缘接受大于半导体膜边缘的大部分应力。因此，可抑制半导

体膜的边缘或界面产生的应力集中。

如图 25A 到 25C 所示, 优选地, 将 IDF 芯片 110 放置在顶保护层 54a 和底保护层 55a 与 55b 的大致中央部分。这里, IDF 芯片 110 按大约 5 微米或更小的厚度形成, 更优选是 0.3 到 3 微米。另一方面, 天线形成为厚度 5 到 40 微米, 而保护膜分别形成的厚度为 10 到 200 微米。因此, 顶和底保护膜、IDF 芯片以及天线 (在天线集成形成的情况下) 的整体厚度为 d 时, 优选将 IDF 芯片放置在满足 $x=(d/2)\pm 30\mu\text{m}$ 的位置处, 更优选是在满足 $x=(d/2)\pm 10\mu\text{m}$ 的位置处。

按这种方式, 通过将 IDF 芯片放置在保护膜的中央可减轻施加于 IDF 芯片的应力。从而可防止形成 TFT 的各层中产生裂纹。

上述只是集中形成 TFT 和天线的情况中的一种示例结构, 本发明不限于此。

[实施例 1]

在本实施例中, 参考图 13A 到 16C 描述薄膜集成电路器件的具体制造方法。这里, 为简便起见, 表示出 CPU 和使用 n 型 TFT 与 p 型 TFT 的存储器的截面结构, 用于描述薄膜集成电路的制造方法。

首先, 在衬底 60 上形成剥离层 61 (见图 13A)。这里, 在玻璃衬底 (例如 Corning1737 衬底) 上通过 CVD 形成厚度 50nm (500 埃) 的 Si 膜 (非晶 Si 膜)。对于衬底, 可使用石英衬底、由绝缘物质如氧化铝形成的衬底、硅晶片衬底、可抵抗随后步骤的处理热的塑料衬底以及玻璃衬底等。

对于剥离层, 可使用包含硅 (Si) 为主要成份的层, 这种硅如多晶硅、单晶硅、以及 SAS (半非晶硅 (也称为微晶硅)) 以及非晶硅。这些剥离层可通过溅射以及 CVD 形成。剥离层可形成为比 50nm 薄。

接着在剥离层 61 上形成保护膜 55 (也称为基础膜或基础绝缘膜) (见图 13A)。这里, 厚度为 100nm (1000 埃) 的氮化硅膜通过 CVD 形成, 但是, 材料和制造方法不限于此, 也可使用氧化硅膜、氧氮化硅膜等。而且, 可以具有叠层结构或单层结构。例如, 优选使用氧氮化硅膜 (SiO_xN_y) ($x>y$)、氮氧化硅膜 (SiN_xO_y) ($x>y$) ($x, y=1, 2, \dots$)

以及氮化硅膜的三层结构。

在使用包含硅的材料，如 a-Si 作为剥离层 61 和岛状半导体膜 57 的主要成分的情况下，考虑确保粘结性能，保护层优选使用 SiO_xN_y 。

接着，构成薄膜集成电路器件的 CPU 和存储器的薄膜晶体管（TFT）形成在保护膜 55 上。除 TFT 之外，可形成薄膜有源元件如有机 TFT 和薄膜二极管。

为形成 TFT，岛状半导体膜 57 首先形成在保护膜 55 上（见图 13B）。岛状半导体膜 57 由非晶半导体、晶态半导体或半非晶半导体形成。在任何情况下，可使用包含硅、硅锗（SiGe）等作为主要成份的半导体膜。

这里，形成厚度为 70nm 的非晶硅，其表面用包含镍的溶液处理。此后，通过在 500 到 750℃ 的温度下的热晶化工艺获得晶态硅半导体膜，并且执行激光晶化，改善结晶度。对于沉积方法，可使用等离子体 CVD、溅射、LPCVD 等或者激光晶化、热晶化、使用其他催化剂（Fe、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au 等）的热晶化，或者这些方法交替地执行多次。

为了晶化非晶半导体膜，可使用连续振荡激光，以及使用连续振荡固态激光器，以基波的二到四次谐振波的光来获得具有大晶粒直径的晶体（此时的晶化称为 CWLC）。通常，优选使用 Nd:YVO4 激光器（基波为 1064nm）的二次谐振波（532nm）或三次谐振波（355nm）。在使用连续振荡激光的情况下，从 YVO4 激光器发出的激光能够连续以 10W 的输出振荡，其通过非线性光学元件被转变为高谐振波。而且，提供一种将 YVO4 晶体或 GdVO4 晶体以及非线性光学元件放入谐振器从而发出谐振波的方法。谐振波由光学系统在辐射面上形成为矩形形状或椭圆形状的激光，其用于照射被处理的物体。需要此时的能量密度为约 0.01 到 100MW/cm²（优选是 0.1 到 10 MW/cm²）。然后，半导体膜用激光束照射，同时以约 10 到 2000cm/s 的速度相对于激光束移动。

在使用脉冲振荡激光的情况下，典型地使用大约几十到几百 Hz

的频带，但是，同样可使用明显高于上述频带的具有 10MHz 或更大的振荡频率的脉冲振荡激光（此时的晶化称为 MHzLC）。用脉冲振荡激光照射的半导体膜固化完成需要几十到几百 nsec。因此，通过使用上述高频带，直到激光分解的半导体膜固化之前都可照射下一脉冲激光。因此，半导体膜的固液界面可连续移动，这不同于使用传统脉冲振荡激光的情况。这样，形成具有在扫描方向上连续生长的晶粒的半导体膜。具体说，形成在扫描方向上其宽度是 10 到 30 微米，在垂直于扫描方向的方向上其宽度是 1 到 5 微米的晶粒集合体。通过对于扫描方向形成其延伸较长的单晶晶粒，可形成一种半导体膜，其中至少在 TFT 的沟道方向上几乎不存在任何晶界。

通过上述方法，获得晶态硅半导体膜。注意晶体优选在源区、沟道区和漏区方向上对齐。另外，优选地，晶态层的厚度为 20 到 200nm（典型地是 40 到 170nm，或者更优选是 50 到 150nm）。此后，在半导体膜上插入氧化膜，形成用于吸收金属催化剂的非晶硅膜，然后通过 500 到 750 下 °C 热处理执行吸收处理。另外，为了控制 TFT 元件的阈值，以 $10^{13}/\text{cm}^2$ 数量级的剂量向晶态硅半导体膜中注入硼离子。此后，通过用抗蚀剂作为掩膜进行蚀刻来形成岛状半导体膜 57。

晶态半导体膜可通过以乙硅烷（ Si_2H_6 ）和氟化锗（ GeF_4 ）为源气体由 LPCVD 直接形成多晶半导体膜来形成。气体流速为 $\text{Si}_2\text{H}_6/\text{GeF}_4=20/0.9$ ，沉积温度为 400 到 500 °C，这里将 Ar 或 He 用作载气，尽管本发明不限于此。

注意尤其在 TFT 中，沟道区优选添加 5×10^{15} 到 $2.5 \times 10^{21} \text{cm}^{-3}$ (0.00001 到 5at%) 的氢或卤素，更优选是 0.0005 到 5 at%。在任何情况下，优选是包含比用于 IC 芯片的单晶中所包含的更多的氢或卤素。因此，甚至在 TFT 部分局部产生裂纹时，氢或卤素可终止（饱和）它。

接着，在岛状半导体膜 57 上形成栅绝缘膜 58（见图 13B）。优选地，使用薄膜形成方法，如等离子体 CVD 或溅射形成栅绝缘膜 58，以按单层或通过堆叠形成包含氮化硅、氧化硅、氮氧化硅或氧氮化硅

的膜。在堆叠层的情况下，例如，优选使用从衬底侧开始顺序堆叠氧化硅膜、氮化硅膜和氧化硅膜的三层结构。

接着形成栅电极 56 (见图 13C)。这里通过溅射堆叠 30nm 厚的 TaN (氮化钽) 和 370nm 厚的 W (钨) 并用抗蚀剂 62 作为掩膜蚀刻形成栅电极 56。这里可使用掩膜如 SiO_x 替代抗蚀剂掩膜。在这种情况下，另外提供图案化 SiO_x、SiON 等掩膜 (称为硬掩膜) 的步骤。但是，由于与抗蚀剂相比，通过蚀刻减少作为掩膜的膜量更少，可形成具有所需宽度的栅电极层。不言自明，栅电极 56 的材料、结构和制造方法不限于这些，可适当选择。例如，可通过液滴排放方法不使用抗蚀剂 62 来选择地形成栅电极 56。

对于导电材料，可根据其功能选择不同材料，如银 (Ag)、铜 (Cu)、金 (Au)、镍 (Ni)、铂 (Pt)、铬 (Cr)、锡 (Sn)、钯 (Pd)、铱 (Ir)、铑 (Rh)、钌 (Ru)、铼 (Re)、钨 (W)、铝 (Al)、钽 (Ta)、铟 (In)、碲 (Te)、钼 (Mo)、镉 (Cd)、铅 (Zn)、铁 (Fe)、钛 (Ti)、硅 (Si)、锗 (Ge)、锆 (Zr)、钡 (Ba)、含铋铅、含铋氧化锡、掺氟氧化锌、碳、石墨、玻璃状碳、锂、铍、钠、镁、钾、钙、铕、锰、锆、镓、铌、钠钾合金、镁铜混合物、镁银混合物、镁铝混合物、镁铟混合物、铝与铝的氧化物的混合物、锂和铝的混合物、卤化银颗粒、分散的纳米颗粒、用作透光导电膜的铟锡氧化 (ITO)、ITSO、ZnO、GZO、IZO、有机铟、有机锡、氮化钛等。

对于用于蚀刻栅电极的蚀刻气体，使用 CF₄、Cl₂ 和 O₂ 的混合气体或 Cl₂ 气体，但本发明不限于此。

接着，用抗蚀剂 63 覆盖对应 p 型 TFTs70 和 72 的部分，并且以低浓度向 n 型 TFTs69 和 71 的岛状半导体膜掺杂杂质元素 64 (典型地是 P (磷) 或 As (砷)) (见图 13D，第一掺杂步骤)。以 1×10^{13} 到 $6 \times 10^{13}/\text{cm}^2$ 的剂量并且加速电压为 50 到 70keV 执行第一掺杂步骤，但是本发明不限于此。通过栅绝缘膜 58 执行第一掺杂步骤，从而形成一对低浓度杂质区 65。注意可不用抗蚀剂覆盖 p 型 TFTs 而在整个

表面上执行第一掺杂步骤。

接着在通过灰化等去除抗蚀剂 63 后，形成覆盖 n 型 TFTs69 和 71 区的抗蚀剂 66。然后以高浓度向 p 型 TFTs70 和 72 的岛状半导体膜掺杂施加 p 型导电性的杂质元素 67(典型地是 B(硼))(见图 13E, 第二掺杂步骤)。以 1×10^{16} 到 $3 \times 10^{16}/\text{cm}^2$ 的剂量并且加速电压为 20 到 40keV 执行第二掺杂步骤。通过栅绝缘膜 58 执行第二掺杂步骤，从而形成一对 p 型高浓度杂质区 68。

接着在通过灰化等去除抗蚀剂 66 后，在衬底的表面上形成绝缘膜 75(见图 14A)。这里，堆叠 100nm 厚的 SiON(氧氮化硅)膜和 200nm 厚的 LTO 膜(低温氧化物膜)以形成两层结构。这里通过等离子体 CVD 形成 SiON 膜而通过以低压 CVD 形成 SiO₂ 膜来形成 LTO 膜。此后，用抗蚀剂覆盖形成 TFTs 的衬底一侧，通过蚀刻去除衬底背表面上形成的绝缘膜(背侧处理)。

接着通过使用回蚀刻(etch back)方法进行蚀刻而去除抗蚀剂和绝缘膜 75，将衬底 TFT 侧上形成的抗蚀剂保留下来。因此，侧壁 76 以自对齐方式形成(见图 14B)。对于蚀刻气体，使用 CHF₃ 和 He 的混合气体。注意形成侧壁的步骤不限于此。

接着形成覆盖 p 型 TFT 区的抗蚀剂 77，从而将栅电极 56 和侧壁 76 作为掩膜以高浓度掺杂施加 n 型导电性的杂质元素 78(典型是 P 或 As)(见图 14C, 第三掺杂步骤)。以 1×10^{13} 到 $5 \times 10^{15}/\text{cm}^2$ 的剂量并且加速电压为 60 到 100keV 执行第三掺杂步骤。通过栅绝缘膜 58 执行第三掺杂步骤，从而形成一对 n 型高浓度杂质区 79。

尽管未示出，可在通过灰化等去除抗蚀剂 77 后由加热激活杂质区。例如，在沉积 50nm 厚的 SiON 膜后，以 550℃ 的温度在氮气气氛中执行 4 小时的热处理。另外，通过在形成厚度为 100nm 的含氮的 SiN_x 膜后以 410℃ 的温度在氮气气氛中进行 1 小时的热处理，可改善晶态半导体膜的晶体缺陷。据此，例如终止晶态硅中的悬挂键，此后将其称为氢化工艺等。而且，此后为了保护 TFTs 形成 600nm 厚的 SiON 膜作为盖绝缘膜。注意氢化工艺可在形成 SiON 膜后执行。在这

种情况下，可按顺序连续沉积 SiN_x 和 SiON 膜。按这种方式，按顺序在 TFTs 上形成 SiON 、 SiN_x 和 SiON 的三个绝缘膜，其中结构和材料不限于这些。另外，还可优选形成这些绝缘膜来保护 TFTs。

随后在 TFT 上方形成层间膜 53（见图 14D）。对于层间膜 53，可使用耐热有机树脂，如聚酰亚胺、丙烯酸、聚酰胺、或硅氧烷。至于形成方法，根据材料可使用旋涂、浸润、喷射、液滴排放方法、刮刀、辊涂、淋涂、刀片涂等。另外，也可使用无机材料如 PSG、BPSG、氧化铝膜。注意可层叠这些绝缘膜形成层间膜 53。

接着在形成抗蚀剂后开出接触孔，然后在保护膜 54 上方形成连接 TFTs 的布线 51 和连接 TFT 到外部天线的连接布线 21（见图 14D）。当通过蚀刻开出接触孔时，使用 CHF_3 和 He 的混合气体，但本发明不限于此。而且，可使用相同材料或不同材料同时形成布线 51 和连接布线 21。这里，连接到 TFTs 的布线 51 具有通过溅射和图案化形成的 Ti、TiN、Al-Si、Ti 和 TiN 的五层结构。

通过在 Al 层中混合 Si，可防止在烘烤抗蚀剂以图案化布线时产生小丘（hill hock）。而且，可与 Si 同样混合约 0.5% 的 Cu。通过以 Ti 或 TiN 夹 Al-Si 层可进一步改善抵抗小丘效应。优选在图案化过程中使用由 SiON 形成的上述硬掩膜等。布线的材料和形成方法不限于此，并且也可使用用于栅电极的上述材料。

注意对于保护膜，可通过等离子体 CVD、大气压等离子体等使用包含碳如 DLC 或 CN 的薄膜、氮化硅的薄膜、氮氧化硅薄膜等。

可选地，可使用光敏或非光敏有机材料，如聚酰亚胺、丙烯酸、聚酰胺、抗蚀剂、或环丁基苯（benzocyclobutene），或者耐热有机树脂材料，如硅氧烷。根据所用材料，形成方法可以是旋涂、浸润、喷射、液滴排放方法、刮刀、辊涂、淋涂、刀片涂等。或者，也可使用通过涂敷方法获得的 SOG 膜（例如包含烷基的 SiO_x 膜）。也可使用无机材料，如氧化硅、氮化硅、氧氮化硅、PSG、BPSG、氧化铝膜。注意可层叠这些绝缘膜形成上述保护膜。

在本实施例中，仅连接天线和形成 CPU73、存储器 74 等的 TFT

区的端子部分 80 集成形成，但是，本实施例同样可适用于 TFT 区和天线集成形成的情况。在这种情况下，在层间膜 53 或保护膜 54 上方形成天线，并用另一保护膜覆盖。

对于天线的导电材料，可使用 Ag、Au、Al、Cu、Zn、Sn、Ni、Cr、Fe、Co 或 Ti，或包含这些的合金，但是本发明不限于此。而且，布线和天线可由不同材料形成。注意布线和天线优选由在可延展性和柔韧性方面优越的金属材料形成，更优选形成得较厚，以抵抗变形应力。

可通过在整个表面上溅射然后使用抗蚀剂掩膜图案化来形成布线和天线，或者使用液滴排放方法从喷嘴选择形成。这里液滴排放方法包括偏置印刷方法、丝网印刷方法等以及喷墨方法。布线和天线可同时形成，或者它们之一在另一个之前形成，并且另一个堆叠其上。

在装入薄膜集成电路器件的产品包括导电材料的情况下，天线或布线可使用类似的导电材料形成。例如，天线可使用硬币材料在硬币中形成。在这种情况下，例如，当薄膜集成电路器件装入 10 日元硬币中时，可形成由铜、锌和锡的合金形成的天线。

在本实施例中，使用顶栅结构，但同样可使用底栅结构（反向交错结构）。在不存在薄膜有源元件如 TFT 的区域，主要提供基础绝缘膜材料、层间绝缘膜材料和布线材料，其优选占据薄膜集成电路器件的 50% 或更多，或者更优选占据其 60 到 95%。因此，IDF 芯片容易弯折并且完成的 ID 标记等容易处理。在这种情况下，优选的，包括 TFT 部分的有源元件的岛状半导体区（岛）占据薄膜集成电路器件的 5 到 50%，更优选占据其 5 到 15%。

而且，本实施例中形成的 TFT 的 S 值（亚阈值）是 0.35V/dec 或更小（优选是 0.07 到 0.25V/dec）并且迁移率是 $10\text{cm}^2\text{V}/\text{sec}$ 或更大。采用环形振荡器，获得 1MHz 或更大的，或者更优选是 10MHz 或更大的频率特性（电压为 3 到 5V）。或者，每个栅的频率特性是 100kHz 或更大，或者更优选是 1MHz 或更大（电压为 3 到 5V）。

在衬底 60 上形成多个 TFTs、保护膜、每个布线和用于天线集成

型的天线（统称为薄膜集成电路器件 13）后，通过切割（dicing）在薄膜集成电路器件 13 的边界部分形成槽 81（见图 15B）。此时，通常使用利用切割设备（切割机）的刀片切割方法。刀片使用嵌入金刚石颗粒的用于研磨的研磨石，具有 30 到 50 微米的宽度。该刀片高速旋转，分离薄膜集成电路。用于切割的区域称为街区（street），考虑对元件的损坏，其宽度优选是 80 到 150 微米。

薄膜集成电路可通过划线（scribing）、利用掩膜的蚀刻等以及切割进行分离。划线方法包括金刚石划线方法、激光划线方法等。在使用激光划线方法的情况下，通过使用能够产生功率为 200 到 300W 的脉冲振荡的线性激光器如 Nd:YAG 激光器、利用来自谐振器的振荡波长为 1064nm 的基波或振荡波长为 532nm 的二次高谐振波等。

在蚀刻的情况下，可通过曝光与显影步骤形成掩膜图案并执行干蚀刻、湿蚀刻等分离元件。干蚀刻可利用大气压等离子体。

在形成槽的情况下，其深度到至少可暴露剥离层的表面的程度。优选地，适当控制上述切割等使得衬底 60 不损坏并且可再利用。

接着，具有突起 82 的夹具 83（支持衬底）通过插入粘结剂 84 而附加于每个薄膜集成电路器件 13（见图 15C）。这里，提供夹具以暂时固定薄膜集成电路器件，以便在去除剥离层后它们彼此不分离。优选地，夹具具有梳状结构，带有突起，用于之后轻松地引入包含卤化的氟化物的气体或液体，但是也可使用平面夹具。更优选地，提供孔隙 85，用于之后轻松地引入包含卤化的氟化物的气体或液体。

对于夹具，可使用不被卤化的氟化物损坏的包含氧化硅的玻璃衬底、石英衬底、不锈钢（SUS）衬底等，但可使用任何材料，只要它不被卤化的氟化物损坏。

这里，对于粘结剂，也使用当照射 UV 射线时降低或失去粘接力（粘性）的材料。这里，使用当照射 UV 射线时剥离的胶带，其由 Nitto Denko Corporation 制造。除此之外，能够剥离并反复粘结的上述粘结剂也可使用。例如，使用日本专利特许公开 No.2001-30403、专利号 No.2992092 和日本专利特许公开 No.06-299127 中公开的丙烯酸粘

结剂、合成橡胶粘结剂、天然橡胶粘结剂等。不言自明，任何材料可被使用，只要夹具容易被移开。

接着通过在槽 81 中引入卤化的氟化物气体去除作为剥离层的 a-Si 膜（见图 16A）。这里，使用如图 21 所示的低压 CVD 设备去除 a-Si 膜，使用 ClF_3 （三氟化氯）气体、在 350°C 的温度下、流速为 300sccm、压力为 6Torr、时间为 3 小时，但是本发明不限于这种条件。另外，也可使用 ClF_3 和氮的混合气体，其流速适当设置。注意 BrF_3 、 ClF_2 等可和 ClF_3 同样使用。

这里，在低压 CVD 设备中，如图 21 所示所示，卤化的氟化物的气体被引入作为反应空间的钟形罩 100 中，从而使气体在衬底 101 上流动。加热器 102 设置在钟形罩 100 外部，剩余气体从排气管 103 排出。

这里，当使用卤化的氟化物如 ClF_3 时，选择性地蚀刻硅，而几乎不蚀刻的氧化硅（ SiO_x ）、氮化硅（ SiN_x ）和氧氮化硅。因此，随着时间推移蚀刻剥离层 61，从而顺序剥离衬底 60（见图 16B）。另一方面，由于氧化硅、氮化硅和氧氮化硅等、以及包括耐热树脂的作为基础膜的保护膜、层间膜和保护膜几乎不蚀刻，可防止薄膜集成电路损坏。不言自明，剥离的衬底 60 可再利用，其导致成本降低。

剥离层 61 的材料不限于上述硅材料，只要其可用卤化的氟化物如 ClF_3 去除。而且，保护膜和层间膜的材料不限于上述材料，只要其不被卤化的氟化物如 ClF_3 损坏。

接着，通过照射 UV 射线降低或失去粘结剂 84 的粘结力。然后，通过相互分离夹具和薄膜集成电路器件（见图 16C），可获得大量薄膜集成电路器件 13。优选地，再利用夹具以降低成本。

通过使用图 2 所示的小型真空销装置 24 或小销子等，上述方法制造的薄膜集成电路器件 13 被转移以将其粘结在 ID 标记、ID 卡等的所需位置。

而且，通过对在其上形成多个薄膜集成电路的衬底施加应力可物理剥离衬底。在这种情况下，剥离层使用 W、 SiO_2 、 WO_3 等。为了

施加应力，使用金刚石笔等施加冲击。

[实施例 2]

在本实施例中，参考图 17A 到图 17C 描述图 15B 中使用干蚀刻形成槽 81 的情况。图 17A 表示直到图 15A 的步骤类似于实施例 1 形成的状态。此后，抗蚀剂 87 通过曝光和显影步骤形成在衬底上，从而槽 81 通过以抗蚀剂 87 为掩膜进行干蚀刻形成，以分离元件（见图 17A）。这里，使用等离子体蚀刻，蚀刻气体是氯化气体，典型为 Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 等，或氟化气体，典型为 CF_4 、 SF_6 、 NF_3 、 CHF_3 等或 O_2 ，但是本发明不限于这些。蚀刻也可使用大气压等离子体进行。此时，蚀刻气体优选使用 CF_4 和 O_2 的混合气体。而且，槽 81 可通过多次使用不同气体执行蚀刻形成。

接着，通过粘结剂 84 将夹具 83 附加于薄膜集成电路器件，使用卤化的氟化物如从孔隙 85 供给的 ClF_3 去除剥离层，剥离衬底 60（见图 17B）。具体方法类似于实施例 1。

接着通过照射 UV 射线降低或失去粘结剂 84 的粘结力，以相互分离夹具 83 和薄膜集成电路器件（见图 17C），从而可制造大量薄膜集成电路器件。通过小型真空销装置等，上述方法制造的薄膜集成电路器件被转移以将其安装在所需产品上。

[实施例 3]

在本实施例中，描述为形成槽 81 而通过切割等损坏 60 时再利用衬底的情况。

作为第一方法，在使用过的衬底 88 上形成平坦化膜 89，如图 18A 所示。平坦化膜可由耐热树脂如聚酰亚胺、丙烯、聚酰胺、和硅氧烷通过旋涂、浸润、喷射、液滴排放方法等形成。优选地，考虑到随后的热处理，使用耐热树脂，如硅氧烷。另外，也可使用无机材料如 PSG、BPSG、氧化铝膜等。随后的步骤类似于其他实施方式或实施例。

作为第二方法，尽管未示出，可使用 CMP（化学机械抛光）方法平坦化衬底的表面。该方法尤其在使用过的衬底 88 上损坏小时有效。CMP 方法通过在抛光垫中提供称为浆料的抛光溶液、借助旋转

晶片载体和称为平台的旋转基座施加压力、并由抛光垫抛光来执行。由于衬底是绝缘体，如玻璃衬底，主要使用混合了碱性硅胶的浆料。随后的步骤类似于其他实施方式或实施例。

[实施例 4]

在本实施例中，描述使用玻璃衬底和石英衬底之外的要剥离的衬底的情况。

首先，准备硅晶片 90，对其施加热处理以在其表面上形成氧化膜 91（氧化硅膜），从而获得热氧化的硅衬底 92（图 18B）。执行热处理，例如在 800 到 1200°C（优选在约 900 到 1150°C）的温度下，但是本发明不限于此温度。

注意半导体衬底的整个周边或至少其一个表面被氧化。优选地，半导体衬底的整个周边被氧化，并且形成氧化硅，使得在使用卤化的氟化物如 ClF_3 从衬底分离薄膜集成电路器件时半导体衬底不被卤化的氟化物损坏。注意形成半导体衬底的半导体不限于硅。

另外，具有氮化表面或氧氮化表面的半导体衬底可替代具有氧化表面的半导体衬底使用。例如，可使用单晶硅衬底或其表面注入氮离子的热氧化的硅衬底。而且，也可使用由诸如不锈钢衬底（SUS 衬底）的金属形成的衬底，其表面形成如氧化硅或氮化硅的绝缘膜。

此后，在氧化膜 91 上形成剥离层、基础保护膜和 TFT，TFT 使用卤化的氟化物气体等剥离。注意可通过直接在氧化膜 91 上形成 TFT 而不提供剥离层和基础保护膜而去除硅晶片 90，从而剥离 TFT。

第二，准备硅晶片，向其掺杂氧离子。然后，在 900 到 1200°C 的温度下执行热处理，形成嵌入的氧化膜 94（见图 18C）。该热处理不限于此，但是需要热处理控制在改进单晶硅（c-Si）层 95 的结晶度的温度下，单晶硅层在形成嵌入氧化膜的同时被掺杂损坏。以这种方式，获得包括单晶硅衬底 93（底单晶硅层）、嵌入氧化膜 94 和单晶硅层 95 的 SIMOX 衬底 96。

注意可掺杂氮离子来替代氧离子，以获得 SOI 衬底。尽管未示出，也可使用通过将形成氧化膜的器件晶片（形成 Si 衬底和器件的衬

底) 和处理晶片 (Si 衬底) 粘结并抛光 (称为粘结的结构) 得到的衬底, 氧化膜插入中间。

此后, 当形成 TFT 时, c-Si 层 95 用作半导体层 (有源层)。在使用卤化的氟化物气体剥离层的情况下, c-Si 衬底 93 的全部或部分被去除。注意嵌入的氧化膜 94 用作保护膜 (基础膜)。

[实施例 5]

在本实施例中, 参考图 19A 到 20 描述根据本发明的薄膜集成电路器件及其制造方法, 其中不使用夹具等执行粘结。首先类似于上述实施例而形成直到图 15B 的步骤的状态。

接着其上形成多个薄膜集成电路器件 13 的多个衬底 60 面朝下被安装或固定到带有托盘 97 的低压 CVD 设备的炉子中 (钟形罩, 见图 21)。可同时安装衬底和托盘 97。这同样适用于不使用低压 CVD 的情况。当通过向槽 81 提供卤化的氟化物如 ClF_3 气体 86 而蚀刻剥离层时, 被分离的薄膜集成电路器件落到托盘 97 上 (见图 19A)。但是, 在其上形成薄膜集成电路器件的衬底需要被固定到在炉子中设置的框架等上以便它不会掉下来。

优选地, 托盘 97 和薄膜集成电路器件 13 之间的距离是 0.5 到 1mm, 从而分离的薄膜集成电路器件不散布, 并且容易提供卤化的氟化物如 ClF_3 气体 86。而且, 优选地根据薄膜集成电路器件 13 的尺寸如图 19A 所示在托盘 97 上形成突起, 以防止分离的薄膜集成电路器件散布。

被分离的托盘 97 上的薄膜集成电路器件使用小销子 98 或小型真空销装置转移, 并被安装到所需产品上 (见图 19B)。

图 20 表示使用也用作托盘的衬底 99 作为在分离薄膜集成电路器件之前形成的衬底的方法。例如, 多个衬底 101 被安装并固定到低压 CVD 设备的炉子 (钟形罩 100) 中 (见图 21)。这同样适用于不使用低压 CVD 方法的情况。当使用卤化的氟化物如 ClF_3 气体 86 蚀刻剥离层时, 安装在上方的薄膜集成电路器件掉到下方衬底 (其上优选形成突起) 的背表面上。

托盘 97 和作为托盘的衬底 99 可以是各种衬底, 如 SOI 衬底, 诸如热氧化硅衬底和 SIMOX 衬底、玻璃衬底、石英衬底、SUS 衬底、氧化铝衬底、耐热柔性衬底(塑料衬底等)。优选地, 包括对卤化的氟化物和热的抵抗性能。

通过使用上述方法, 可不使用夹具大量制造薄膜集成电路器件。该实施例可与其他实施方式和实施例自由组合实施。

[实施例 6]

在本实施例中, 参考图 22A 和 23D 描述独立形成在柔性衬底上形成的天线与薄膜集成电路器件并在后面将其连接一起的方法。

图 22A 到 22C 表示通过在可折叠的柔性衬底 104 上形成天线 105、将独立形成的 IDF 芯片 107 连接于天线 105 以及折叠柔性衬底 104 来销售的 ID 标记、ID 卡等的制造方法。这里, 天线 105 可通过在通过溅射等形成后图案化来形成, 或者通过选择地使用液滴排放方法排放包含导电材料的成分并且烘干和烘烤被排放的成分来形成。注意天线可在形成后由 CMP 方法、施压方法论等平坦化。

连接天线和集成电路的连接焊盘 106 形成在天线上。连接焊盘 106 可形成在薄膜集成电路器件的一侧。注意集成电路和天线可由各向异性导电膜、已知的结合方法等连接。另外, 天线的形状不限于图 22A 到 22C 所示形状, 只要其在电磁类型的情况下在折叠时对称就行。不言自明, 其他通信方法, 如电磁耦合型、微波型和光通信型都可适当使用。

图 23D 是表示图 22C 中沿着 X-Y 线的折叠的天线衬底的截面图。这里, 折叠天线衬底和薄膜集成电路器件的连接方法参考图 23A 到图 23D 描述。

首先, 在衬底 60 上形成剥离层 61, 然后形成保护膜 55。此时, 形成在天线衬底被折叠之后连接于底天线 105b 的连接端子 108(见图 23A)。这里在通过对导电膜图案化形成连接端子 108 之后, 可形成保护膜并执行平坦化处理。或者, 通过留下对应连接端子的部分选择性地形成保护膜, 可由液滴排放方法论等排放导电材料, 以填充留下

的部分，从而形成连接端子。

接着在根据上述实施例形成构成 CPU73、存储器 74 等的 TFTs 后，形成第一层间膜 30a，开出接触孔，并且分别形成连接于顶天线 105a 的顶连接布线 109a、和连接于顶天线 105a 的布线 51 与底连接布线 109b（见图 23B）。

接着在形成第二层间膜 30b 后，开出接触孔并形成连接于顶天线 105a 的顶连接布线 109a（见图 23C）。

接着在其上形成各种布线的 IDF 芯片粘结到在其上形成天线的柔性衬底 104 的连接焊盘 106 上（见图 22A 到 22C）。此时，可使用图 2 到 3B 所示的方法。这里，底天线 105b 的连接端子 108 和连接焊盘 106 通过各向异性导电膜（ACF）22 连接（图 23D）。与 ACF 同样，可使用已知的结合方法、超声粘结方法、UV 粘结方法等。

接着折叠柔性衬底 104 并通过 ACF22 类似地连接顶天线的连接焊盘和顶连接布线 109a（见图 23D）。注意天线和薄膜集成电路器件之间的空间优选用环氧树脂等模压。

如本实施例所述，通过使用在天线折叠时薄膜集成电路器件的顶和底都连接于天线的结构，可在薄膜集成电路器件的顶和底上形成天线。因此，增加接收区域，接收精度也得到改善。本实施例可与其他实施方式和实施例自由组合实施。

[实施例 7]

在本实施例（图 24A 至 24C）中所述的是在由卤化的氟化物气体分离薄膜集成电路器件后，薄膜集成电路器件被直接粘结到诸如 ID 卡的产品上而不用移开粘结到 IDF 芯片上的夹具 83 的方法。

首先，类似于上述实施例，形成多个 IDF 芯片 110 并通过粘结剂 84 附加夹具 83。夹具 83 具有突起，如图 17B 所示。这里对于粘结剂 84，使用在照射 UV 射线时粘结力降低或失去的材料。而且，提供由有机材料或无机材料形成的保护膜 54 以防止元件损坏。然后，通过使用卤化的氟化物如 ClF_3 蚀刻分离元件。

接着，用附加于元件上的夹具 83 转移 IDF 芯片 110 以与提供产

品如 ID 卡的平台对齐。此时，如图 24A 所示，可使用夹具和设置在平台上的对齐标识 111 与 112，标识也可直接形成在这里未示出的产品上。在产品中形成薄膜集成电路器件的部分（这里是底卡基底 37b），提前形成粘结剂 113，从而通过控制夹具的位置将所需元件粘结到产品的所需位置上（见图 24A）。

接着，选择地用 UV 射线 114 照射要粘结在底卡基底 37b 上的元件，从而粘结剂 84 的粘结力降低或失去，从而分离夹具和元件（见图 24B）。因此，可在产品所需位置上形成所需 IDF 芯片 110。在形成元件后，元件部分用顶卡基底 37a 覆盖（见图 24C）。这里，天线 11 设置在卡基底中，但是它也可形成在元件部分。

根据本实施方式中描述的发明，在通过使用卤化的氟化物如 ClF_3 蚀刻分离元件后，可在所需位置上形成所需元件，而没有散布元件。

注意本实施例可用于各种产品，包括 ID 卡。而且本实施例可与其他实施方式和实施例自由组合实施。

[实施例 8]

在本实施例中，描述将 IDF 芯片提供给可在一个方向上折叠的诸如 ID 标记的产品上的情况下的 TFT 结构。

图 26 是包括在 IDF 标记 20 上形成的 IDF 芯片 110 中 TFT 的岛状半导体层 57 的层的顶视图。岛状半导体层 57 包括源区 115 和漏区 117，其添加施加 n 型或 p 型导电性的杂质，以及不添加杂质的沟道区 116。IDF 芯片的 TFTs 的至少一个半导体区连接于天线 11。

这里通过在垂直于形成源（S）、沟道（C）和漏（D）区的方向或半导体膜的晶体生长方向的方向上上弯折 ID 标记，可防止在弯折 ID 标记时在岛状半导体膜 57 中产生裂纹，并且无论 ID 标记怎样处理，都可提供 TFTs 的稳定操作。

[实施例 9]

在本实施例中，描述在实施例 1 的工艺中使用高温多晶（HPS）的情况。典型地，包括使用比玻璃衬底的耐热温度（大约 600°C ）更

高温度的晶化工艺的半导体工艺被称为高温工艺。

在形成半导体膜后，添加诸如 Ni 的催化剂并且在 LPCVD 炉中应用热处理。在大约 700°C 或更高的温度下在半导体膜中产生晶核，从而使晶化继续。

在形成岛状半导体膜后，由 LPCVD 形成栅绝缘膜。例如，在 900°C 或更高的温度下使用硅烷与 N₂ 或 O₂ 的混合气体形成 HTO(高温氧化物)膜。

接着，通过沉积 150nm 的包含 n 型杂质如磷的多晶硅 (p-Si) 形成栅电极层。另外，也可形成厚度为 150nm 的 WSi(硅化钨)膜。在形成中可适当使用溅射、CVD 方法等。可类似实施例 1 执行此后的掺杂步骤。

在沉积步骤之后，在 950°C 的温度下通过热激活 30 分钟激活杂质区。而且，使用 BPSG 用于回流，通过回蚀刻方法使用抗蚀剂执行平坦化。然后由在 350°C 的温度下的氢退火回复等离子体损坏。

其他步骤类似于实施例 1 地执行。在本实施例中，使用顶栅结构，但也可使用底栅结构(反向的交错结构)。注意本实施例可与其他实施方式和实施例自由组合实施。

[实施例 10]

在本实施例中，描述在实施例 1 的工艺中使用 SAS(半非晶硅)作为岛状半导体膜 57 的情况。可通过硅气体的辉光放电分解形成 SAS。硅气体典型有 SiH₄，还可使用 Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 等。通过用从氢、氦和氩、氦、氩和氙选择的一种或多种稀有气体元素稀释硅气体而促进 SAS 的形成。硅气体优选以 10 比 100 的稀释率稀释。不言自明，通过辉光放电分解形成 SAS 在低气压下执行，但是可能希望在约 0.1 到 133Pa 的压力下执行。产生辉光放电的功率频率在 1 到 120MHz 的范围内，更优选提供 13 到 60MHz 的 RF 功率。衬底优选在 300°C 或更小的温度下加热，更优选是 100 到 200°C。

硅气体可与碳气体如 CH₄ 和 C₂H₆ 混合，或与锗气体如 GeH₄ 和 GeF₄ 混合，以将能带宽度设置在 1.5 到 2.4eV，或 0.9 到 1.1eV。

当不有意向 SAS 添加控制价电子的杂质元素时, SAS 表现出小的 n 型导电性。这是因为由于在形成非晶半导体的情况下在更高的能量下执行辉光放电, 氧容易混合到半导体膜中。当施加 p 型导电性的杂质元素在沉积同时在其之后添加到包括 TFT 的沟道形成区的第一半导体膜时, 可控制阈值电压。典型地, 使用硼作为施加 p 型导电性的杂质元素。可将杂质气体如 B₂H₆ 和 BF₃ 以 1 到 1000ppm 的比率混合到硅气体中。例如在硼用作施加 p 型导电性的杂质元素时, 硼的浓度优选在 1×10^{14} 到 6×10^{16} atom/cm³。注意当沟道形成区由例如 SAS 形成时, 可获得了 1 到 10cm²/V·sec 的场效应迁移率。

当使用 SAS 时, 半导体膜的晶化步骤 (高温热处理步骤) 也可省略, 这样可直接将芯片形成在柔性衬底上。在本发明中, 作为一般规则 TFT 未形成在硅晶片上, 但是可使用硅晶片作为在被转移到柔性衬底等之前使用的剥离的衬底。注意本实施例可与其他实施方式和实施例自由组合实施。

[实施例 11]

在本实施例中, 参考图 34A 和 35D 描述根据本发明的识别产品的例子, 如 ID 标记和 ID 卡以及具有它们的产品。

图 34A 表示本发明的完成的 ID 标记的例子。各包含 IDF 芯片 110 的多个 ID 标记 20 形成在标记安装片 (分隔片) 118 上。ID 标记 20 存储在盒子 119 中。ID 标记印有关于产品的数据以及其功能 (产品名、牌子、商标、商标权持有者、销售商、制造商等), 而包含的 IDF 提供有产品的 ID 号 (或产品种类), 从而容易辨别出伪造、对知识产权如商标权和专利权的侵犯、以及非法行为, 如不正当竞争。而且, IDF 芯片可被输入大量数据, 其不被印刷在产品的外壳或标记上, 诸如生产地、销售地、质量、原材料、效果、应用、数量、形状、价格、生产方法、用途、生产时间、使用时间、过期日、使用说明书、关于该产品的知识产权数据等, 从而分销商和顾客使用简单的阅读仪可访问这些数据。形成 IDF 芯片, 使得该数据可容易地从制造商侧更新和删除, 而不可能从分销商和顾客侧更新和删除。

图 34B 表示装入 IDF 芯片的 ID 标签 120。通过向产品提供 ID 标签，有助于产品管理。例如，当产品被偷时，可跟踪其路径并且快速侦测到罪犯。按这种方式，通过提供 ID 标签，可流通在所谓可跟踪性方面优越的产品。

图 34C 表示根据本发明的完成的 ID 卡 41 的例子。ID 卡包括各种卡，如现金卡、信用卡、预付卡、电子火车票、电子货币、电话卡、和会员卡。

图 34D 表示根据本发明的完成的付息票债券 122 的例子，IDF 芯片 110 粘结到付息票债券 122 上。付息票债券包括邮票、火车票、票据、入场券、礼品卡、书票、文具票、啤酒票、各种礼品证书和各种服务券等，不用说，本发明不限于这些。

图 34E 表示包含 IDF 芯片 110 的用于包装产品的包装膜 127。包装膜 127 通过例如在底层膜上任意分散 IDF 芯片并用顶层膜覆盖来形成。包装膜 127 存储在盒子 129 中可按需要由切割机 128 分隔来使用。注意用于包装膜 127 的材料不特别限定。例如薄膜树脂、铝箔、纸等均可使用。

图 35A 和 35B 分别表示在其上粘结了根据本发明的 ID 标记 20 的书 123 和塑料瓶 124。ID 标记 20 包含 IDF 芯片 110。由于用于本发明的 IDF 芯片非常薄，在将薄膜集成电路安装到物体，如书上时，其功能和设计不被破坏。在非接触薄膜集成电路器件的情况下，天线和芯片可集成地形成并且可直接转移到产品的曲线表面上。

图 35C 表示在其上直接粘结 ID 标记 20 的新鲜食物，如水果 131。图 35D 表示用包装膜 127 包装的新鲜食物如蔬菜 130，该包装膜 127 用于包装包含 IDF 芯片 110 的产品。ID 标记可在将 ID 标记粘结到产品上时剥离，而包装膜在产品用包装膜包装时不易剥离，因此在安全方面是有利的。

本发明的 IDF 芯片可用于除上述之外的不同的产品。

[实施例 12]

本实施例中，参考图 30A 到 30C 说明读出安装本发明的 ID 标记、

ID 标签等的产品上的数据的方法。

安装 ID 标记或 ID 标签的产品 172 暴露于读写器的主体 170 的传感器部分 171，如图 30A 所示。显示部分 173 显示原材料、原产地、每个生产（制造）步骤的测试结果、流通历史等以及关于该产品的数据，如其使用说明书。不言自明，显示部分可独立提供，不需要带有读写器。这种读写器可在展示产品的货架上设置。

如图 30B 所示，通过在个人便携信息终端上包含读出功能，例如便携电话的主体 180，安装 ID 标记或 ID 标签的产品 172 暴露于在主体部分中提供的传感器部分 181 中，从而数据显示在显示部分 183 上。然后，关于产品的数据类似地显示。不言自明，显示部分可独立提供，不必要提供在读写器中。

如图 30C 所示，个人便携阅读器的主体 190 的传感器部分 191 暴露于安装 ID 标记或 ID 标签的产品 172，从而数据显示在显示部分 193 上。然后关于产品的数据类似地显示。不言自明，显示部分可独立提供，不必要对读写器提供。

按这种方式，与通过传统无线标签等提供的数据相比，顾客可自由获得足够的关于产品的信息。不言自明，薄膜集成电路器件有助于快速的产品管理。

在根据本发明将非接触集成电路器件结合在产品中时，根据读写器和产品，如卡之间的距离以及频率，它们被分类为接触类型、接近类型、附近类型、远程类型。对于接触型，使用需要 0 到 2mm 的距离来通信和 4.92GHz 的通信频率的电磁感应方法。对于接近类型，使用需要大约 10cm 的距离来通信和 13.56MHz 的通信频率的电磁感应方法。对于附近类型，使用需要大约 70cm 的距离来通信和 13.56MHz 的通信频率的电磁感应方法。对于远程类型，使用需要几米的距离来通信的微波方法。

非接触集成电路具有功率由电磁感应行为（电磁感应方法）、互感行为（电磁耦合方法）、或线圈天线的静电引起的感应行为（静电耦合方法）提供的特征。通过控制该天线的线圈，可选择要接收的频

率。例如，为了接收具有短波的高频，天线的匝数可更少。

与接触 IC 相比，非接触 IC 不损坏，具有高的耐用性，并且因为不接触地执行供电和数据通信而不可能产生由于静电等引起的错误。另外，非接触 IC 容易处理，因为其仅需要被暴露于由简单结构形成的读写器。

[实施例 13]

在本实施例中，参考图 31 到 33 描述安装本发明的 ID 标记或 ID 标签的产品及其流通的管理方法。

首先，顾客在商店购买产品的情况参考图 31 说明。展示在商店的产品 132 附带有 ID 标记 20 或装入关于产品的数据、制造历史等的 ID 标签。顾客将商店准备好的或他自己的顾客 R/W133 暴露于产品 132 以通过 R/W133 的天线部分 134 进行通信，从而可读出在 ID 标记等中装入的数据。

优选地，产品的购买/不购买可由顾客使用操作键 136 自由选择。读出的数据显示在 R/W133 提供的显示部分 135 上。数据包括价格、消费税、原产国、制造商、进口国、制造时间、过期日、应用（食品的菜谱）等。显示购买的总价格也是很方便的。

通过将顾客 R/W133 连接于 POS 系统 137（销售系统的销售点，其是产品由自动读出设备在其被销售的地方读出并直接输入计算机来进行销售管理、顾客管理、存货管理、购买管理等系统），不再需要在收款台读出条形码的传统操作。

通过将 R/W133 或 POS 系统 137 连接于私人账户 138，如电子货币，购买或使用的成本自动降低，可实现更有效的购物，而不需要现金和收银机。可使用个人电子货币卡现场与 R/W 通信进行产品的校验。不言自明，本发明的 ID 卡可用于电子货币卡。而且，用于产品管理的门优选设置在商店的入口门处，从而未输入 POS 系统的产品（即未购买的）可被检查，以防止入店行窃。

这里，简单描述安装了本发明的 ID 标记、ID 标签等的产品的流通。

图 32A 中，制造商提供装入了薄膜集成电路器件的产品给销售商（零售商等）。销售商提供价格数据/销售数据，如已销售产品的数量和顾客校验（checkout）产品时的购买时间。另一方面，顾客可提供购买数据，如识别数据。例如，通过使用装入有薄膜集成电路器件的信用卡、个人阅读器等，购买数据可通过互联网等提供给销售商和制造商。销售商可在销售商从顾客获得购买数据的同时通过使用薄膜集成电路器件向顾客提供产品数据。这种销售数据、购买数据等在将来对于销售策略的构建是非常有价值的。

由销售商和顾客的阅读器从薄膜集成电路器件读出的数据通过计算机和网络对于制造商、销售商或顾客是公开的。如上所述，可通过薄膜集成电路器件向需要的人提供各种数据。因此，本发明的 ID 标记和 ID 标签对于产品的交易和管理是有效的。

同时，图 32B 表示产品从顾客向二次销售商流通的情况。这里，顾客再次提供购买数据，如标识数据。例如，购买数据通过互联网等使用装入集成电路器件的信用卡、个人阅读器等提供给二次销售商。另外，二次销售商提供产品数据并通过使用薄膜集成电路器件从顾客处获得购买数据。这种销售数据和购买数据是非常有价值的，其使得能够获知二次产品的使用历史和使用期限，这有助于制定销售策略，如价格设置和顾客选择。

接着参考图 33 描述在机场安全检查的情况。行李 139 设置有包含 IDF 芯片 110 的 ID 标签 120。行李 139 在传送带 145 上移动并通过读写器 140。从天线 141 振荡的无线电波 142 激活 IDF 芯片 110，从而存储在存储器中的数据信号化并返回读写器 140。这样数据可由计算机 143 识别。

计算机 143 连接于数据库 144，数据库存储仅关于包含 ID 标记、ID 标签和 IDF 芯片并在市场上合法流通的产品（后面称为有效产品）的数据。因此，关于行李 139 中的产品的数据和数据库 144 被检查。在除有效产品外的物体包括在行李 139 中时，被检查出来并被问询、抛弃或按需要处理。在虽是有效产品但航空禁运的有毒材料、火器和

剑等被包括其中时，要求计算机软件被编程为不使该行李通过检查门。

不言自明，包括引起非法性的物体的行李，如包括伪造品、复制品、违禁品和走私品的行李不能通过该检查门。因此，可在国界截住伪造品，防止其流入流出国门。另外，危险材料、火器和剑的检测也可防止恐怖主义。

[实施例 14]

在本实施例中，参考图 27 到 29 描述本发明的 ID 标记、ID 标签等的通信基础的例子。

图 27 是表示读写器 414 和标识产品，如像 ID 标记的非接触 IC411 的框图。参考数字 400 指代输入天线，401 指代输出天线。参考数字 402 指代输入接口、403 指代输出接口。每个天线的数字不限于图 27 所示数字。另外，天线不必要是线圈的。由输入天线 400 从读写器 414 的输出天线 418 接收的无线电波 412 被解调或又输入接口 402 通信，并通过总线 409 提供给 CPU404、协处理器 405、ROM406、RAM407、非易失性存储器 408 等的每一个。

这里，协处理器 405 作用是作为侧处理器，帮助 CPU 操作，CPU 主要控制薄膜集成电路器件 410 的所有处理。典型地，协处理器 405 用作用于解码处理的专用装置，其执行进行应用如结算所需的解码处理。另外，对于非易失性存储器 408，优选使用 EPROM、EEPROM、UV-EPROM、闪存储器、FRAM 等，这些存储器中数据可更新多次。

注意上述存储器分类为程序存储器（存储程序的区域）、工作存储器（在执行程序过程中暂时存储数据的区域）以及数据存储器（存储关于产品的数据和程序的固定数据的区域）。典型地，ROM 用作程序存储器，而 RAM 用于工作存储器。RAM 也用作缓冲器，用于和 R/W 通信。为了存储作为信号输入到确定地址的数据，典型使用 EEPROM。

接着存储在存储器中的关于产品的数据在上述每个电路中被转变为信号并在输出接口 403 中被调制，从而由输出天线 401 发送到

R/W414。这里，输入接口 402 由整流 (rectifying) 电路 420 和解调电路 421 输入。从输入天线 400 输入的交流电源电压在整流电路 420 被整流并作为直流电源电压提供给上述每个电路。从输入天线 400 输入的交流信号在解调电路 421 解调，从而将波形整形的每个信号提供给每个电路。

输出接口 403 带有调制电路 423 和放大器 424。从每个电路输入到输出接口 403 的每个信号在调制电路 423 中调制并在放大器 424 中放大或缓冲放大，从而从输出天线 401 发送给终端设备如 R/W414。R/W414 的输入天线 425 接收从非接触 IC 器件传送来的信号。接收到的信号在输入接口 426 解调，经控制器 427 发送到计算机 419，并且通过或不通过数据库 415 执行数据处理，从而可识别出关于产品的数据。

注意计算机 419 带有用于处理关于产品的数据的软件，但是，硬件同样可处理该数据。因此，与传统的一个接一个读出条形码的操作相比，可减少处理数据耗费的时间、劳动力或错误，从而有助于产品管理。

注意图 27 所示的每个电路仅是本发明的一个方式。每个包含在非接触 IC 器件 411 中和 R/W414 中的电路不限于这些。图 27 表示使用天线作为非接触类型的一个例子，但非接触类型不限于此，并且可使用发光元件、光传感器等通过光发送接收数据。

图 27 中，包括模拟电路，如整流电路 420、解调电路 421 和调制电路 423 的输入接口 402、输出接口 403、CPU404、每个存储器等都由一个薄膜集成电路 410 形成。而且，R/W414 中输出接口 417 和输入接口 426 由集成电路 416 形成。但是，该结构仅仅是一个例子，本发明不限于此。例如，包括模拟电路，如整流电路 420、解调电路 421 和调制电路 423 的输入接口 402 以及输出接口 403 形成为 IC 芯片，而 CPU404、每个存储器等都由包括 TFTs 的薄膜集成电路形成。

图 27 表示从作为终端设备的读写器提供电源电压的例子，但是本发明不限于此。例如可对非接触集成电路器件提供太阳能电池。而

且，还可装入超薄电池，如锂电池。

图 28 是表示输入天线 400 和输出天线 401 独立形成的情况下的 ID 标记 20 的透视图。具体制造方法类似于实施例 1，除了在薄膜集成电路器件 13 和天线之间提供 4 个端子部分。输入天线 400 和输出天线 401 独立形成的结构不限于此。

这里，参考图 29 简单描述集成电路器件中的 CPU 结构。图 29 是表示包括 CPU919、主存储器 905、和输入/输出接口 914 的集成电路的框图。首先，由于从主存储器 905 的程序存储器 906 中读出指令的操作是必需的，CPU919 需要经地址总线 917 选择指令的地址。此时，地址控制部分 911 选择用于主存储器 905 的地址。存储在主存储器中的数据经控制总线 918 传送。

当在程序存储器 906 中选择地址时，存储器中的指令经数据总线 916 和内部总线 915 被暂时输出并输入到指令寄存器 912 中。这里，每个寄存器或寄存器组 910 包括用于在 CPU 中维持数据或执行状态以及用于 CPU 中每个处理的的工作存储器元件。

暂时输入到指令寄存器中的指令被发送到指令解码器 913。指令解码器 913 首先将接收的指令进行翻译并将其转变为用于控制部分 900 的控制数据，从而进行处理。指令解码器 913 确定要被指令处理的数据的位置（寄存器或存储器）。注意这里的翻译是指将由多个输入信号（比特）构成的数据转变为一个特定信号。

从指令解码器 913 到控制部分 900 的指令作为信号传送。控制部分带有信号线（控制信号线），用于控制执行对应于数据种类的每个处理的电路。控制信号线每个都带有开关电路。当该转换接通时，控制信号输出到电路。

当指令是算术运算时，控制部分 900 输出算术处理的控制信号（用于读出数据的脉冲信号）到算术单元 901 中。算术寄存器 902 作为算术运算的对象被分为两个寄存器（A 寄存器 903 和 B 寄存器 904）：作为算术运算的对象的寄存器和不作为算术运算的对象的寄存器。注意每个存储器的作用如上所述。输入/输出接口 914 用于在 CPU 用外

部设备（诸如 R/W）发送和接收信号时将不同标准的信号转变为在 CPU 中可被处理的信号。

工作存储器 907 是用于在执行程序的处理中暂时存储数据的区域。数据存储器 908 是用于存储程序所用的固定数据的区域。对于工作存储器，典型地使用 RAM，用作处理数据的工作区。而且，RAM 也用作缓冲器，用于与 R/W 通信。为了存储作为信号输入到确定地址的数据，典型地使用 EEPROM。

[实施例 15]

在本实施例中，参考图 36A 和 36B 详细描述本发明的 IDF 芯片的结构例子。

图 36A 是包括电源电路 214、输入/输出电路 215、天线电路 216、逻辑电路 210、放大器 211、时钟产生电路和解码器 212、存储器 213 等的 IDF 芯片 217 的示意图。天线电路 216 包括天线布线 201 和天线电容器 202。

不包括电源的 IDF 芯片通过从读写器 200 接收无线电波 218 而提供的电源来工作。当天线电路 216 接收从读写器 200 发送的无线电波 218 时，包括第一电容器 203、第一二极管 204、第三二极管 207、第三电容器 208 等的输入/输出电路 215 将其检测为检测输出信号。该信号由放大器 211 放大为足够大的振幅，并由时钟产生电路和解码器 212 分割为指令的时钟和数据。传送的指令在逻辑电路 210 中处理，从而存储器 213 中的数据被响应，并且所需的数据被写入存储器等中。

通过经由逻辑电路 210 的输出将开关元件 209 转换为 ON/OFF 执行响应。因此，天线 216 的阻抗改变，其进而改变天线电路 216 的反射率。读写器 200 监视天线电路 216 的反射率变化，以从 ID 芯片读出数据。

ID 芯片的每个电路中消耗的功率由通过检测并平滑化由电源电路 214 接收的无线电波 218 所产生的直流电源 VDD 提供。包括第一电容器 203、第一二极管 204、第二二极管 205 和第二电容器 206 的电源电路 214 设置足够大的值，以向每个电路提供电源。

图 36B 表示用于 IDF 芯片 1309 的电路中的天线电路 1308 和电源电路 1307。天线电路 1308 包括天线布线 1301 和天线电容器 1302。电源电路 1307 包括第一电容器 1303、第一二极管 1304、第二二极管 1305 和第二电容器 1306。

ID 芯片的一个特征是它如上所述用不采电池工作，因为从读写器发送的无线电波由天线电路 1308 接收并由电源电路 1307 整流来产生直流电压，从而 ID 芯片中包含的电路进行操作。

工业应用性

在上述实施方式和实施例，主要描述了非接触薄膜集成电路器件，但不言自明本发明的薄膜集成电路器件还可适用于接触薄膜集成电路器件。例如，形成磁条型或 IC 块接触型芯片。在接触 IC 的情况下，不需要形成天线。而且，磁条型或 IC 块接触型的薄膜集成电路器件以及非接触薄膜集成电路器件可组合起来。

以本发明的 IDF 芯片为典型代表的薄膜集成电路器件可装入各种产品中，包括 ID 标记、ID 卡、和 ID 标签以及纸币、硬币、附息票债券、契约、公共公司债券等。尤其，本发明应用于纸、板以及包装层形式的产品中是有效的，其可参考上述实施方式和实施例制造。以这种方式，本发明的应用范围相当宽泛。

图 1A

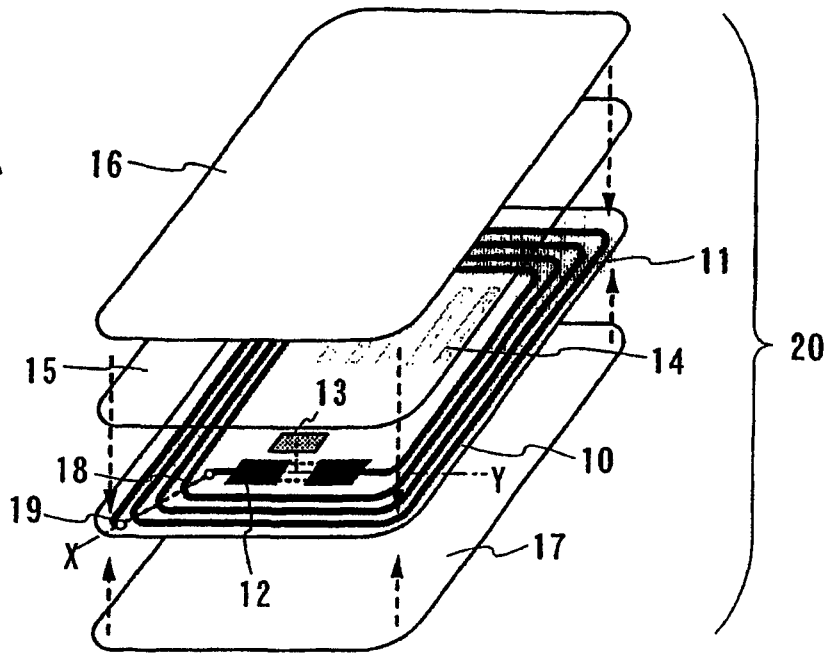


图 1B

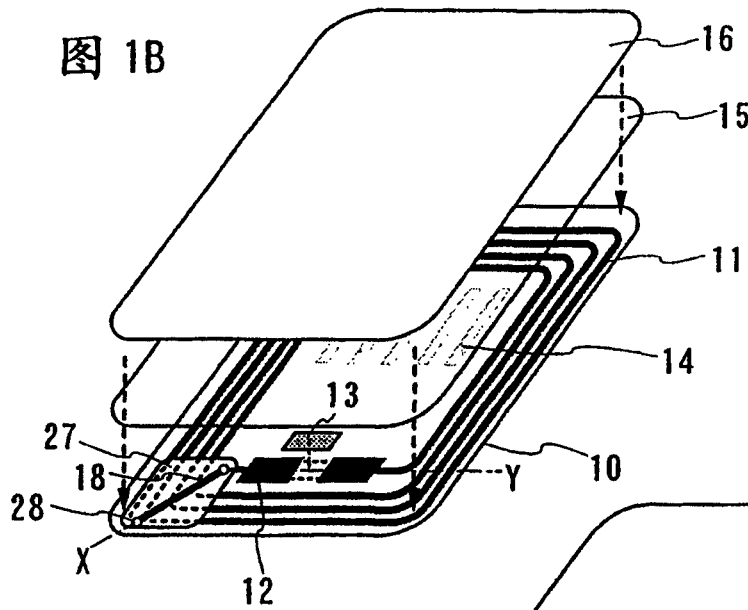
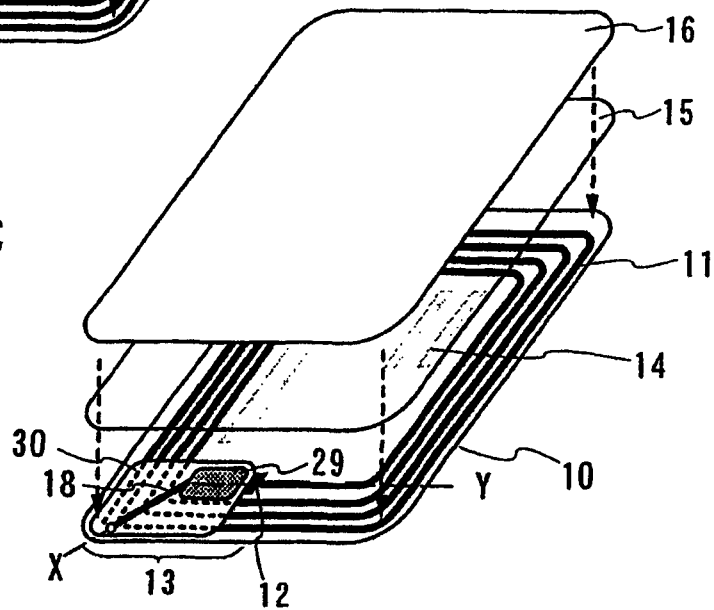


图 1C



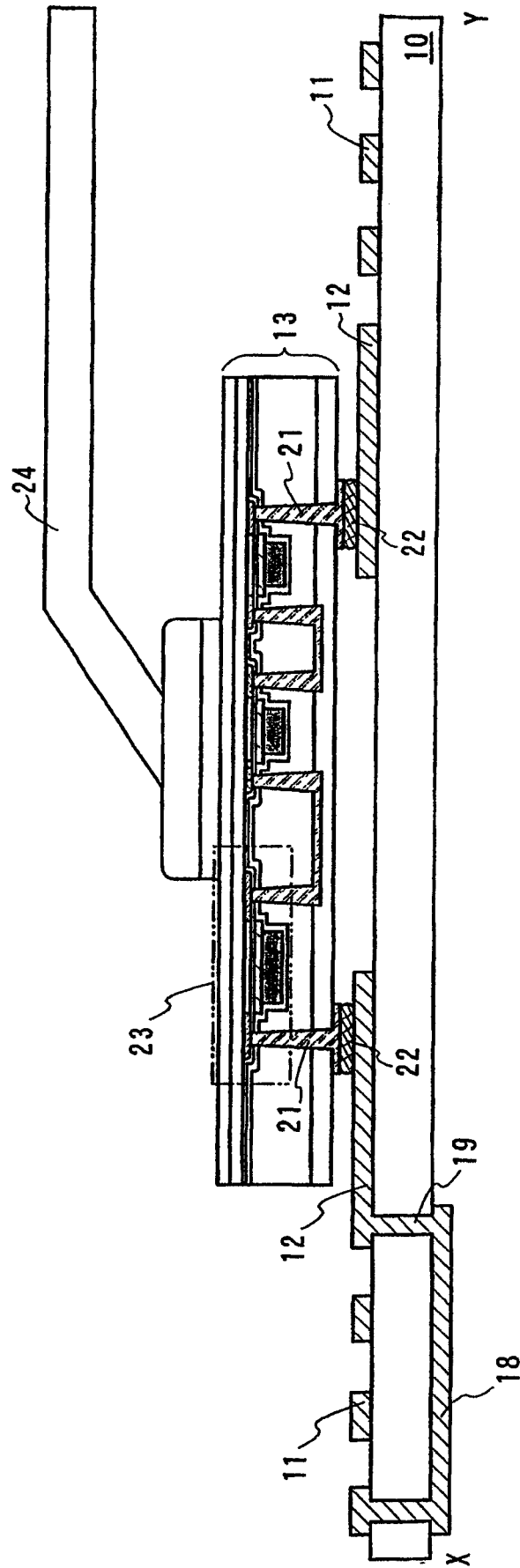


图 2

图 3A

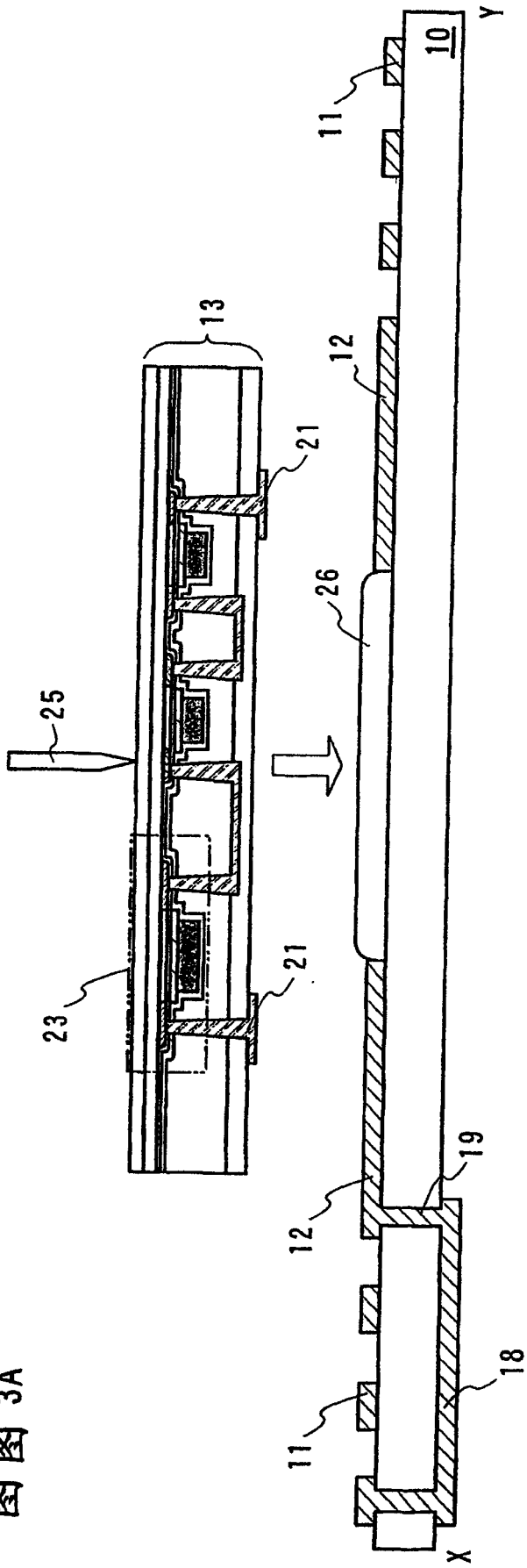
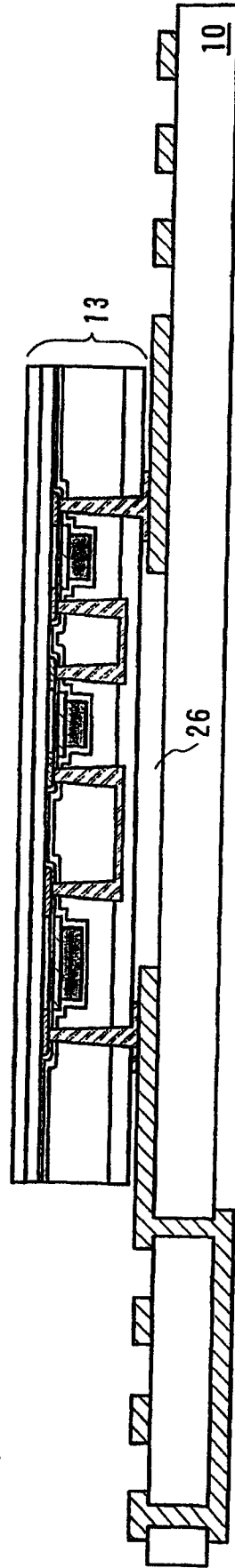


图 3B



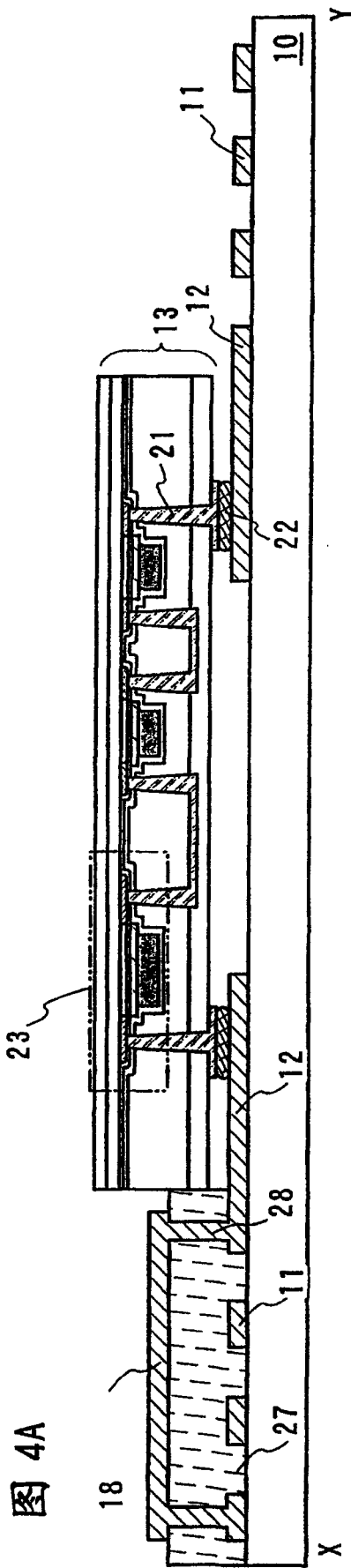


图 4A

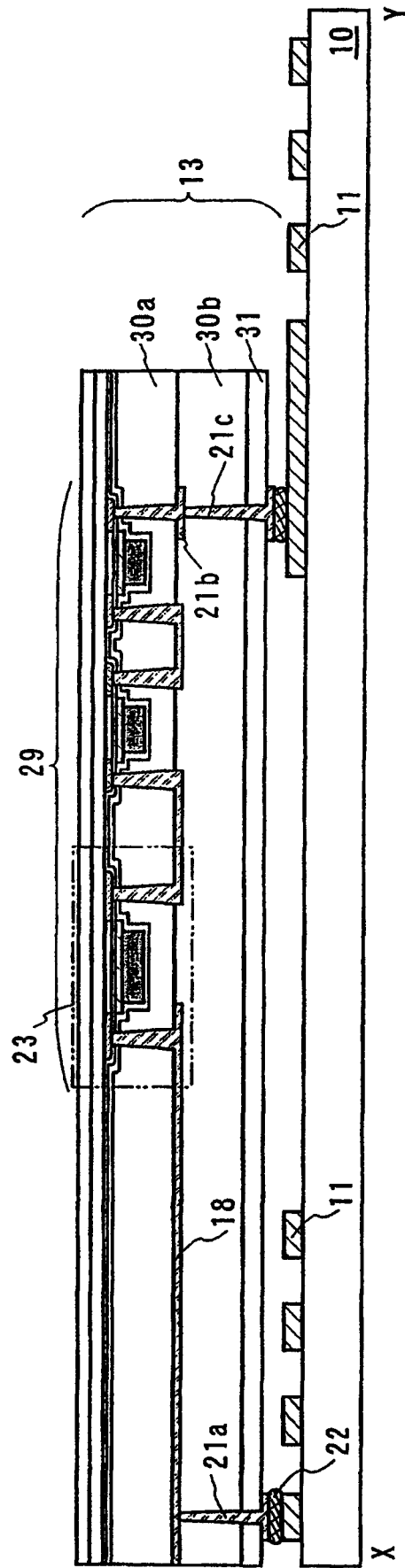


图 4B

图 5A

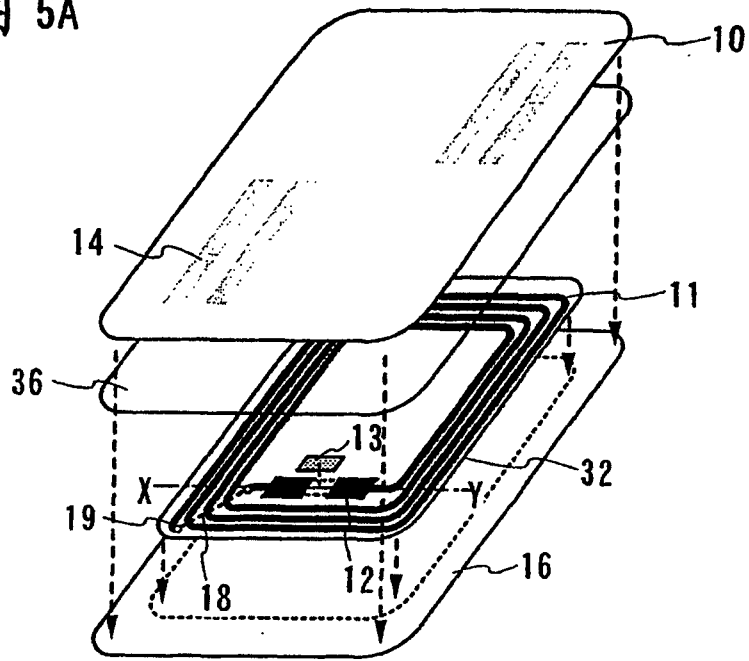
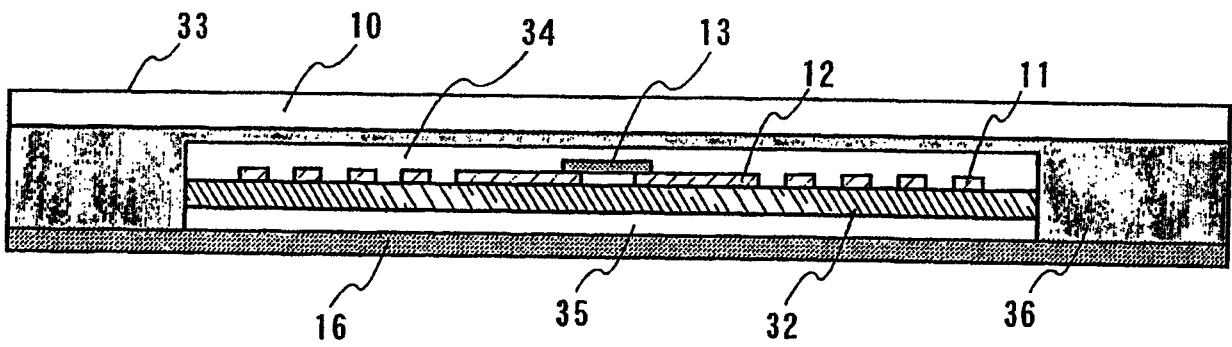


图 5B



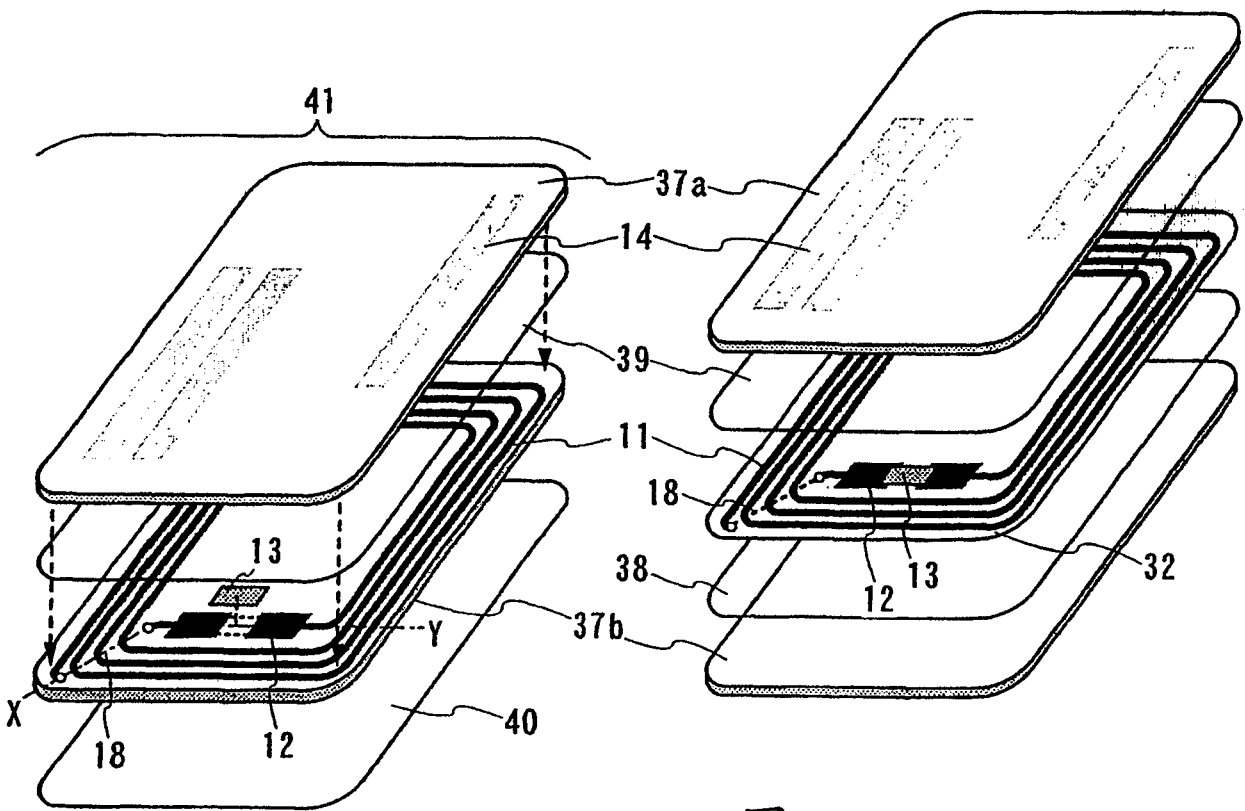


图 6A

图 6B

图 7A

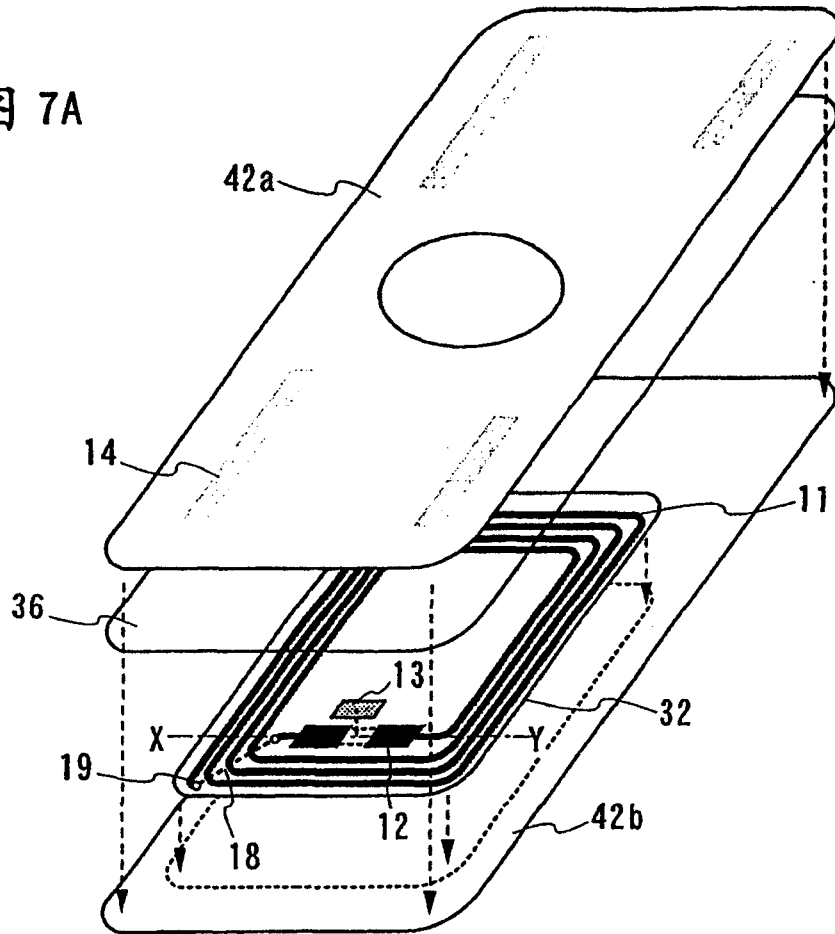


图 7B

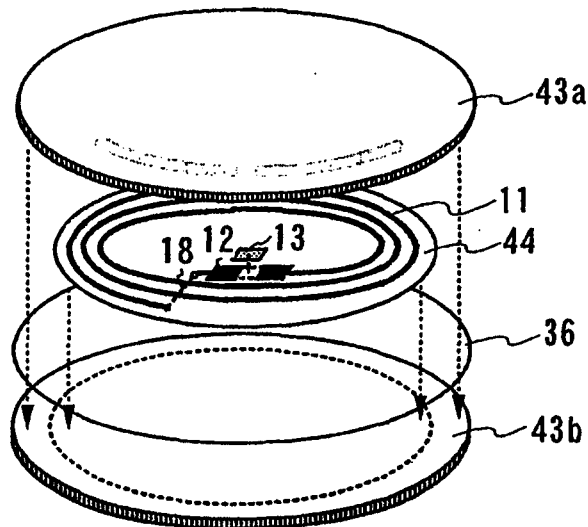


图 8A

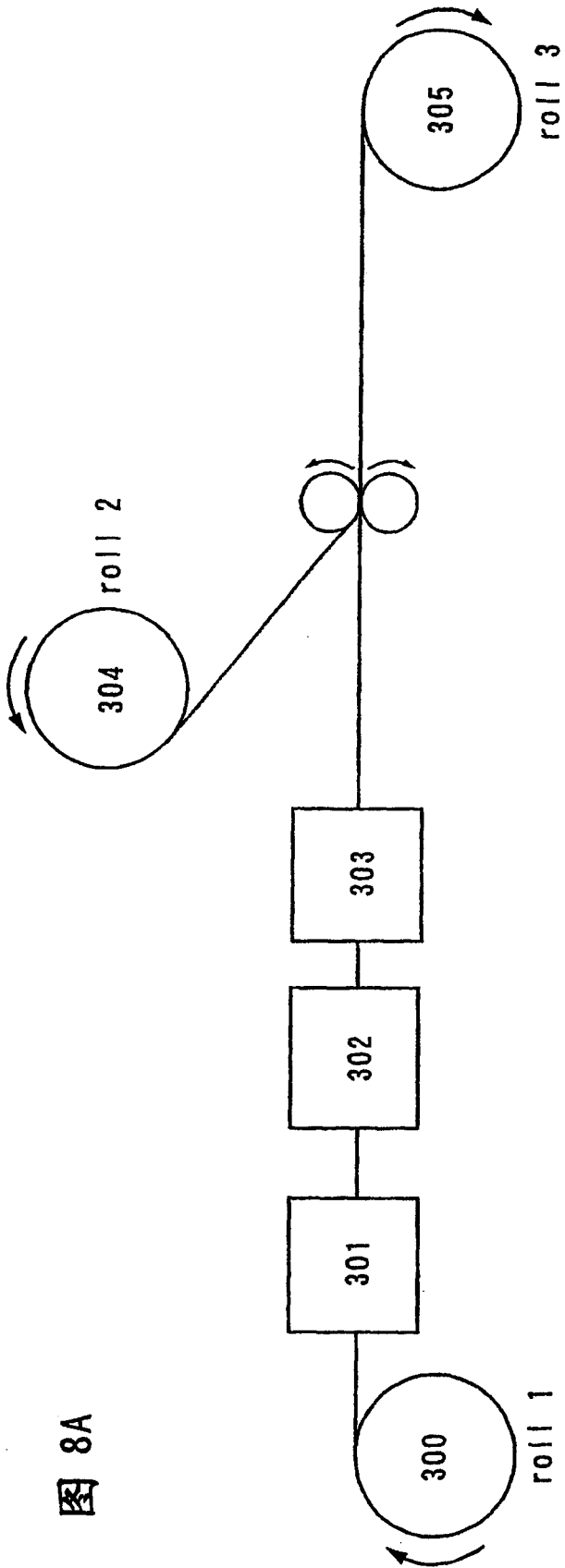


图 8B

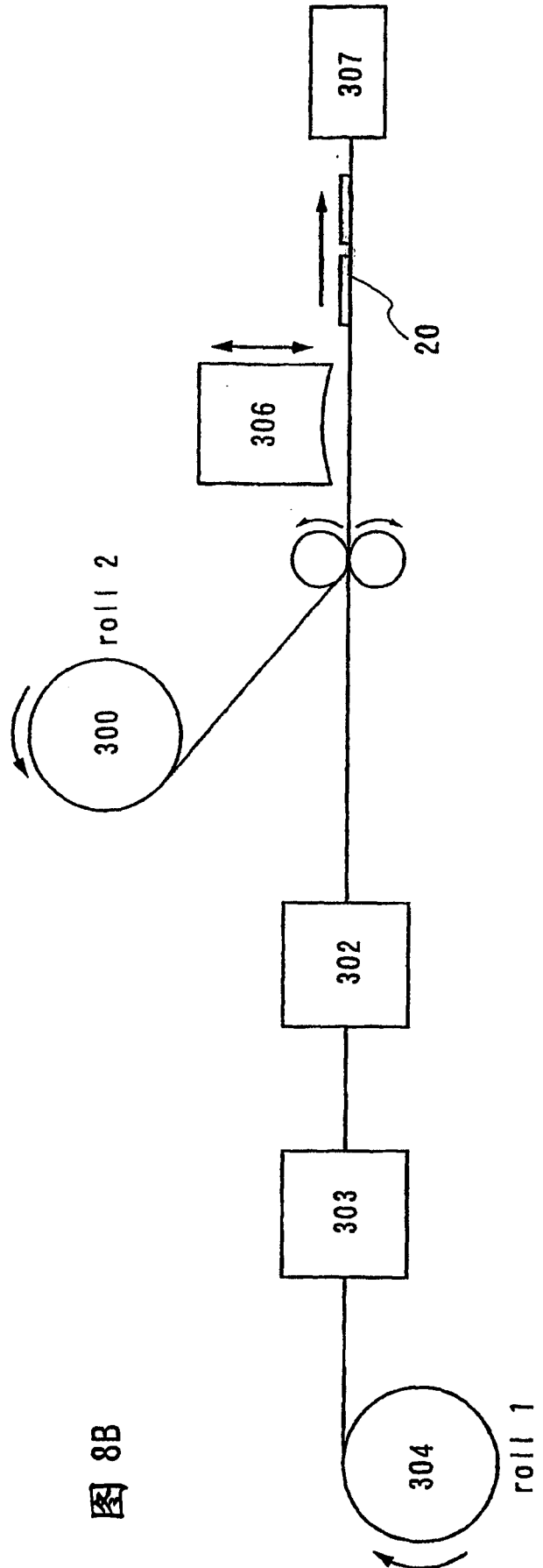


图 9A

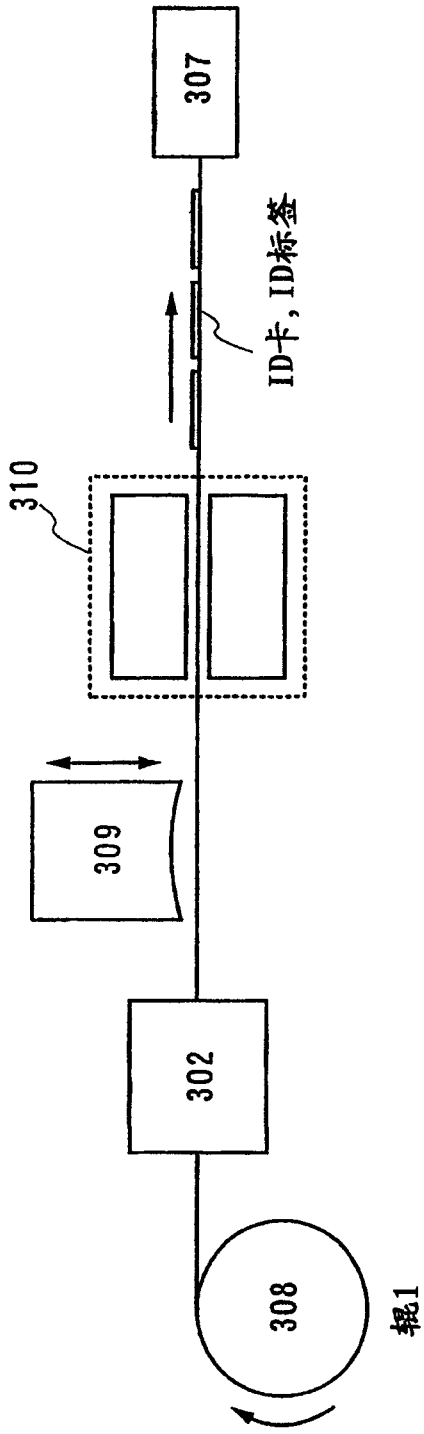


图 9B

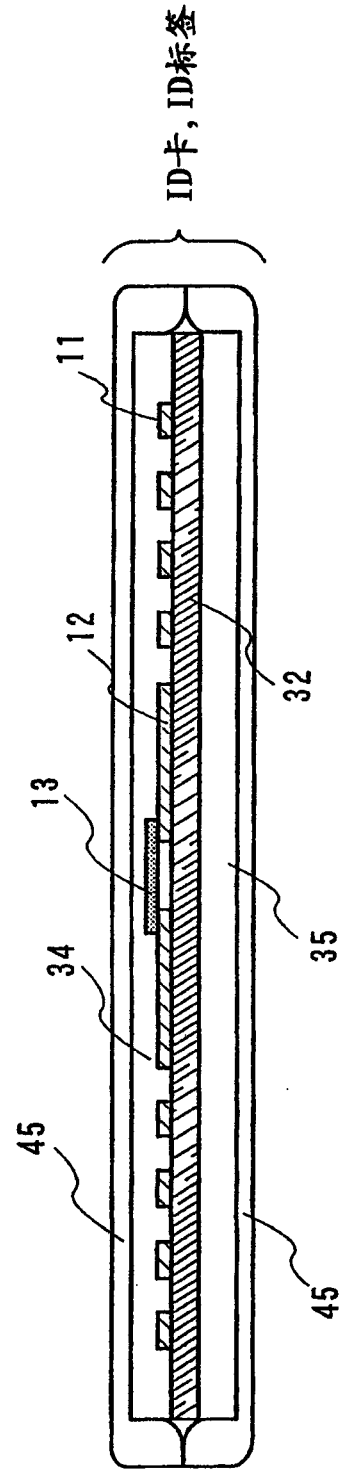


图 10

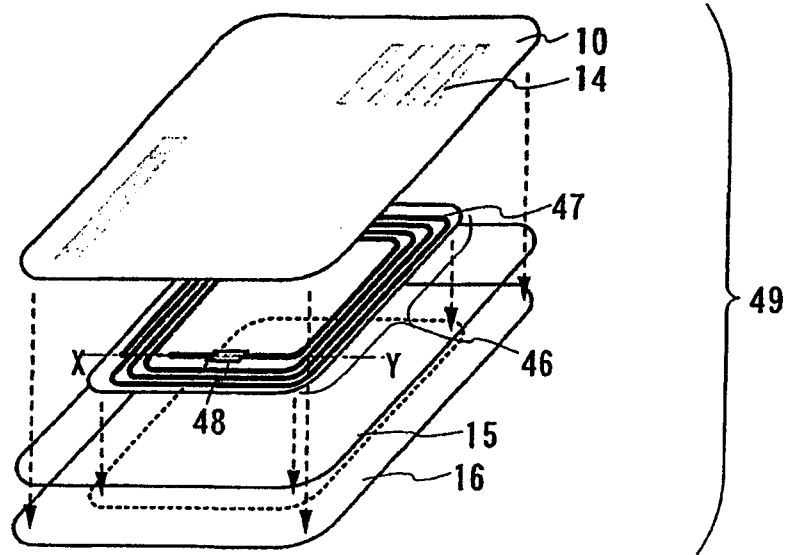


图 11

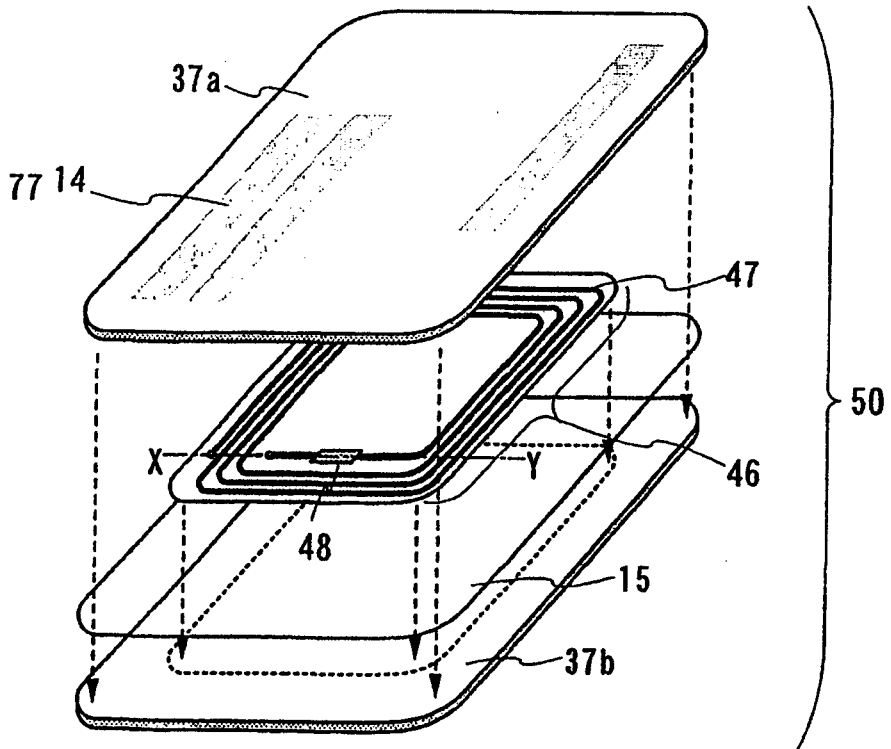


图 12A

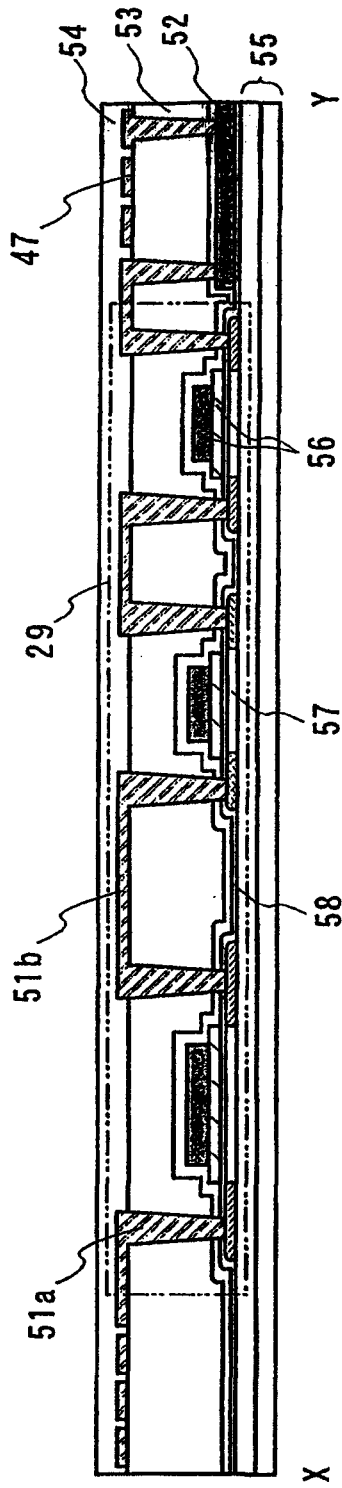


图 12B

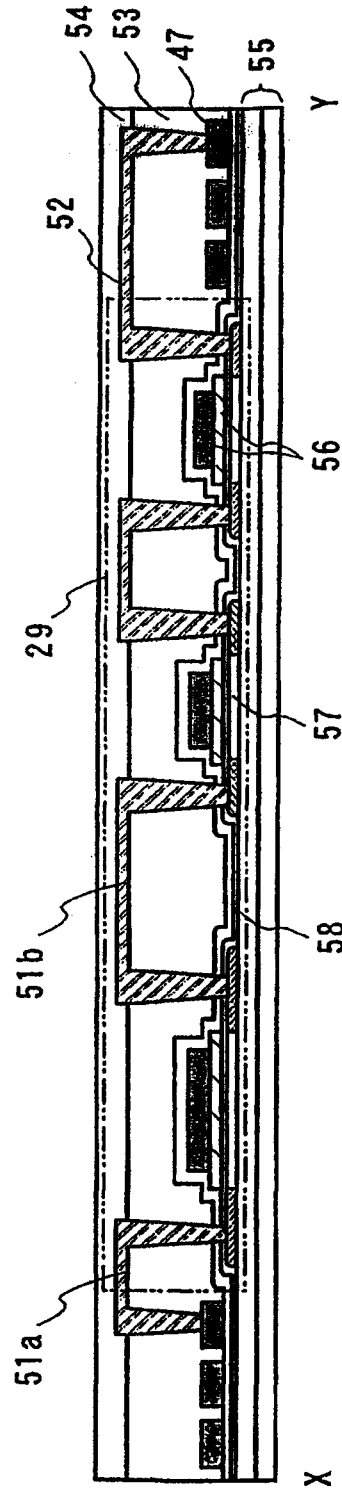


图 13A

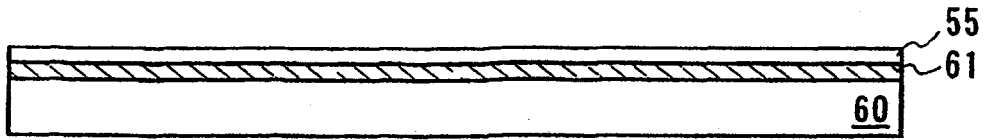


图 13B

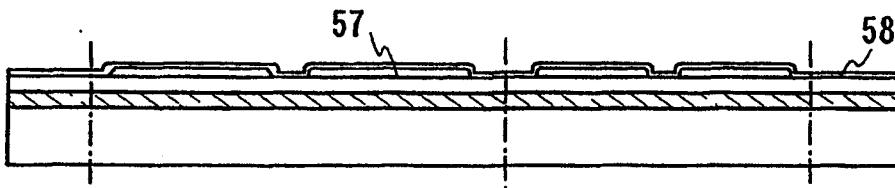


图 13C

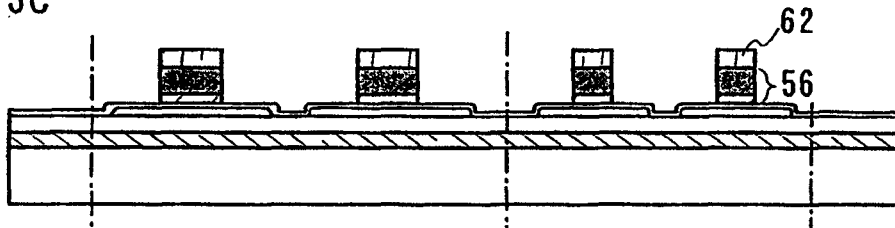


图 13D

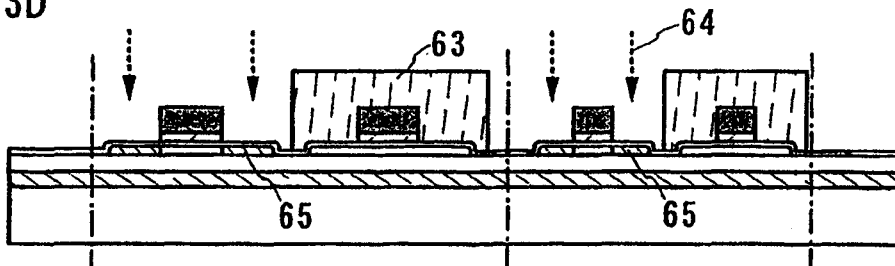


图 13E

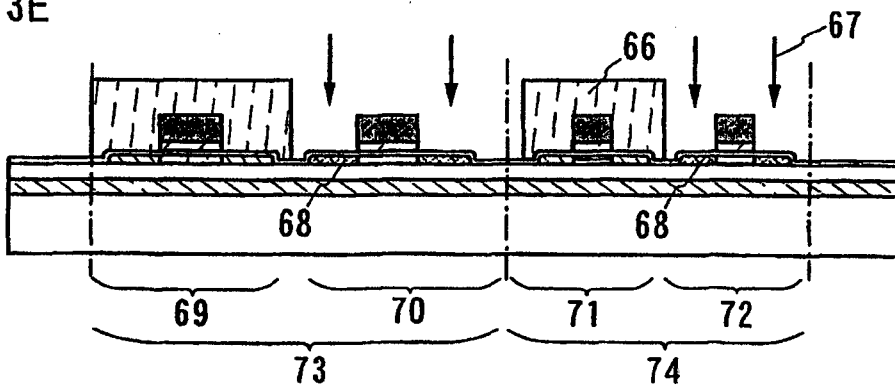


图 14A

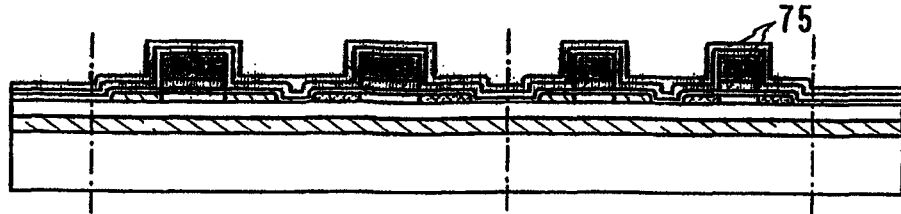


图 14B

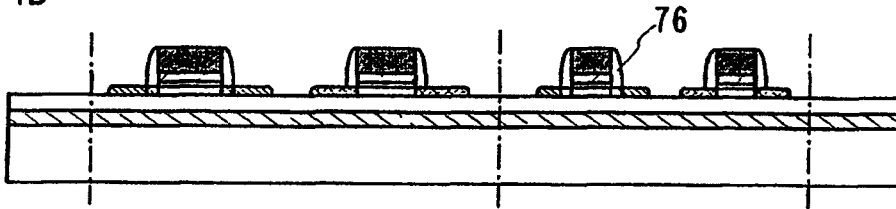


图 14C

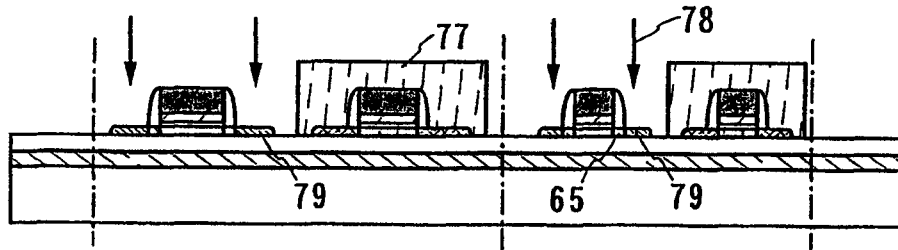
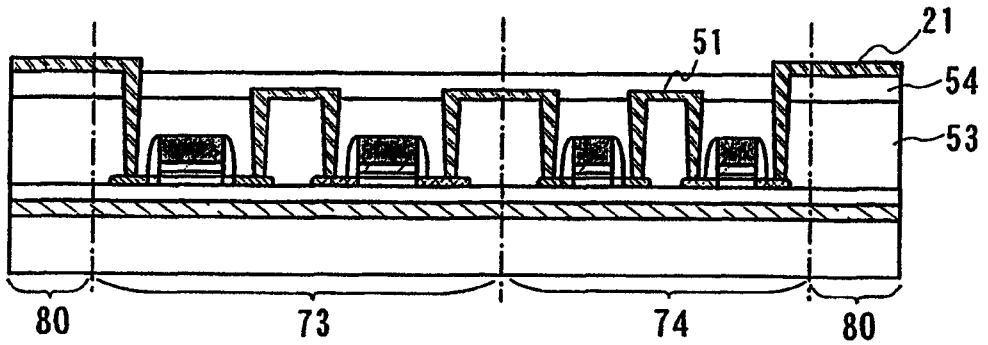
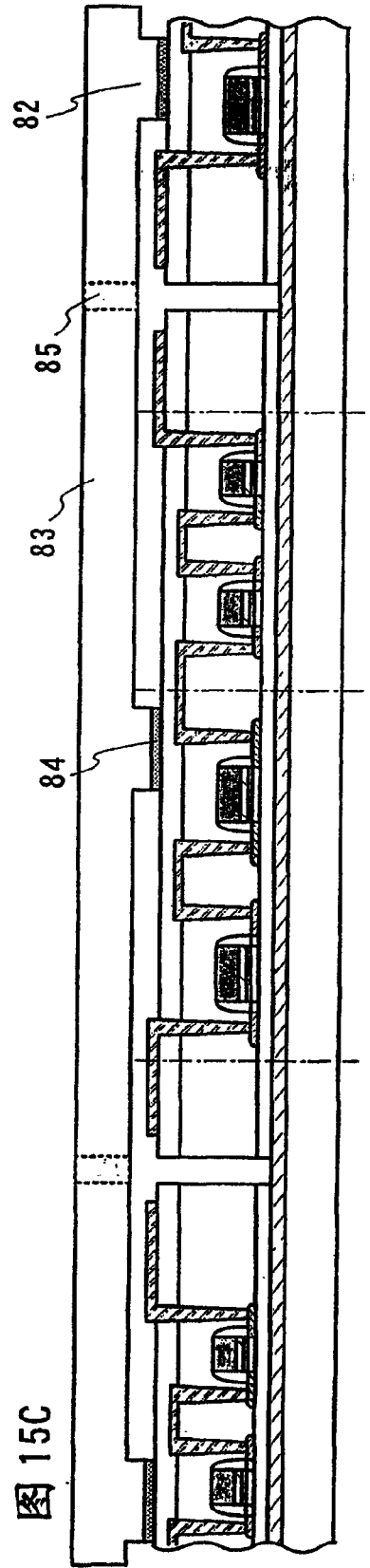
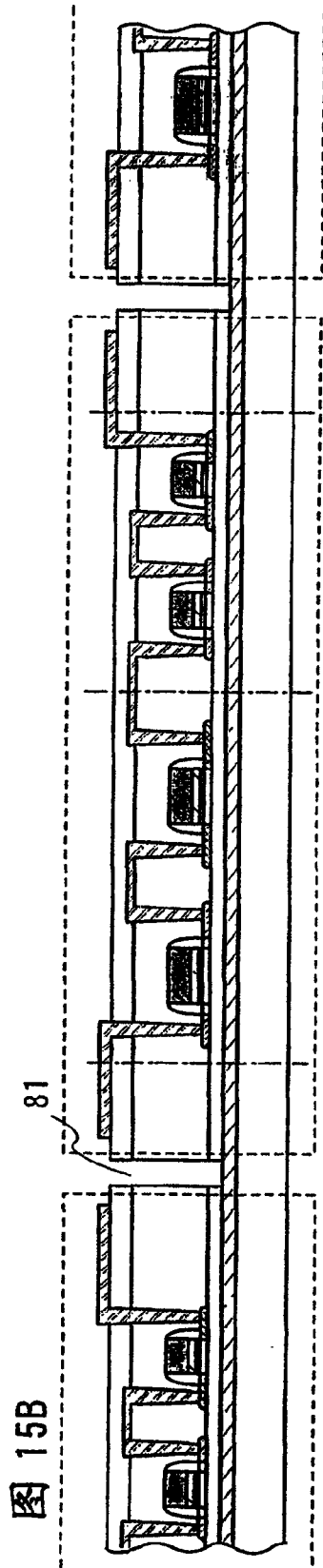
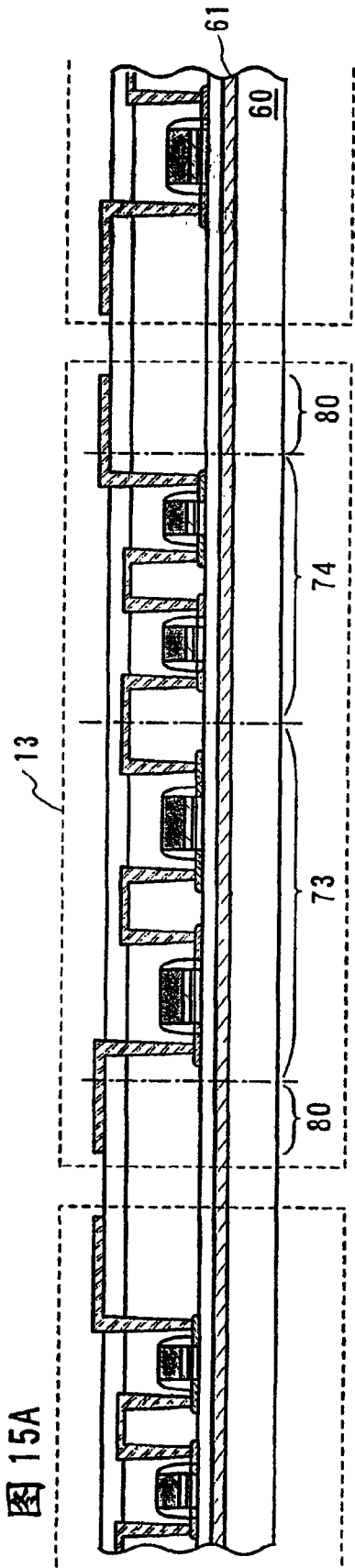
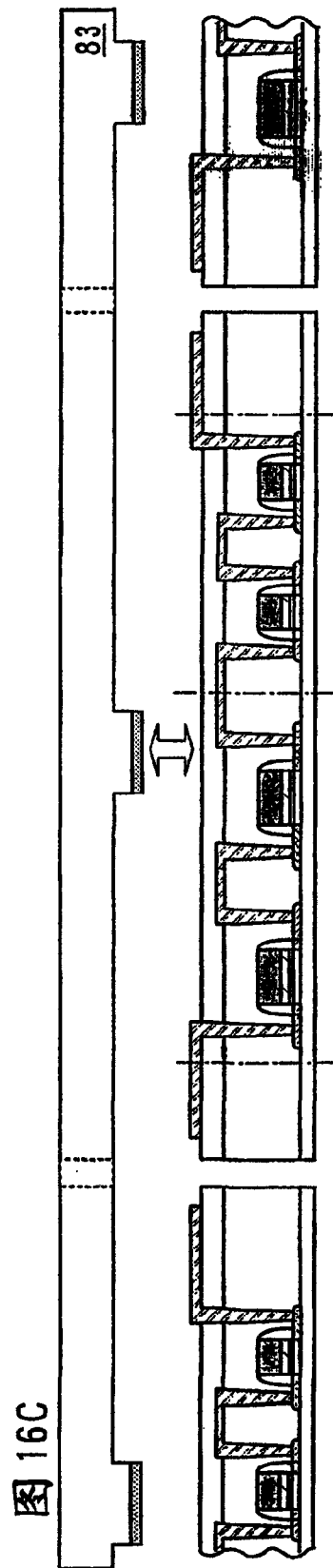
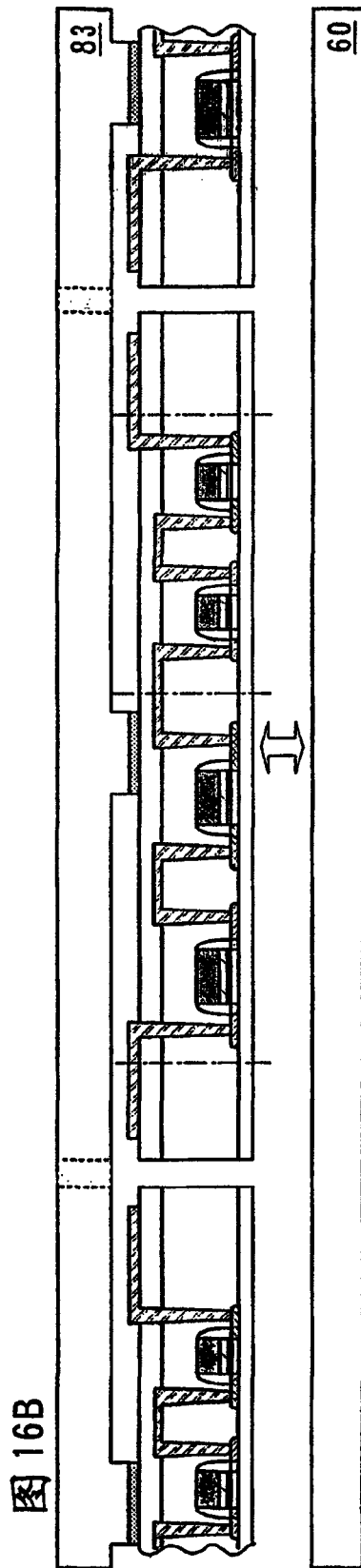
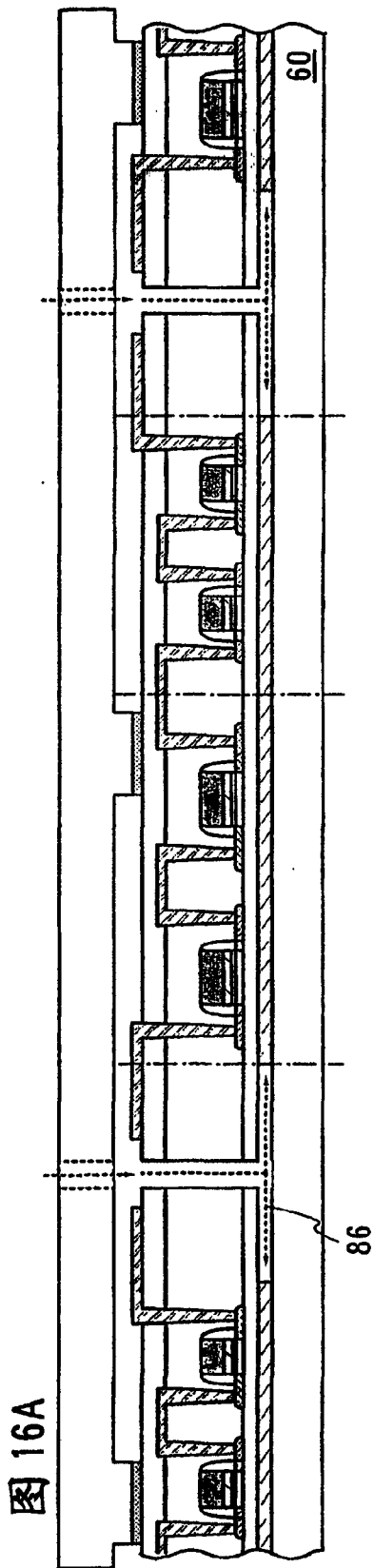


图 14D







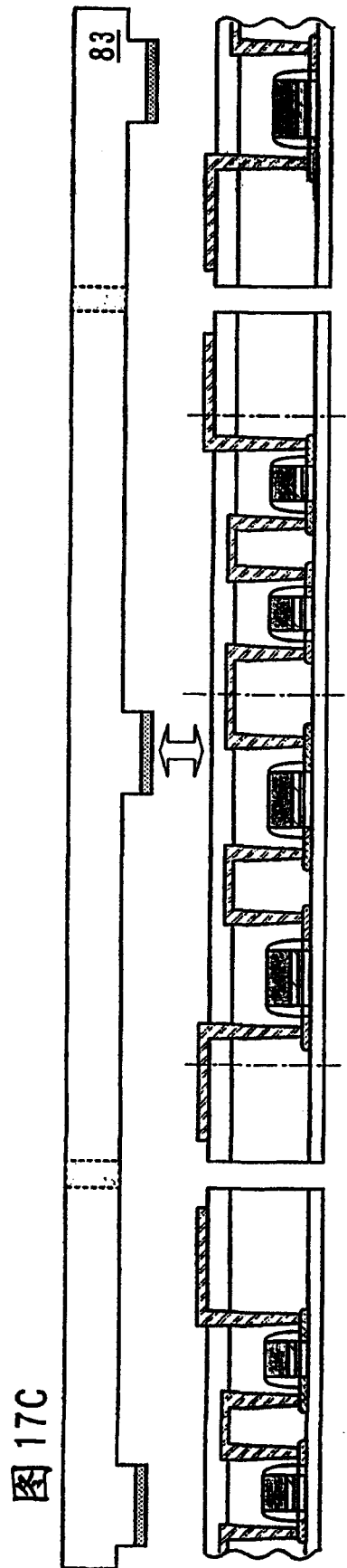
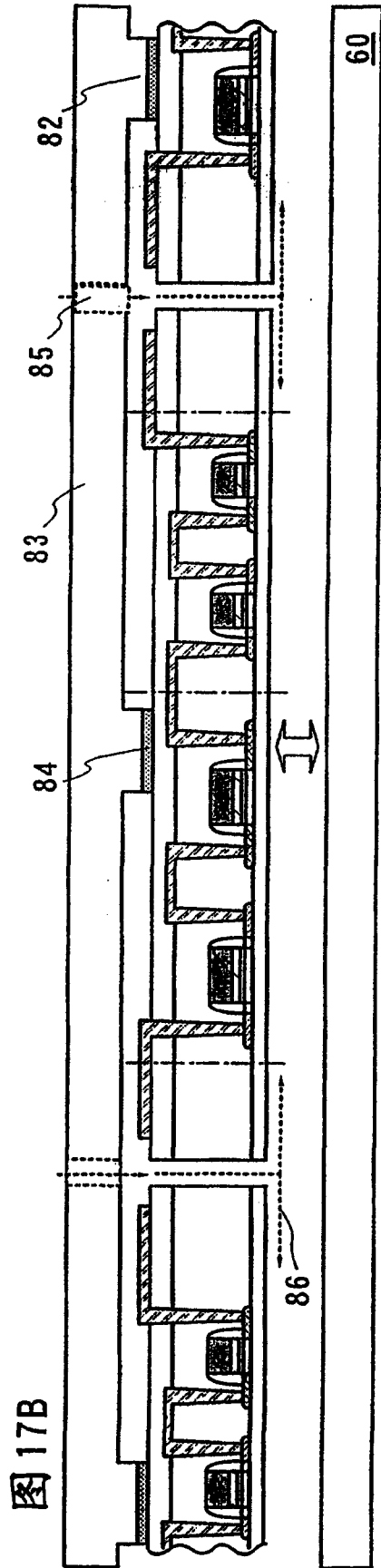
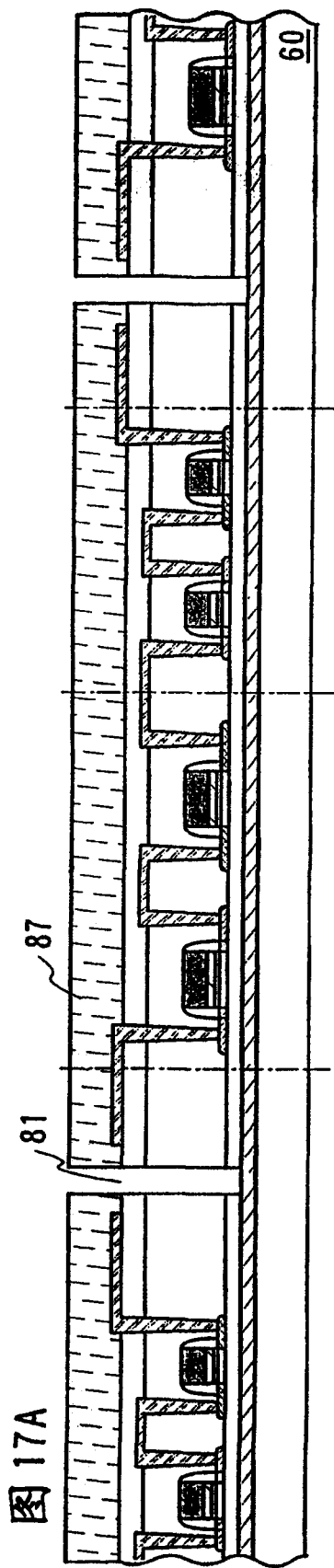


图 18A

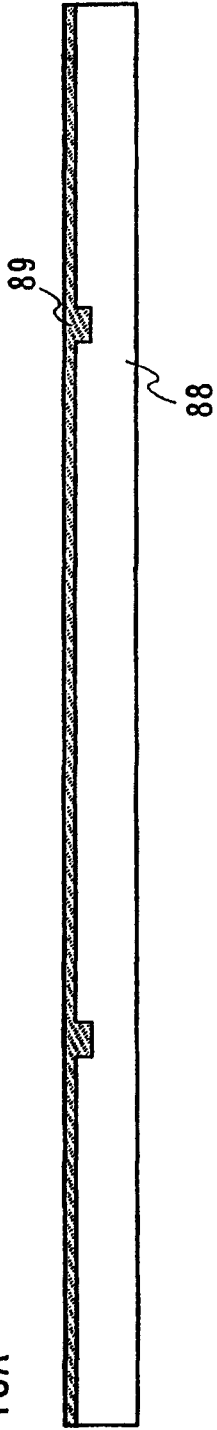


图 18B

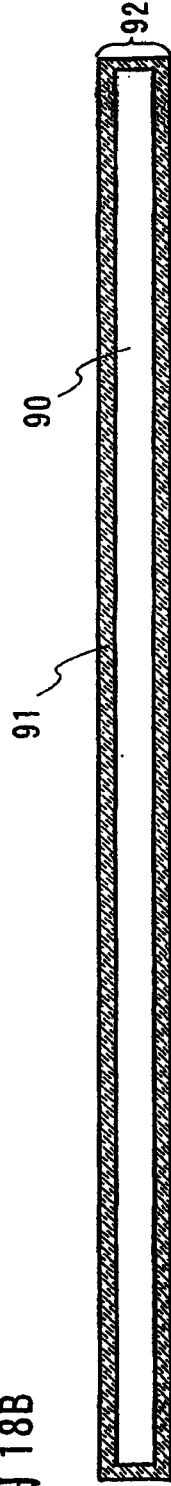


图 18C

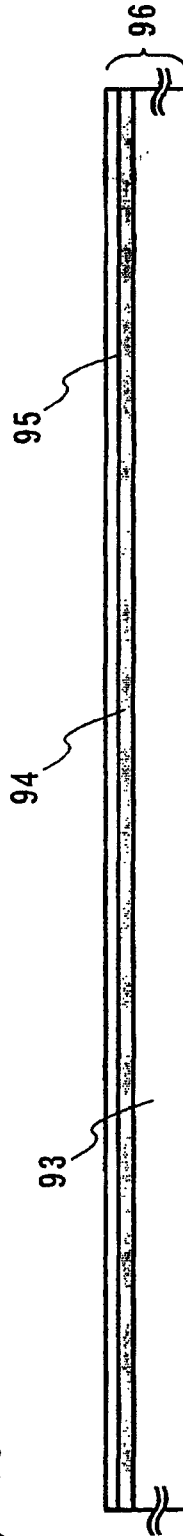


图 19A

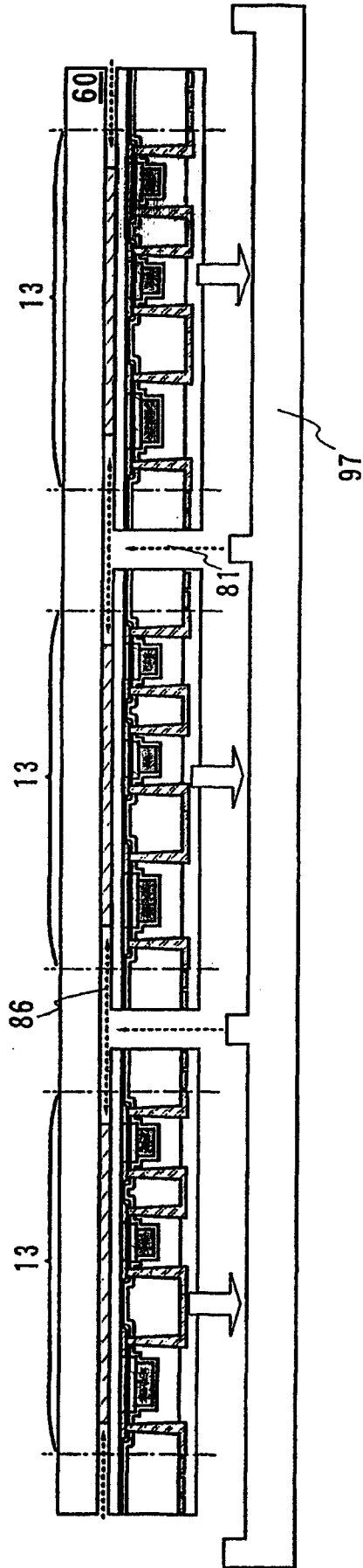


图 19B

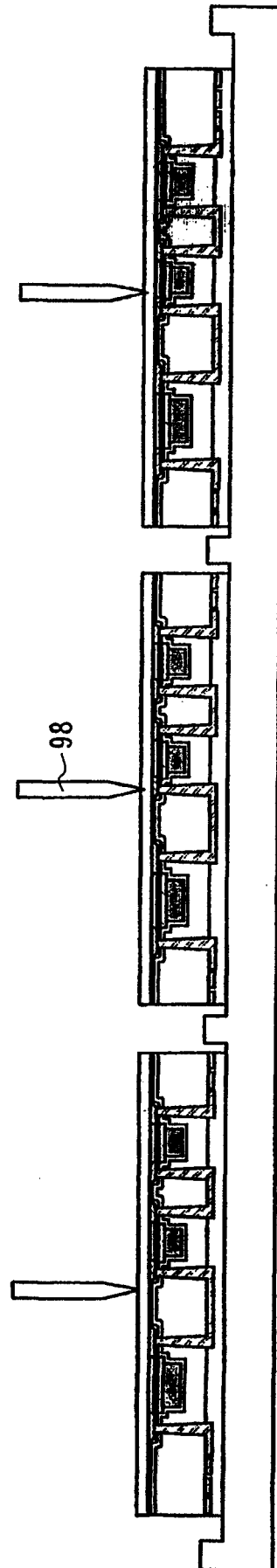


图 20

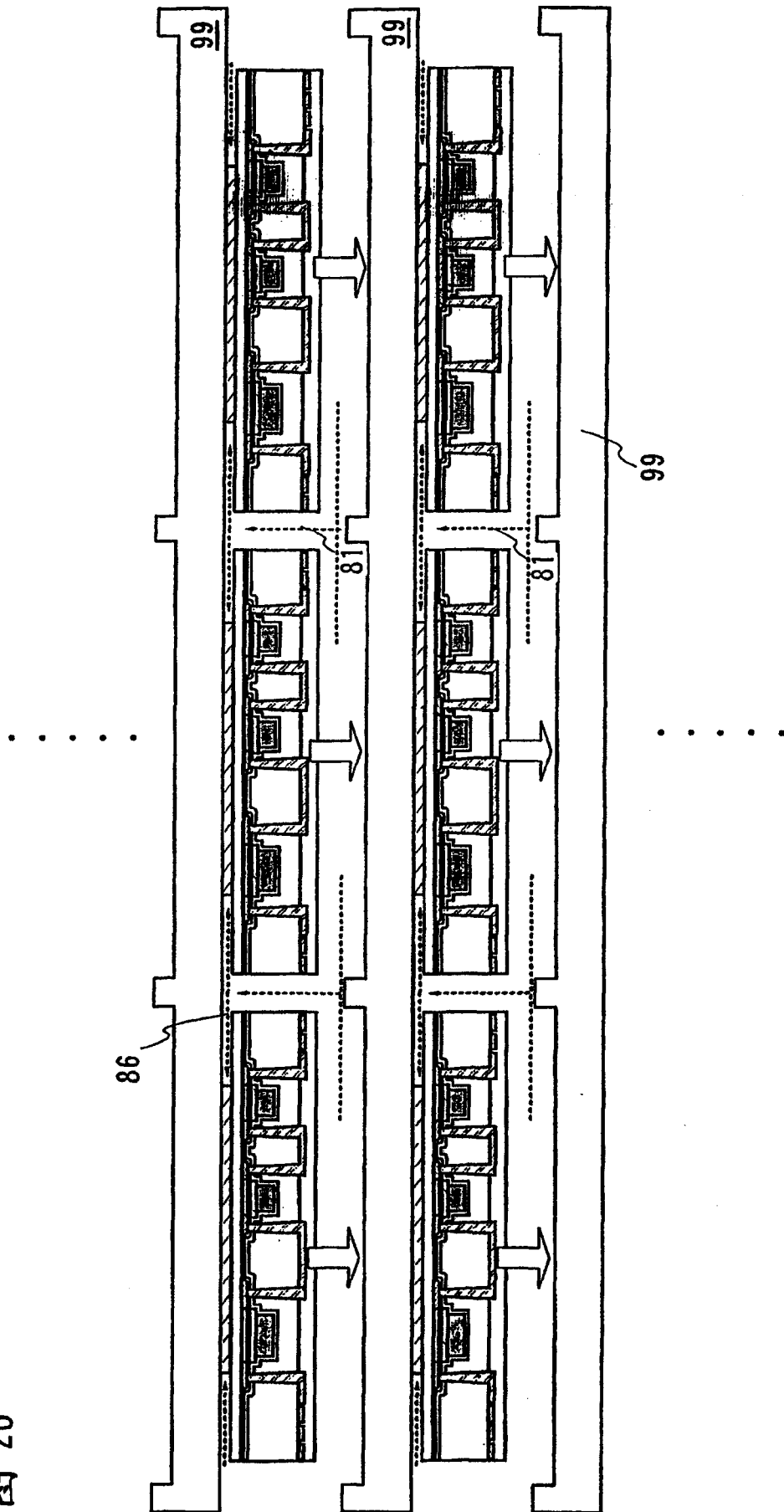


图 21

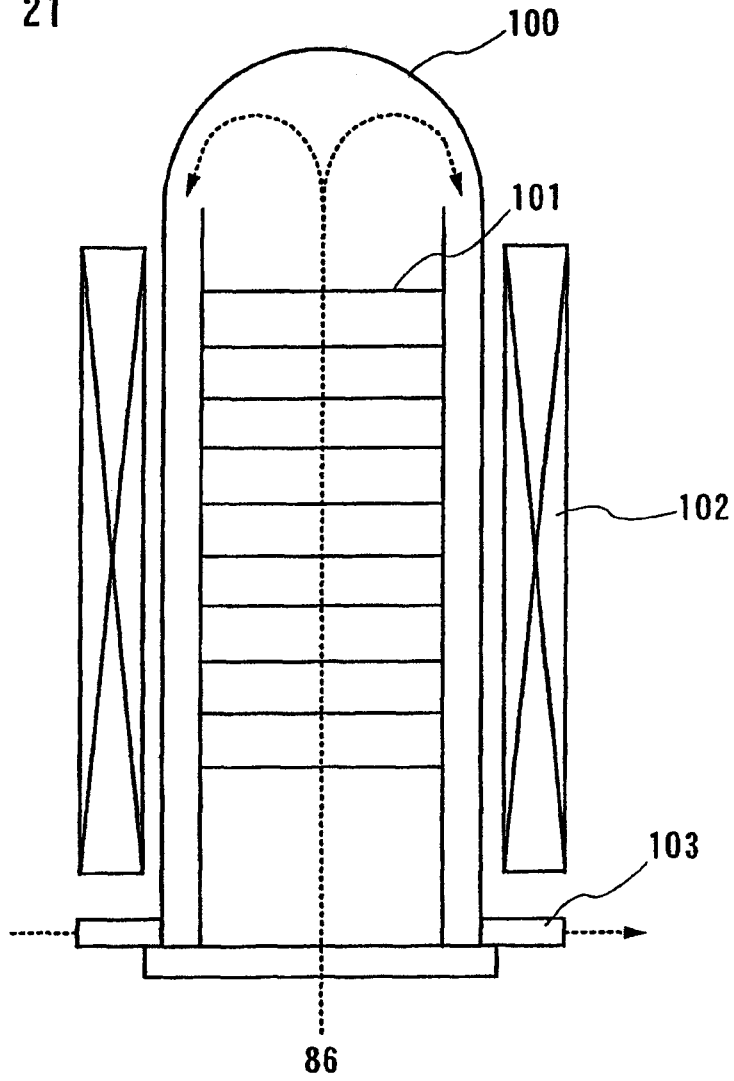


图 22A

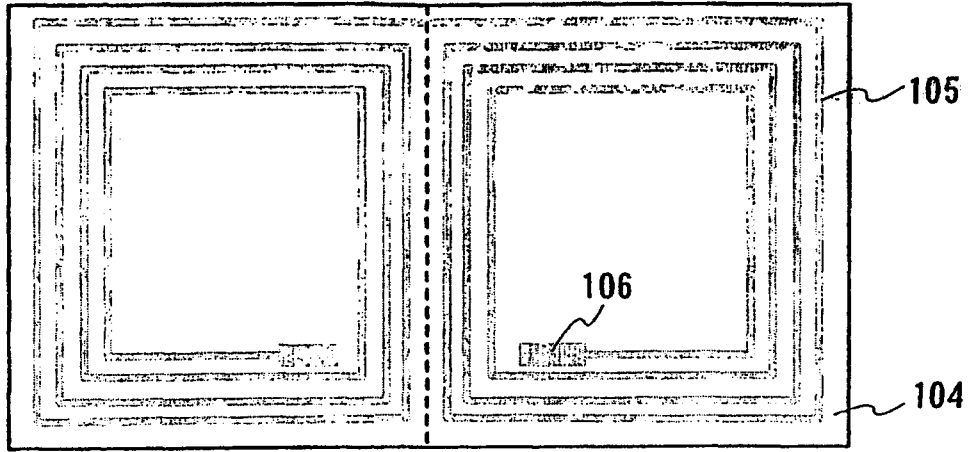


图 22B

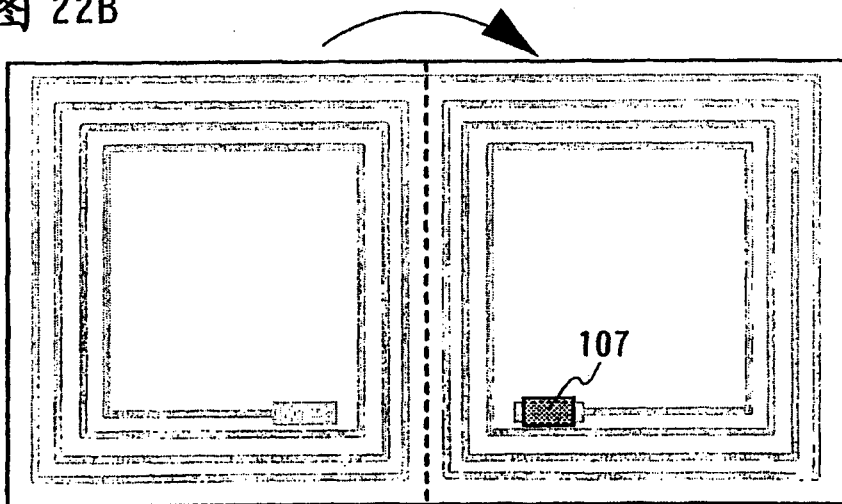


图 22C

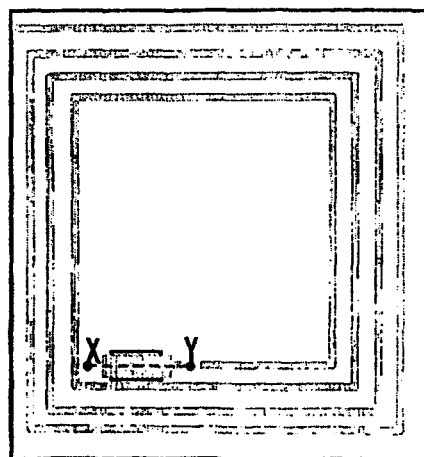


图 23A

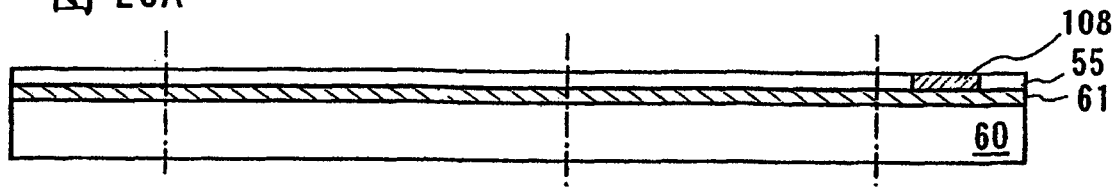


图 23B

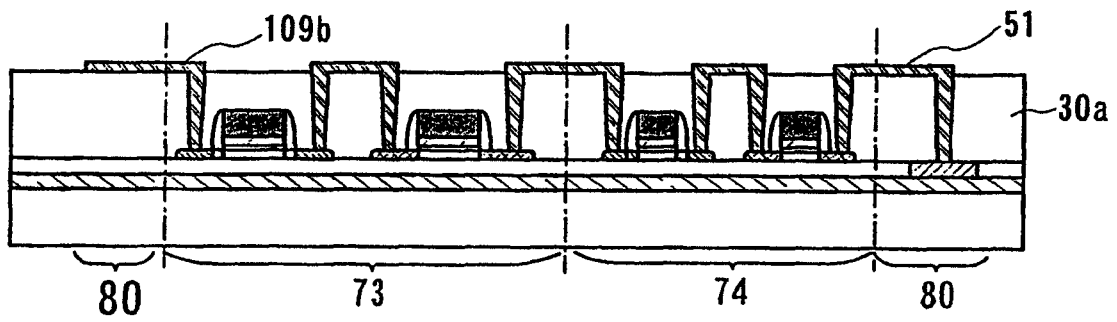


图 23C

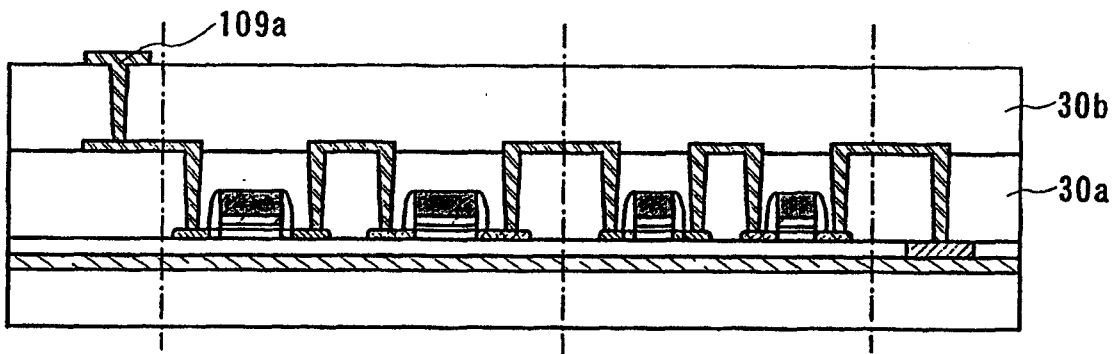


图 23D

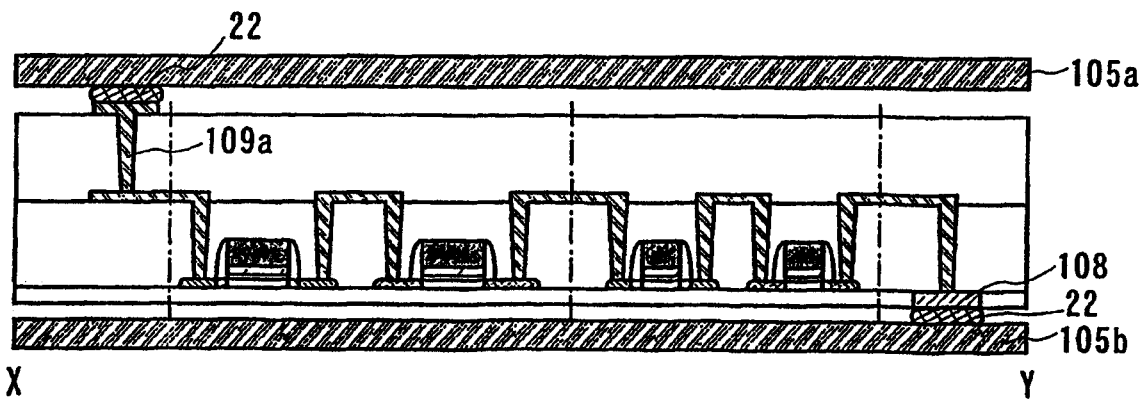


图 24A

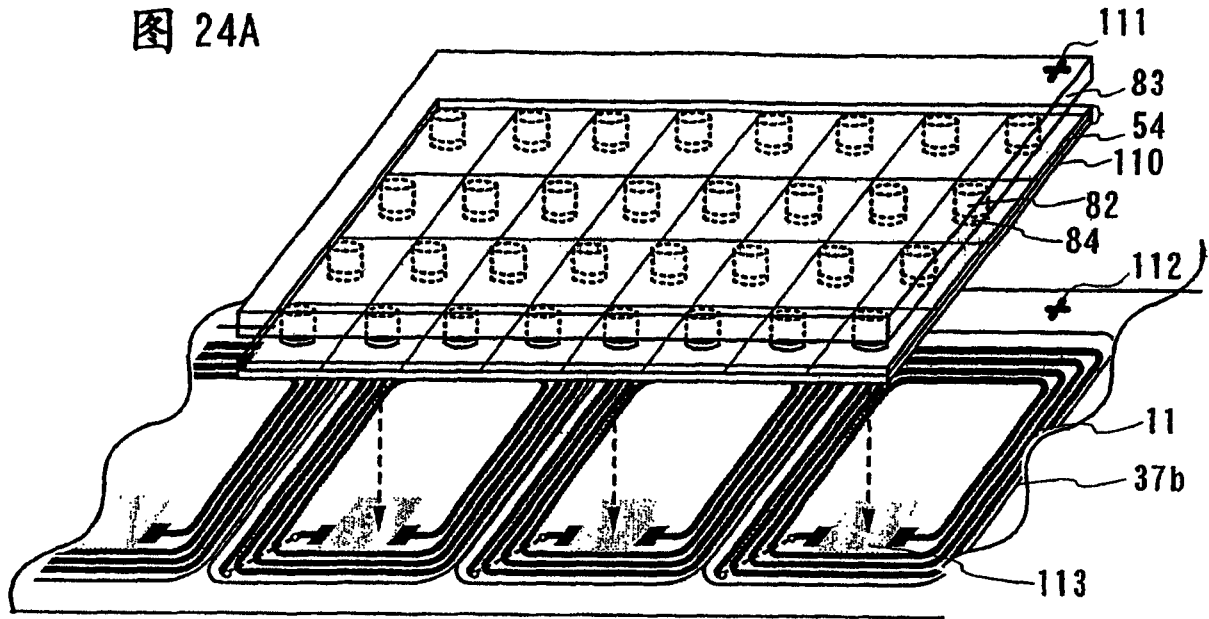


图 24B

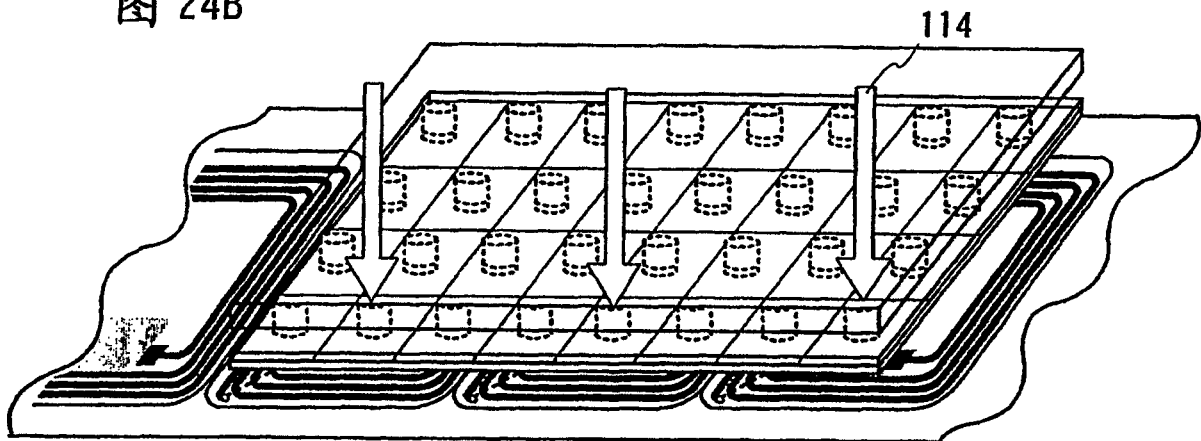


图 24C

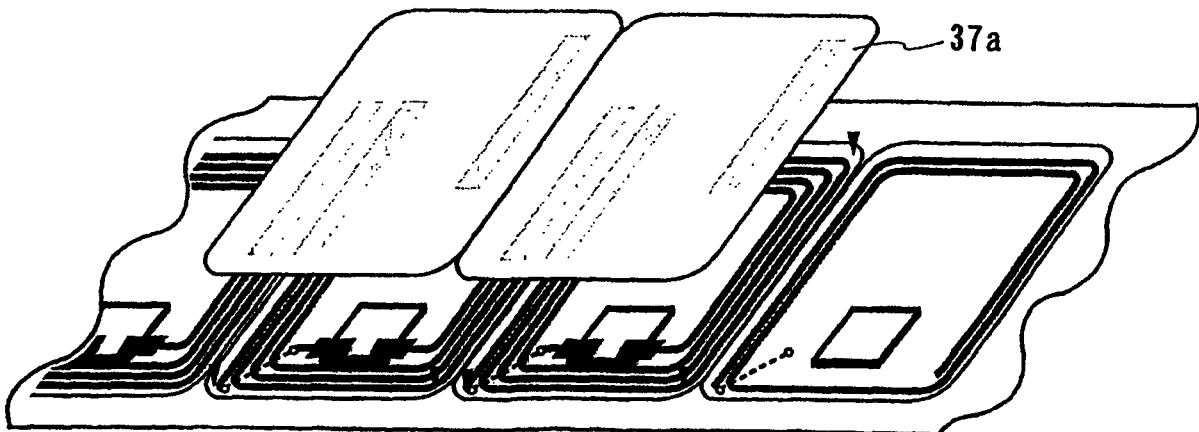


图 25A

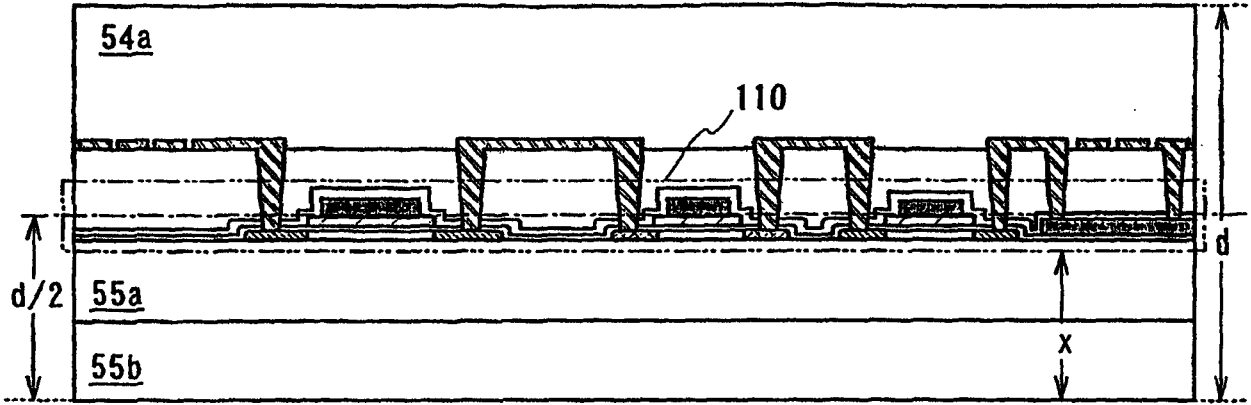


图 25B

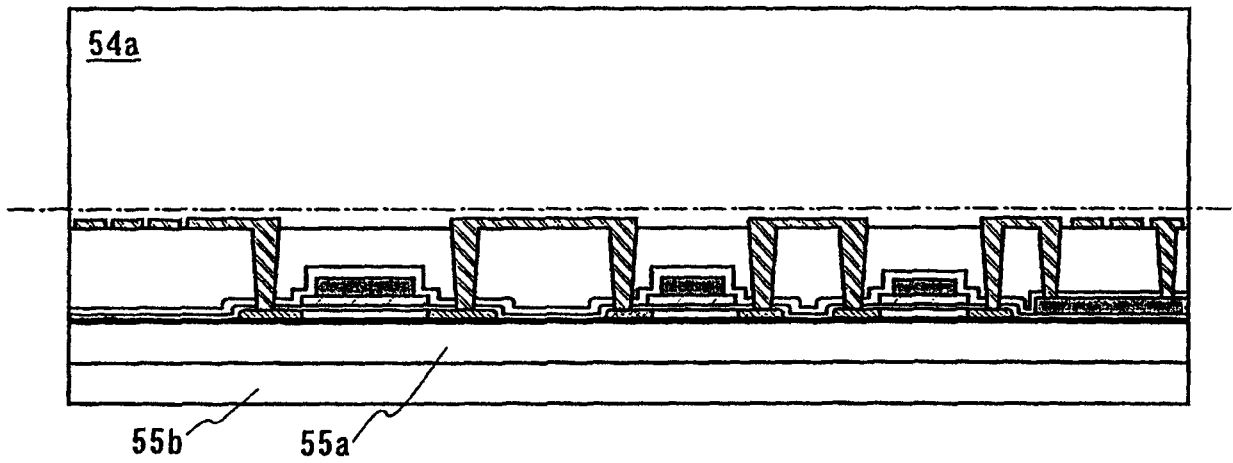
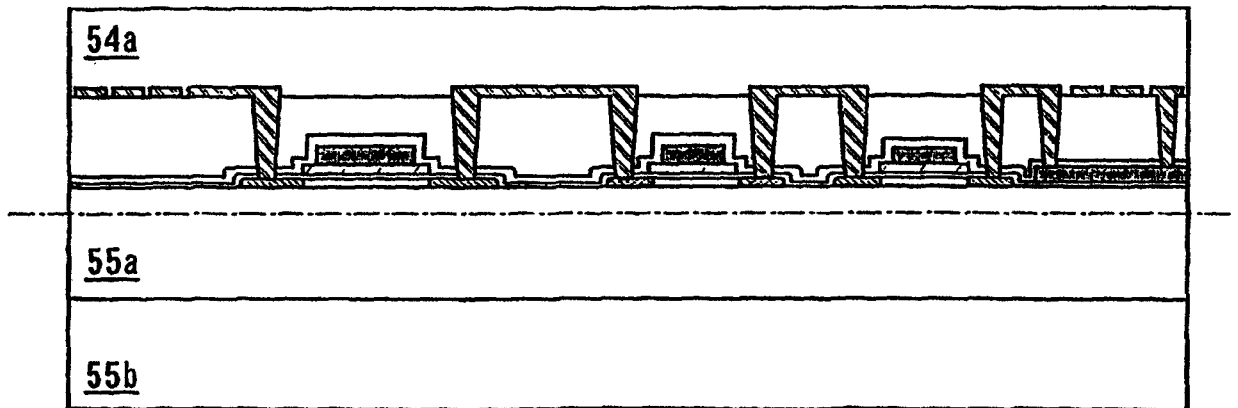


图 25C



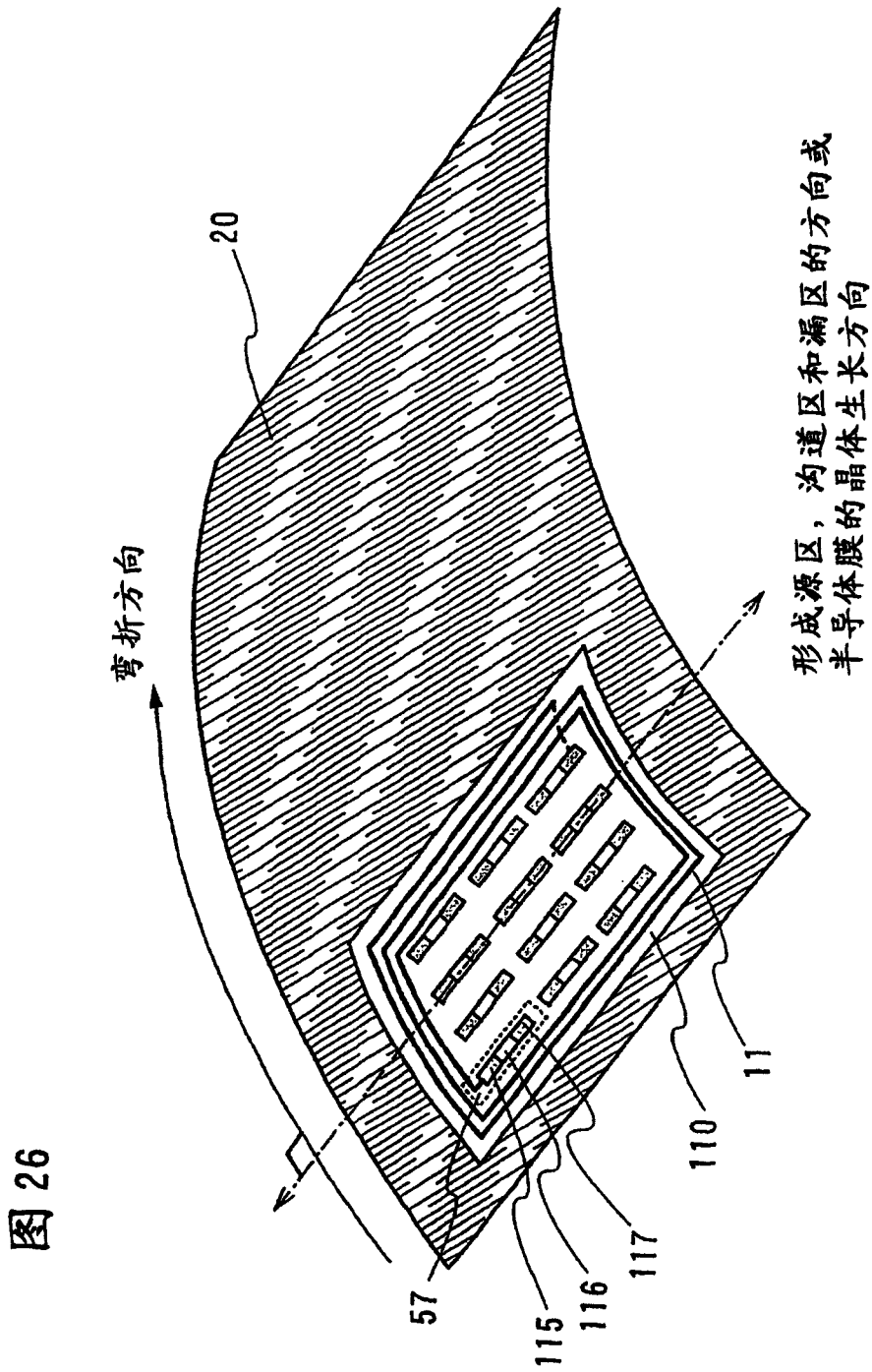


图 26

图 27

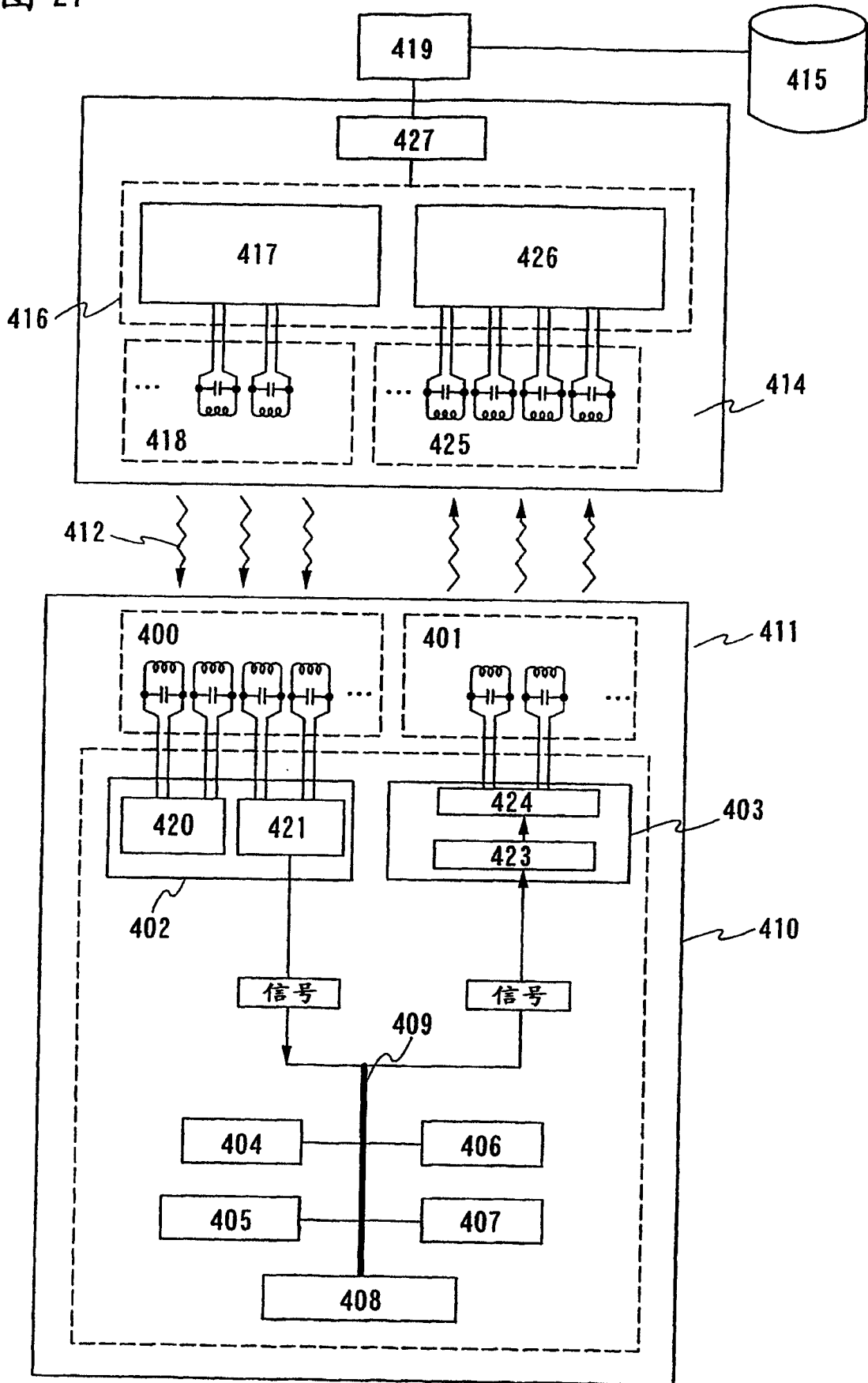


图 28

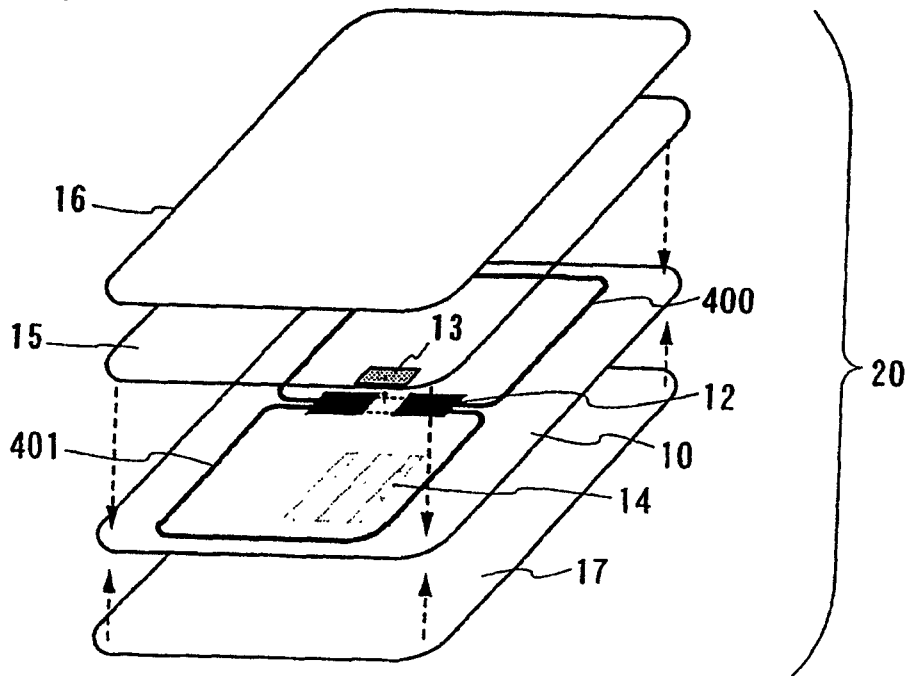


图 29

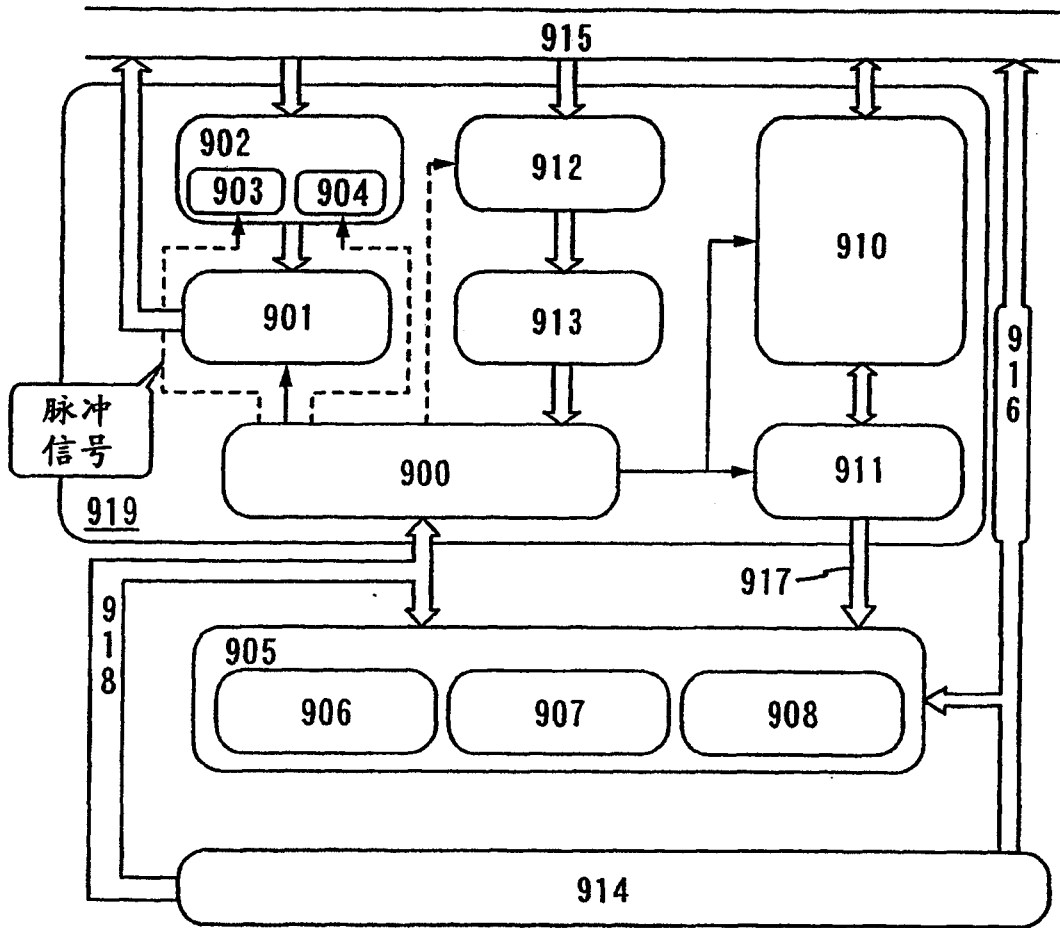


图 30A

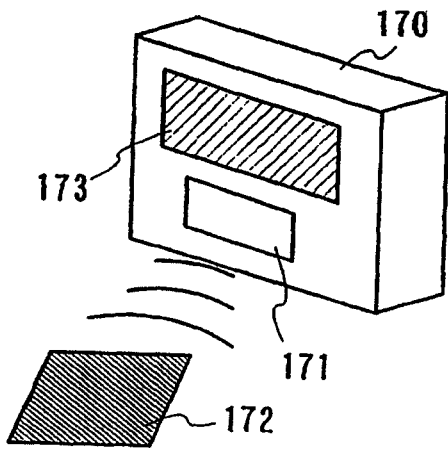


图 30B

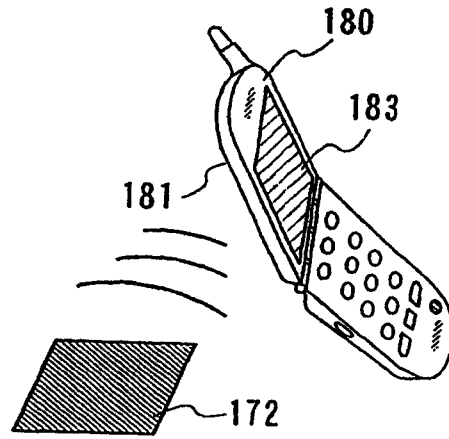


图 30C

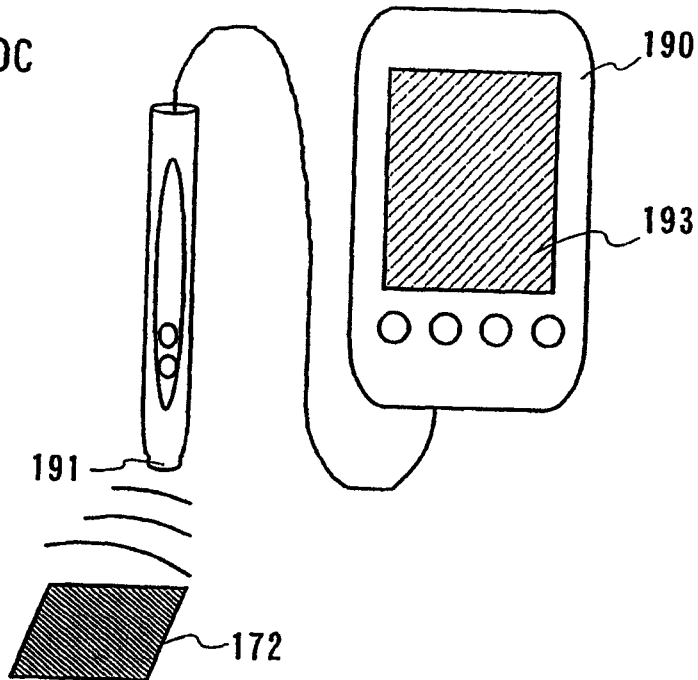


图 31

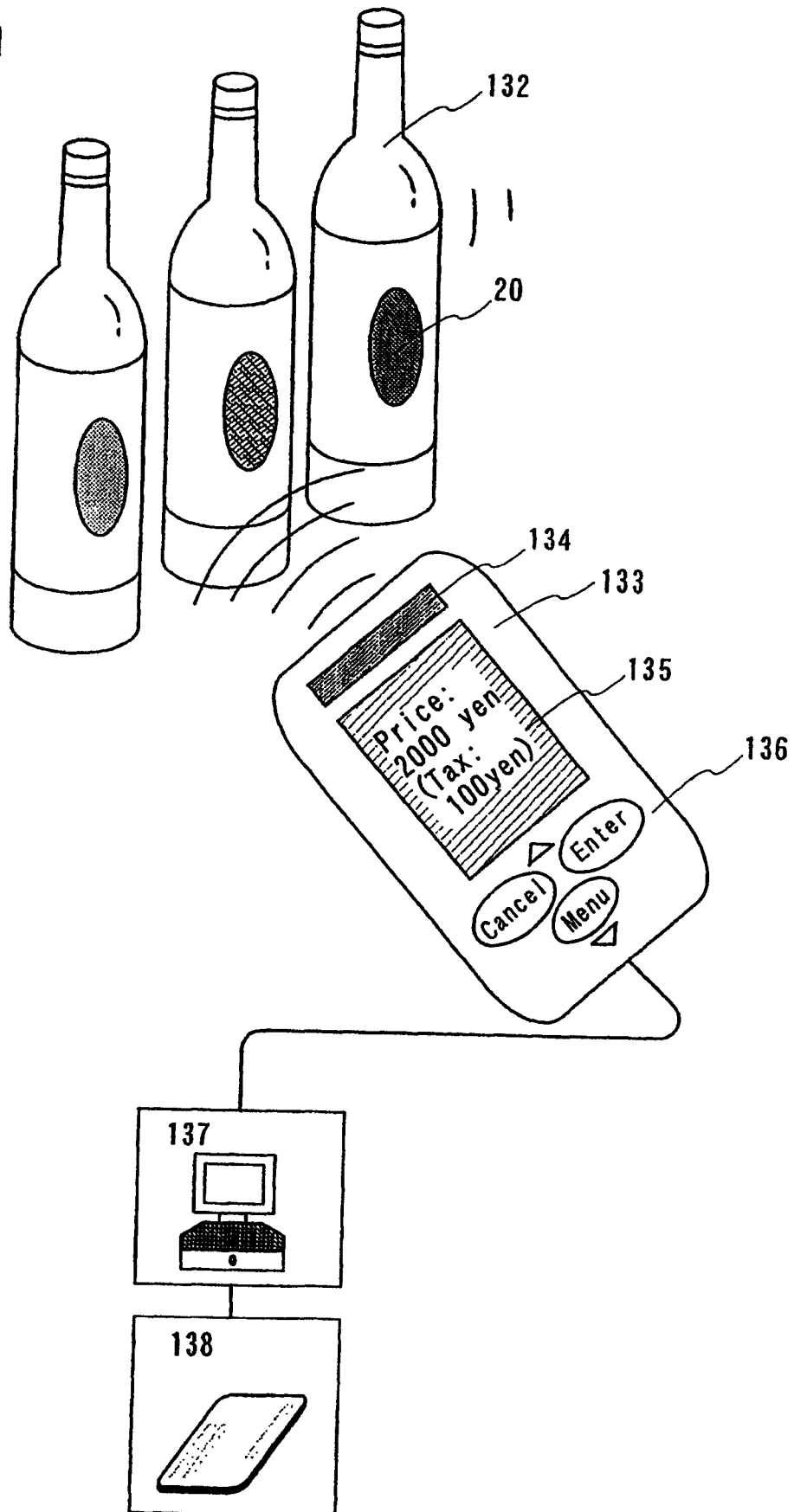


图 32A

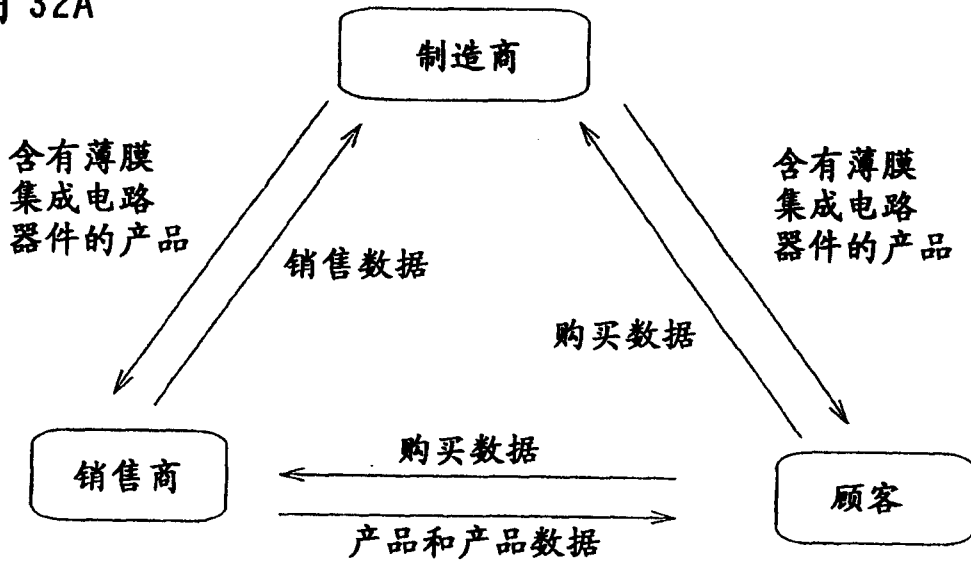


图 32B

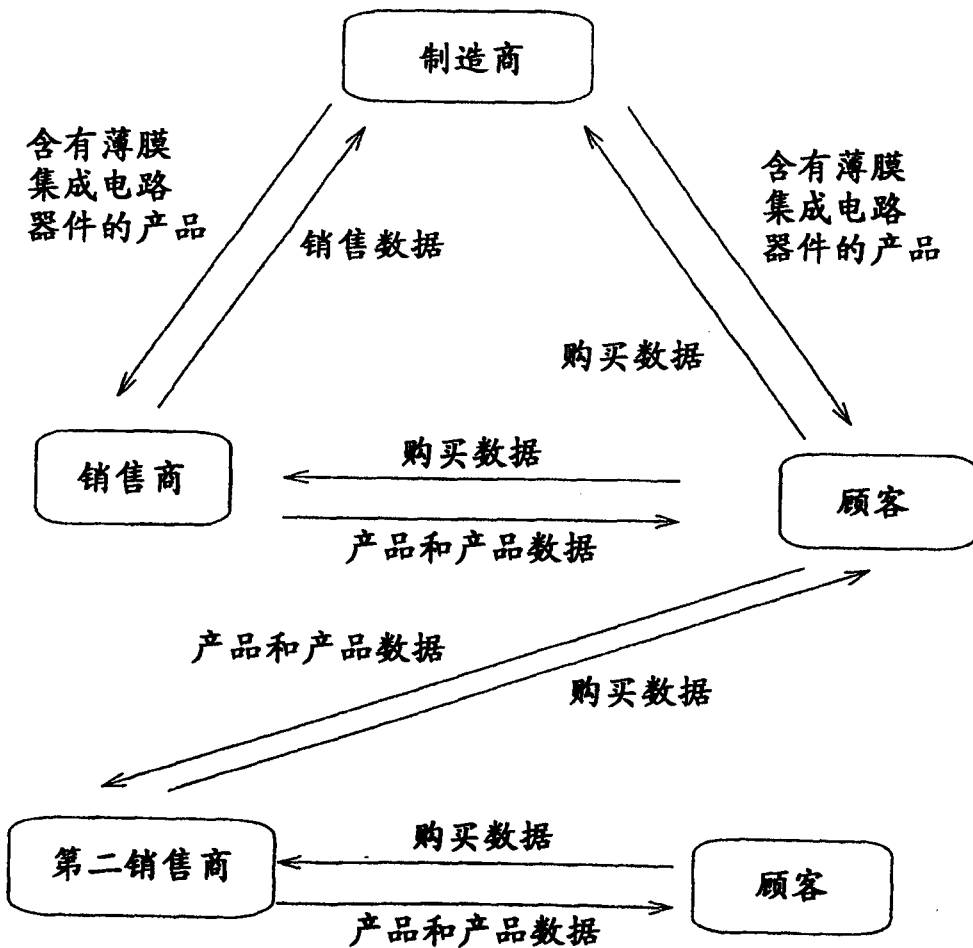
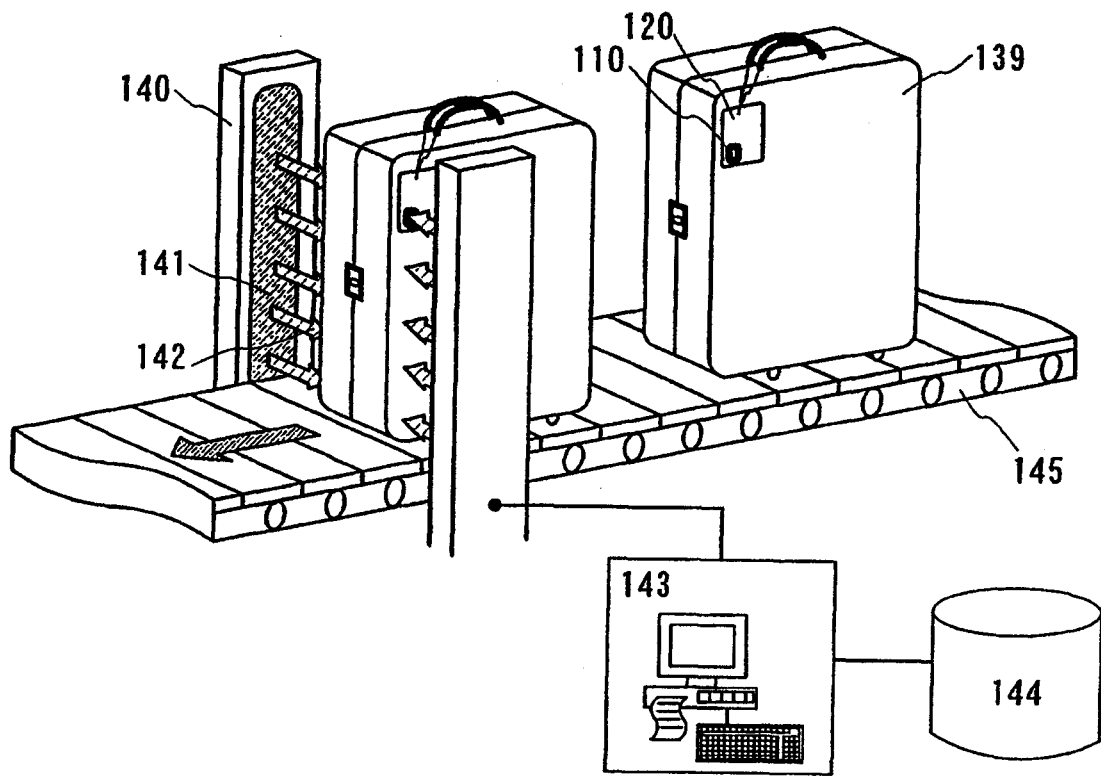


图 33



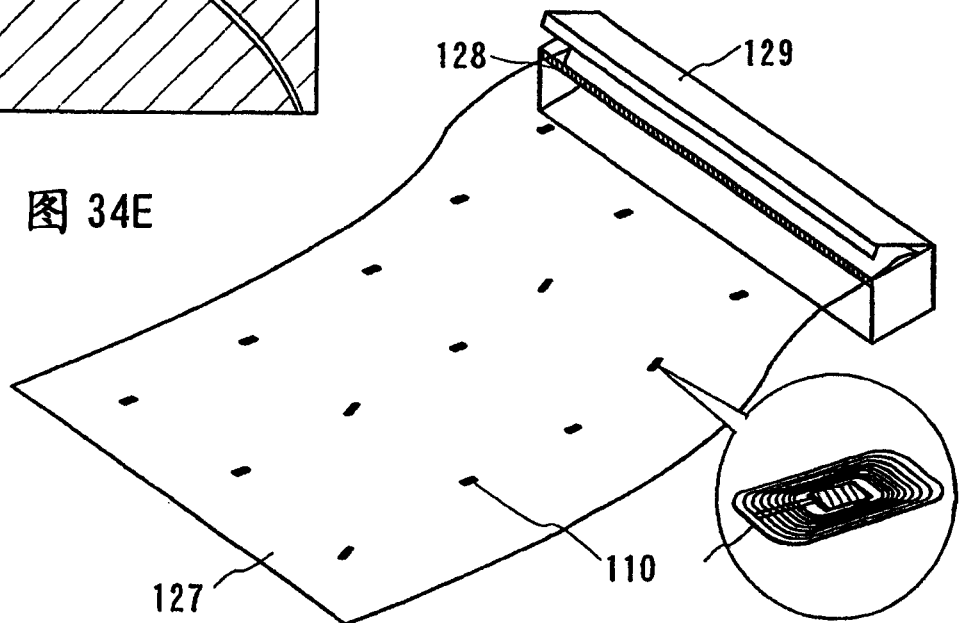
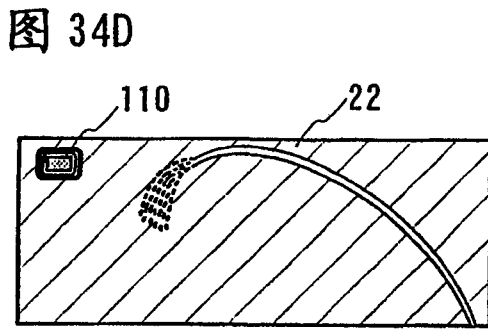
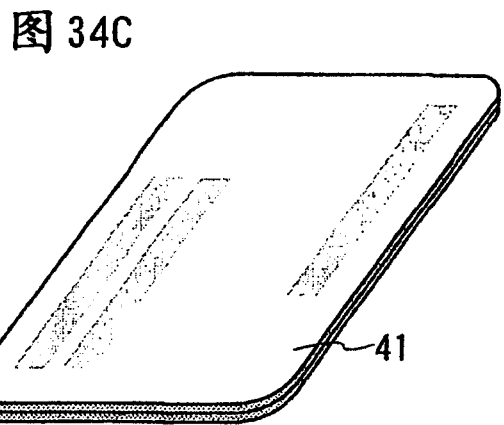
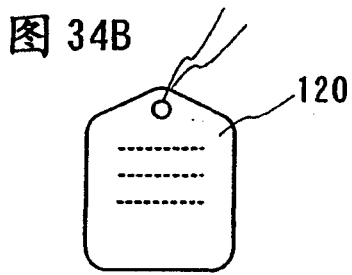
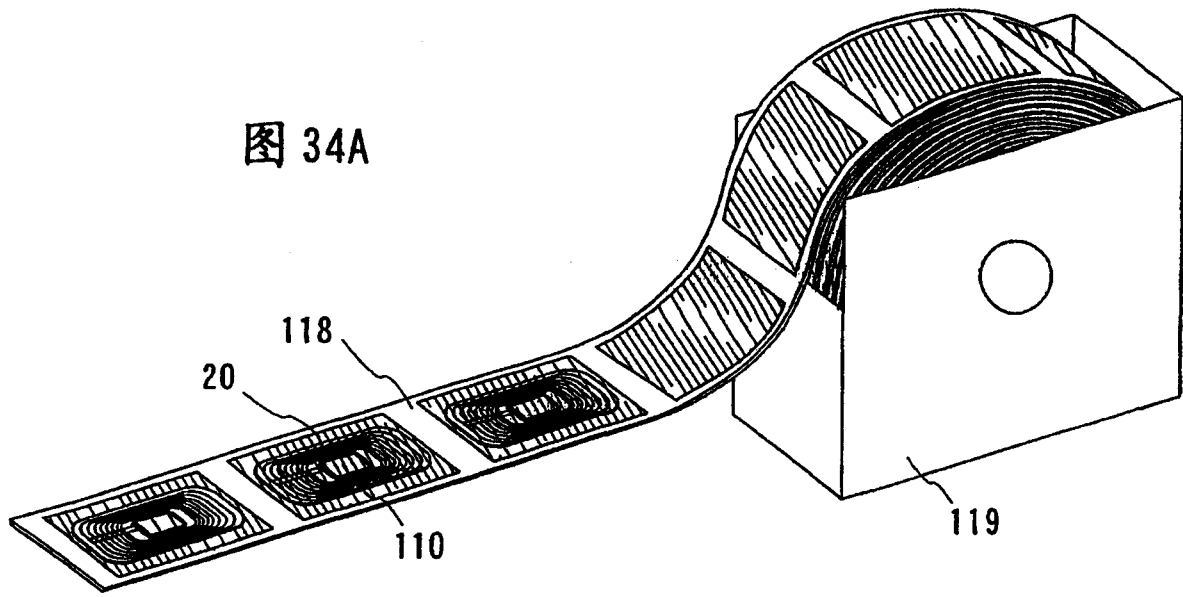


图 35A

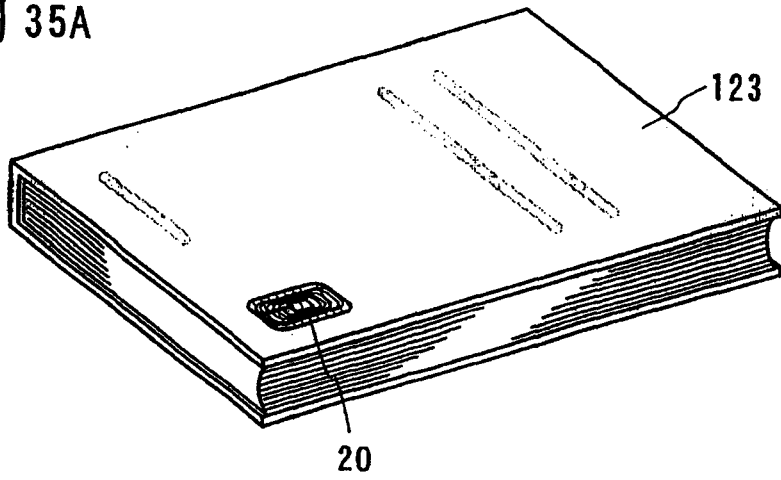


图 35B

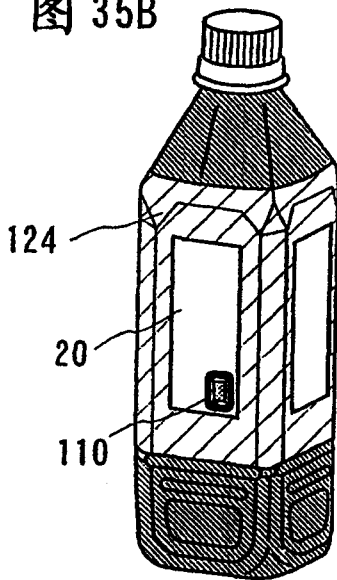


图 35C

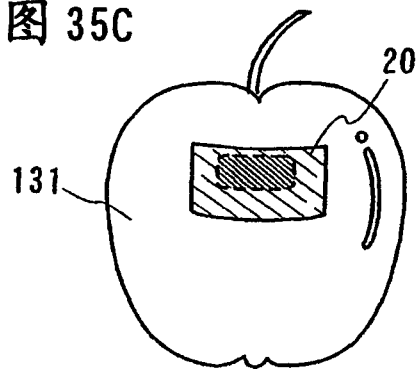


图 35D

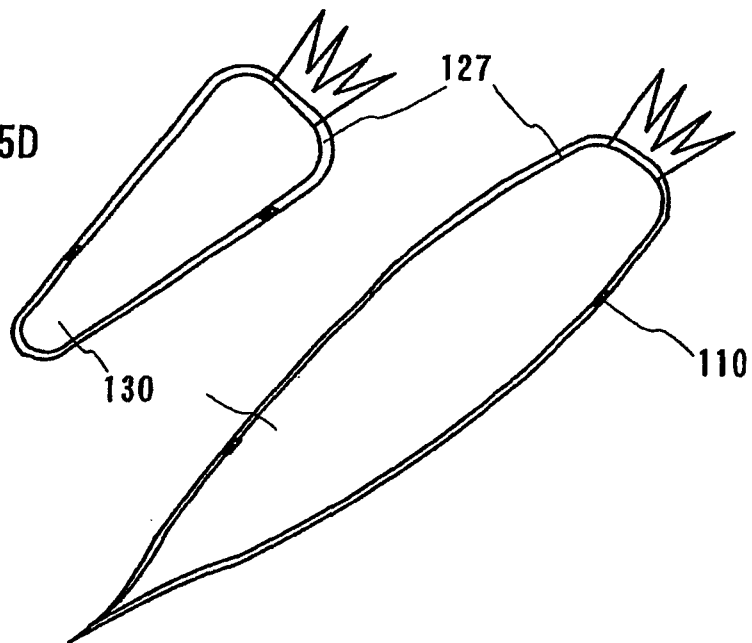


图 36A

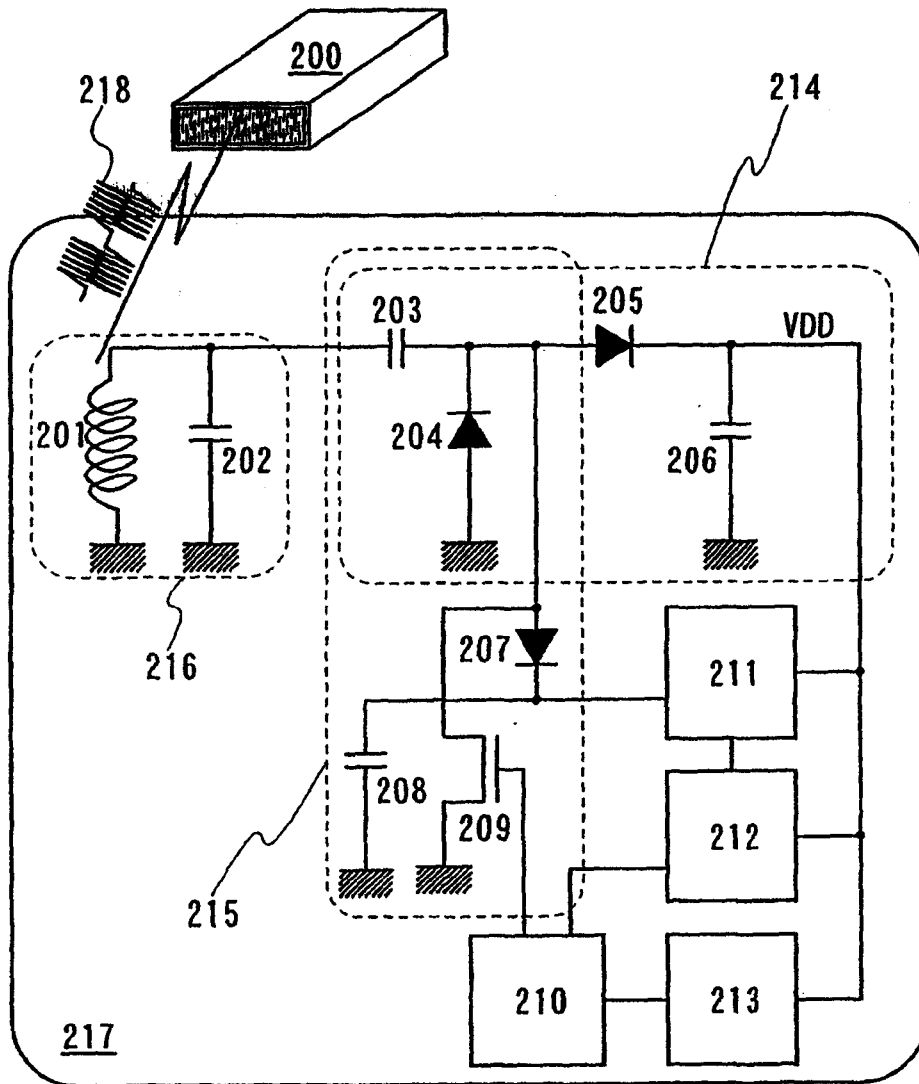
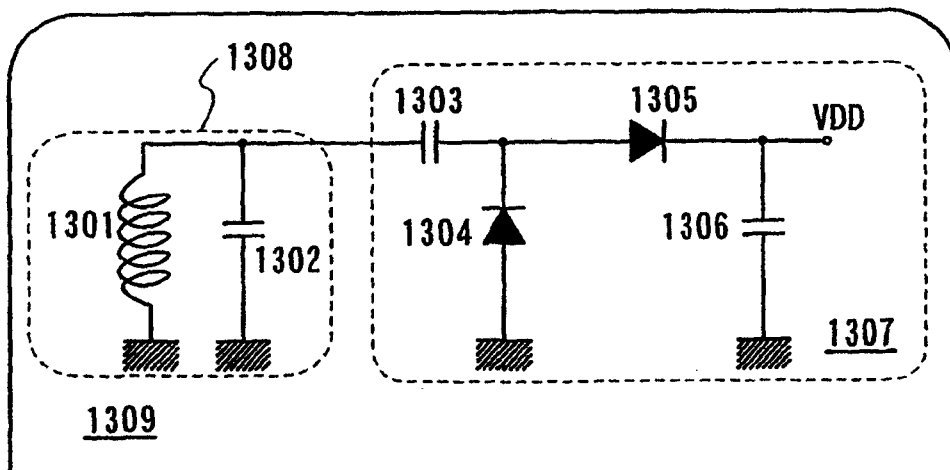


图 36B



标记说明

10: 标记基底, 11: 天线, 12: 连接焊盘, 13: 薄膜集成电路器件, 14: 图像, 15: 粘结层, 16: 分隔片, 17: 涂层, 18: 交叉布线, 19: 接触部分, 20: ID 标记, 21: 连接布线, 21a: 连接布线, 21b: 连接布线, 21c: 连接布线, 22: 各向异性导电膜, 23: TFT, 24: 小型真空销装置, 25: 小销子, 26: 粘结层, 27: 绝缘层, 28: 接触部分, 29: TFT 形成区, 30a: 第一层间膜, 30b: 第二层间膜, 31: 保护膜, 32: 内部基底, 33: 表面, 35: 保护层, 36: 粘结层, 34: 保护层, 37a: 顶底卡基底, 37b: 底卡基底, 38: 粘结层, 39: 粘结层, 40: 涂层, 41: ID 卡, 42a: 顶基底, 42b: 底基底, 43a: 顶基底, 43b: 底基底, 44: 内部基底, 45: 膜层, 46: 天线集成薄膜集成电路器件, 47: 天线, 48: 薄膜集成电路器件, 51: 布线, 51a: 布线, 51b: 布线, 52: 交叉布线, 53: 层间膜, 54: 保护膜, 54a: 保护层, 55: 保护膜, 56: 栅电极, 57: 半导体层, 58: 栅绝缘膜, 60: 衬底, 61: 剥离层, 63: 抗蚀剂, 64: 杂质元素, 65: 低浓度杂质区, 66: 抗蚀剂, 67: 杂质元素, 68: 高浓度杂质区, 69: n 型 TFT, 70: p 型, 73: CPU, 74: 存储器, 75: 绝缘膜, 76: 侧壁, 77: 抗蚀剂, 78: 杂质元素, 79: 杂质元素, 80: 端子部分, 81: 槽, 82: 突起, 83: 夹具, 84: 粘结剂, 85: 孔隙, 86: 气体, 87: 抗蚀剂, 88: 衬底, 89: 平坦化膜, 90: 硅晶片, 91: 氧化膜, 92: 热氧化的硅衬底, 93: 单晶硅衬底, 94: 氧化膜, 95: 单晶硅层, 96: SIMOX 衬底, 97: 托盘, 98: 小销子, 99: 用作托盘的衬底, 100: 钟形罩, 101: 衬底, 102: 加热器, 103: 排气管, 104: 柔性衬底, 105: 天线, 105a: 顶天线, 105b: 底天线, 106: 连接焊盘, 107: IDF 芯片, 108: 连接端子, 109a: 顶连接布线, 109b: 底连接端子, 110:

IDF 芯片, 111: 对齐标识, 113: 粘结剂, 114: UV 射线, 115: 源区, 116: 沟道区, 117: 漏区, 118: 标记安装, 119: 盒子, 120: ID 标记, 122: 付息票债券, 123: 书, 124: 塑料瓶, 127: 包装膜, 128: 切割机, 129: 盒子, 130: 蔬菜, 131: 水果, 132: 产品, 133: R/W, 134: 天线部分, 135: 显示部分, 136: 操作键, 137: POS 系统, 138: 私人账户, 139: 行李, 140: 读写器, 141: 天线, 142: 无线电波, 143: 计算机, 144: 数据库, 145: 传送带, 170: 读写器的主体, 171: 传感器部分, 172: 产品, 180: 便携电话的主体, 181: 传感器部分, 183: 显示部分, 190: 阅读器的主体, 191: 传感器部分, 193: 显示部分, 200: 读写器, 201: 天线布线, 202: 天线电容器, 203: 电容器, 204: 二极管, 205: 二极管, 206: 电容器, 207: 二极管, 208: 电容器, 209: 开关元件, 210: 逻辑电路, 211: 放大器, 212: 时钟产生电路和解码器, 213: 存储器, 214: 电源电路, 215: 输入/输出电路, 216: 天线电路, 217: IDF 芯片, 218: 无线电波, 300: 标记纸供应装置, 301: ACF 供应装置, 302: IDF 芯片粘结装置, 303: 粘结层供应装置, 304: 分隔纸供应装置, 305: 标记上卷装置, 306: 标记分隔装置, 307: 收集装置, 308: 基底供应装置, 309: 基底分隔装置, 310: 层压设备, 400: 输入天线, 401: 输出天线, 402: 输入接口, 403: 输出接口, 404: CPU, 405: 协处理器, 406: ROM, 407: RAM, 408: 非易失性存储器, 409: 总线, 410: 薄膜集成电路器件, 411: 非接触集成电路器件, 412: 无线电波, 414: 读写器 (R/W), 415: 数据库, 416: 集成电路, 417: 输出接口, 418: 输出天线, 419: 计算机, 420: 整流电路, 421: 解调电路, 423: 调制电路, 424: 放大器, 425: 输入天线, 426: 输入接口, 427: 控制器, 900: 控制部分, 901: 算术单元, 902: 算术寄存器, 903: A 寄存器, 904: B 寄存器, 905: 主存储器,

906: 程序存储器, 907: 工作存储器, 908: 数据存储器, 910: 寄存器组, 911: 地址控制部分, 912: 指令寄存器, 913: 指令解码器, 914: 输入/输出接口, 915: 内部总线, 916: 数据总线, 917: 地址总线, 918: 控制总线, 919: CPU, 1301: 天线布线, 1302: 天线电容器, 1303: 电容器, 1304: 二极管, 1305: 二极管, 1306: 电容器, 1307: 电源电路, 1308: 天线电路, 1309: IOF 芯片