

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 27/108

(45) 공고일자 1999년03월20일
(11) 등록번호 특0179794
(24) 등록일자 1998년11월28일

(21) 출원번호	특1995-062055	(65) 공개번호	특1997-054087
(22) 출원일자	1995년12월28일	(43) 공개일자	1997년07월31일

(73) 특허권자 엘지반도체주식회사 문정환
 충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 이혁재
 충청북도 청주시 흥덕구 봉명동 초원아파트 101동 302호
(74) 대리인 박장원

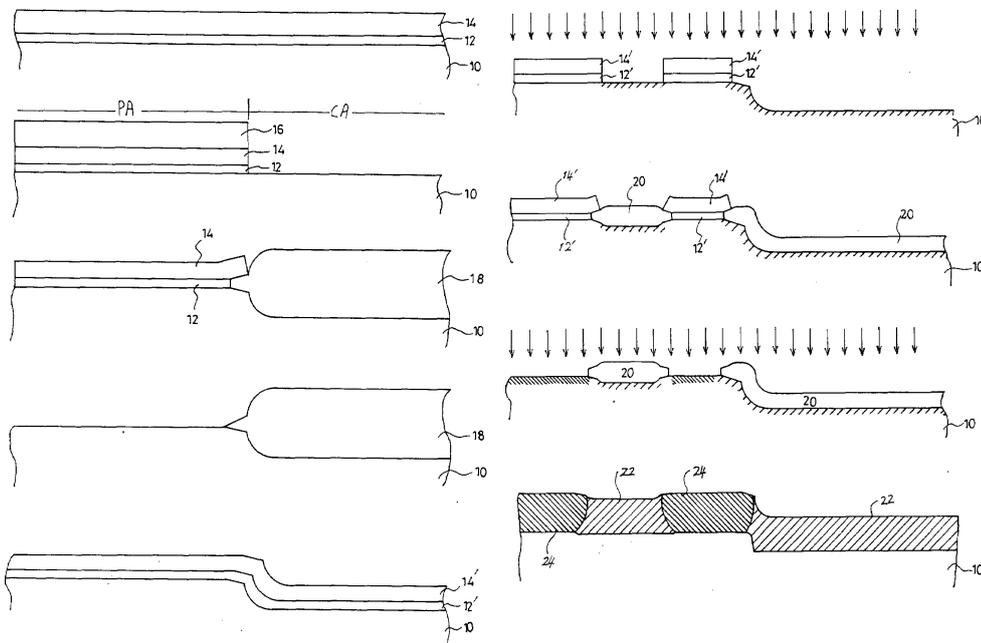
심사관 : 신양환

(54) 반도체 소자의 웰 형성방법

요약

본 발명은 반도체 소자의 웰 형성방법에 관한 것으로, 반도체 기판상의 주변회로부에 완충막과, 상기 완충막 위에 산화가능막과, 상기 산화가능막 위에 산화방지막을 형성하는 공정과; 상기 산화가능막의 표면이 일부 드러나도록 산화방지막을 소정 부분 식각하는 공정과; 열산화를 실시하여 주변회로부의 산화가능막이 노출된 부분과, 기판 표면이 노출된 셀 형성부에 필드 산화막을 형성하는 공정과; 상기 산화방지막과 산화가능막 및 완충막을 제거하는 공정과; 고 에너지로 제1도전형 불순물을 이온주입하는 공정과; 상기 필드 산화막을 마스크로 하여 저 에너지로 제2도전형 불순물을 이온주입하는 공정 및; 상기 필드 산화막을 제거하고, 확산을 실시하여 제1 및 제2도전형 웰을 형성하는 공정을 포함하여 소자 제조를 완료함으로써, 1) 공정단순화를 기할 수 있게 되어 공정 시간 단축 및 생산성 향상을 이룰 수 있으며, 2) 고 에너지 이온주입시 필수적으로 이용되는 4 μ m 이상의 두꺼운 감광막을 사용할 필요가 없어 고에너지 이온주입 과정에서 감광막 입자에 의해 발생하는 실리콘 기판의 격자 손상(defect)을 방지할 수 있고, 3) 래치-업 내성(immunity)을 향상시킬 수 있는 고신뢰성의 반도체 소자를 구현할 수 있게 된다.

대표도



명세서

[발명의 명칭]

반도체 소자의 웰 형성방법

[도면의 간단한 설명]

또한, 고 에너지 이온주입을 통하여 반도체 소자의 웰을 형성할 경우에는 도면 상에 도시되지는 않았으나 기판상에 얇은 두께의 산화막을 성장시킨 뒤, 로커스(LOCOS) 기술을 이용하여 필드 산화막을 성장시키고, 이어 N웰이나 P웰 형성을 위한 이온주입 공정을 실시한 다음, 1000℃ 내외의 온도에서 약 30분 내지 60분 동안 열공정을 실시하여 N웰 및 P웰을 형성하게 된다.

이때, N웰을 형성하고자 할 경우에는 N웰이 형성될 부분의 산화막 표면만이 노출되도록 그 전면을 4 μm 내지 5 μm 두께의 감광막으로 덮어준 뒤 이를 마스크로 고에너지 이온주입을 실시하고, 반대로 P웰을 형성하고자 할 경우에는 P웰이 형성될 부분의 산화막 표면만이 노출되도록 그 전면을 4 μm 내지 5 μm 두께의 감광막으로 덮어준 뒤 이를 마스크로 고에너지 이온주입을 실시한다.

그러나, 상기 공정 역시 고 에너지 이온주입을 위해 4 μm 이상의 두꺼운 감광막을 사용하여야 하므로 공정 융통성 및 생산성 면에서 효율성이 떨어질 뿐 아니라 고 에너지 이온주입시 상기 감광막의 화학 성분이 변화하거나 또는 상기 감광막의 입자(particle)가 실리콘 격자에 손상을 야기시키는 현상이 발생할 수 있다는 단점을 가진다.

이에 본 발명은 상기와 같은 단점을 개선하기 위하여 이루어진 것으로, N웰 하부에 P웰이 형성되도록 웰 형성 공정을 진행함으로써 래치-업 특성을 향상시킬 수 있을 뿐 아니라 공정단순화 및 감소된 단차를 실현할 수 있도록 한 반도체 소자의 웰 형성방법을 제공함에 그 목적이 있다.

상기와 같은 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 웰 형성방법은 반도체 기판상의 주변회로부에 완충막과, 상기 완충막위에 산화가능막과, 상기 산화가능막 위에 산화방지막을 형성하는 공정과; 상기 산화가능막의 표면이 일부 드러나도록 산화방지막을 소정 부분 식각하는 공정과; 열산화를 실시하여 주변회로부의 산화가능막이 노출된 부분과, 기판 표면이 노출된 셀 형성부에 필드 산화막을 형성하는 공정과; 상기 산화방지막과 산화가능막 및 완충막을 제거하는 공정과; 고에너지로 제1도전형 불순물을 이온주입하는 공정과; 상기 필드 산화막을 마스크로 하여 저 에너지로 제2도전형 불순물을 이온주입하는 공정 및; 상기 필드 산화막을 제거하고, 확산을 실시하여 제1및 제2도전형 웰을 형성하는 공정을 포함하여 형성되는 것을 특징으로 한다.

상기 공정 결과, 고 에너지 주입시 필수적으로 사용되는 두꺼운 감광막을 사용할 필요가 없어 감광막 입자에 의해 발생하는 실리콘 기판의 손상(defect)을 방지할 수 있을 뿐 아니라 공정 단순화를 기할 수 있게 된다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명한다.

제2(a)도 내지 제2(g)도는 본 발명에 의한 반도체 소자의 웰 형성 방법을 도시한 공정순도를 나타낸 것으로, 상기 공정순도를 참조하여 그 제조공정을 보다 구체적으로 살펴보면 다음과 같다.

먼저, 제2(a)도에 도시된 바와 같이 실리콘 기판(100) 상에 완충막인 산화막(102)을 50Å 내지 300Å의 얇은 두께로 형성한 뒤, 상기 산화막(102) 상에 산화가능막인 다결정실리콘(104)과 산화방지막인 질화막(106)을 순차적으로 증착한다.

그후, 제2(b)도에 도시된 바와 같이 상기 질화막(106) 상에 감광막(108)을 코팅(coating)하고, 셀이 형성될 부분의 감광막을 감광시켜 제거한다. 이어 패터닝된 상기 감광막(108)을 마스크로 상기 질화막(106)과 다결정실리콘(104) 및 산화막(102)을 식각한 후, 상기 감광막을 제거하여 셀 형성부(CA)와 주변회로부(PA)를 정의한다.

그 다음, 제2(c)도에 도시된 바와 같이 상기 질화막을 포함한 기판 전면에 감광막(108)을 코팅하고, NMOS가 형성될 부분의 감광막을 감광시켜 제거한 뒤, 이를 마스크로 그 하부의 질화막(106)을 식각하여 다결정실리콘 표면이 소정 부분 드러나도록 한다.

이어서, 제2(d)도에 도시된 바와 같이 상기 감광막(108)을 제거하고 제2(e)도에 도시된 바와 같이 열산화공정을 실시하여 주변회로부의 다결정실리콘이 노출된 부분과, 기판 표면이 노출된 셀 형성부에 10000Å 두께의 필드 산화막(110)을 형성한다.

이후, 제2(f)도에 도시된 바와 같이 상기 질화막(106)과 다결정실리콘(104) 및 얇은 두께의 산화막(102)을 제거하고, 상기 필드 산화막(110)을 투과할 정도로 충분히 높은 에너지 예컨대, 2MeV 내지 4MeV의 고 에너지로 P형 불순물을 이온주입한다. 그 결과, 상기 도면에서 알 수 있듯이 필드 산화막(110)이 형성되어 있지 않은 부분은 기판 표면으로부터 소정 깊이 들어간 부분에 P형 이온주입 영역(a)이 형성되고, 필드 산화막(110)이 형성되어 있는 부분은 기판 표면 바로 아래에 P형 이온주입 영역(a)이 형성되게 된다.

계속해서, 상기 필드 산화막(110)을 투과할 수 없는 낮은 에너지 예컨대, 100KeV 내지 200KeV의 저 에너지로 N형 불순물을 이온주입한다. 그 결과, 상기 도면에서 알 수 있듯이 필드 산화막(110)이 형성되어 있지 않은 기판 내에만 N형 이온주입 영역(b)이 형성된다.

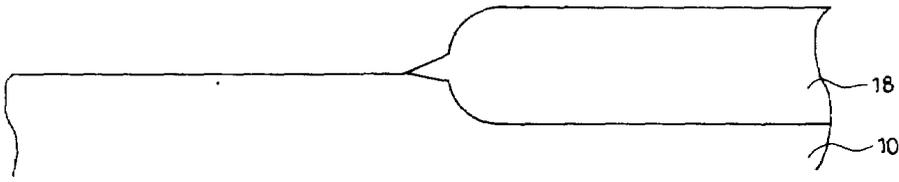
마지막으로, 제2(g)도에 도시된 바와 같이 확산공정을 실시하여 상기 N웰(114) 아래의 P웰(112)이 형성되어 있는 형태의 P웰(112) 및 N웰(114)을 형성함으로써 본 공정을 완료한다. 그 결과, 전체적인 P웰 저항이 감소하여 래치-업 특성이 향상된다.

상술한 바와 같이 본 발명에 의하면, 1) 1회의 산화공정으로 N웰 및 P웰 형성 공정을 완료함으로써 공정 단순화를 기할 수 있게 되어 공정시간 단축 및 생산성 향상을 이룰 수 있으며, 2) 고 에너지 이온 주입시 필수적으로 이용되는 4 μm 이상의 두꺼운 감광막을 사용할 필요가 없어 고 에너지 이온주입 과정에서 감광막 입자에 의해 발생하는 실리콘 기판의 격자 손상(defect)을 방지할 수 있고, 3) 래치-업 내성(immunity)을 향상시킬 수 있는 고신뢰성의 반도체 소자를 구현할 수 있게 된다.

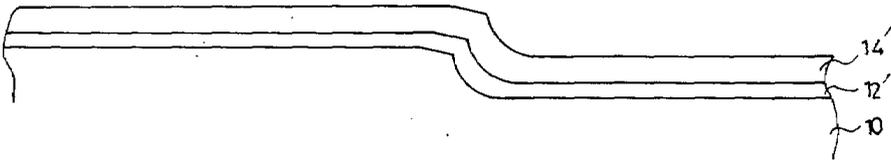
(57) 청구의 범위

청구항 1

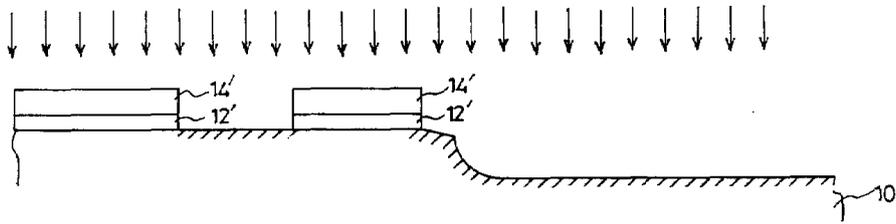
도면 1d



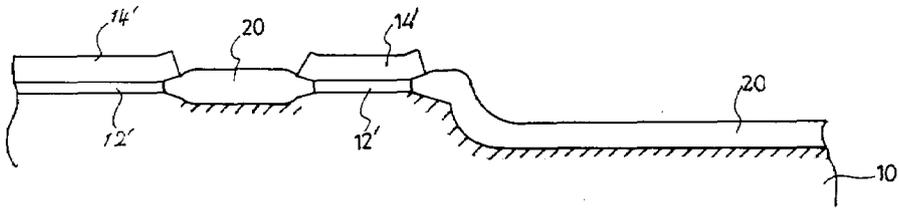
도면 1e



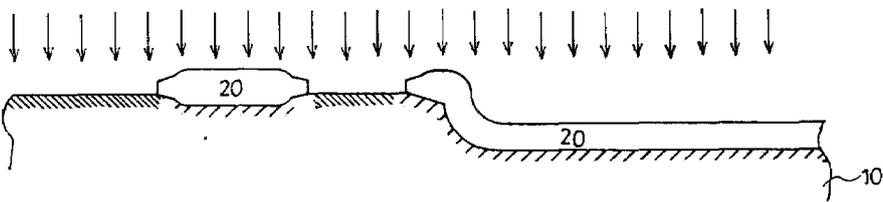
도면 1f



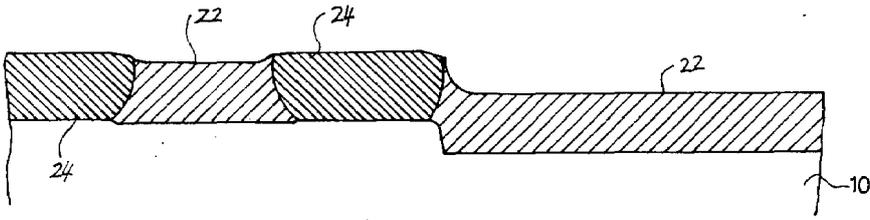
도면 1g



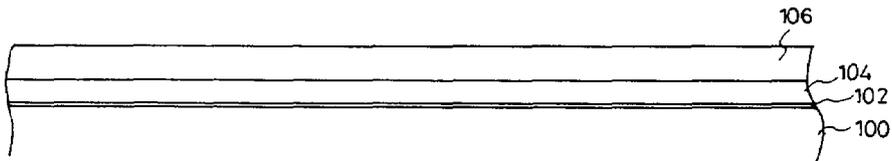
도면 1h



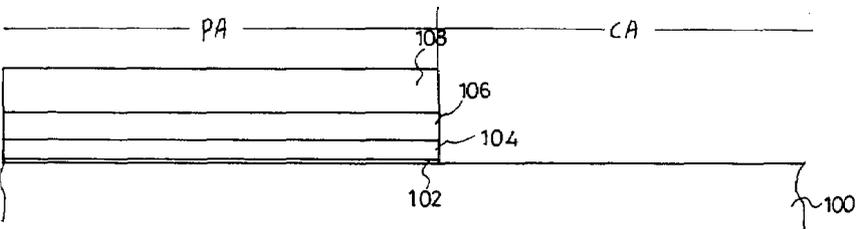
도면1i



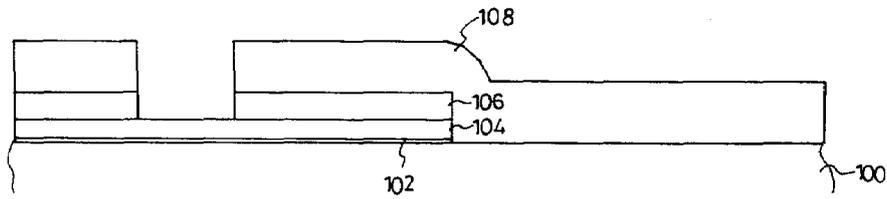
도면2a



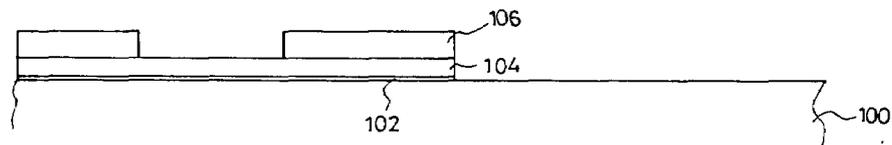
도면2b



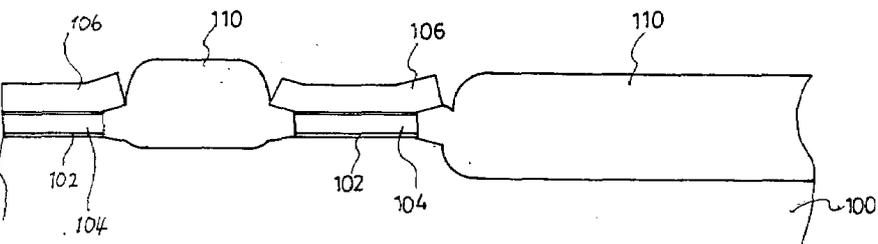
도면2c



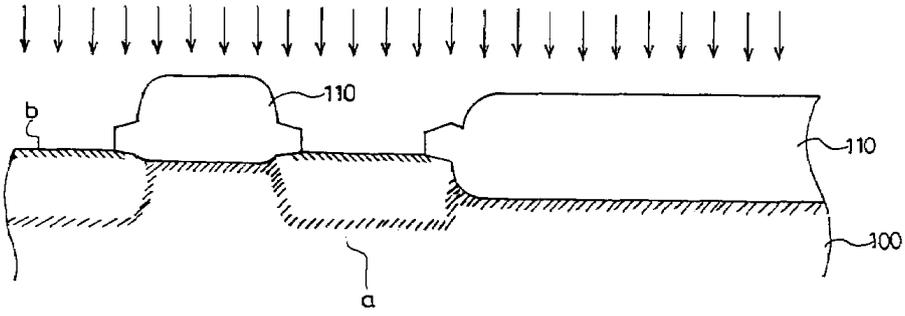
도면2d



도면2e



도면2f



도면2g

