

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H04M 11/06

(45) 공고일자 1991년07월24일
(11) 공고번호 특1991-0005317

(21) 출원번호	특1988-0011207	(65) 공개번호	특1990-0004144
(22) 출원일자	1988년08월31일	(43) 공개일자	1990년03월27일
(71) 출원인	삼성전자주식회사 안시환 경기도 수원시 권선구 매탄동 416번지		
(72) 발명자	김병환 경기도 안양시 비산동 154-3 영실빌라 A동 202호		
(74) 대리인	이건주		

심사관 : 김성배 (책자공보 제2386호)

(54) 시그널링데이터 음성 데이터 및 사용자 데이터의 통합회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

시그널링데이터, 음성 데이터 및 사용자 데이터의 통합회로

[도면의 간단한 설명]

제1도는 송수신 데이터 구성도.

제2도는 a, b는 본 발명에 따른 회로도.

제3도는 본 발명에 따른 동작파형도.

제4도는 일반적인 시간압축방식의 일실시도.

* 도면의 주요부분에 대한 부호의 설명

10 : 인버터

15 : 플립플롭

20, 30, 45 : 앤드게이트

25 : 분주기

35 : 래치

40 : 선택멀티플렉스

50,55 : 직렬 레지스터

60 : 낸드게이트

65,70,75 : 병렬 레지스터

[발명의 상세한 설명]

본 발명은 2선식 디지털 전화기에 있어서 시간압축방식의 전송회로에 관한 것으로, 특히 시그널링 데이터, 음성 데이터(voice) 및 사용자 데이터(data)를 통합하여 전송할 수 있는 시그널링 데이터, 음성 데이터 및 사용자 데이터 통합회로에 관한 것이다.

일반적으로 2선식 전달방법에는 3가지 방식이 있다.

첫째로 주파수분할방식(frequency Division Multiplying : FDM), 둘째로 에코제거방식(Echo Canceller Method : ECM), 셋째 시간압축방식(TIME Comperssion Multiplexing : TCM)이다.

이중에서 가격이 저렴하며 집적화가 용이한 시간압축방식을 본 발명에서는 적용한다.

그리고 본 발명에서 적용하는 시간압축방식에 대해 간단히 설명하면 이 방법은 제4a도와 같이 소정의 전

송 릴레이시간(T)후의 마스터(master)(예 : 사설교환기)가 송신(Tx)하면, 제4b도와 같이 슬레이브(Slave)가 수신(Rx)하고, 상기 슬레이브에서 송신(Tx)하여 제4a도와 같이 상기 마스터(master)가 수신(Rx)하므로 일명 핑 풍(ping pong)전송이라고 한다.

즉 이 방법은 단위시간당 보내고자 하는 정보를 시간적으로 압축하여 단위시간보다 짧은 시간내에 송출하고 남은 시간을 상대방에게 할당하여 이 시간에 이용 정보를 전송하는 방법이다.

종래에는 아날로그전송기를 이용할 경우에 음성 데이터(voice)만 전송하는 것이 가능하였으므로, 사용자에게 만족스러운 서비스를 제공할 수 없는 문제점이 있어왔다.

따라서 본 발명의 목적은 시간압축방식을 이용하여 시그널링 데이터, 음성 데이터(voice)및 사용자 데이터(data)를 통합 전달하므로 사용자에게 보다 양질의 서비스를 제공할 수 있는 시그널링 데이터, 음성 데이터, 사용자 데이터 통합회로를 제공함에 있다.

이하 본 발명을 첨부한 도면을 참조하여 상세히 설명한다.

제1도는 마스터(예 : 사설교환기)와 슬레이브(예 : 디지털전화기)간에 송수신하는 데이터 구성도로서 프레임(frame)의 데이터 구성을 예시한 도면이다.

도면에 나타낸 바와 같이 1프레임의 길이는 총 24비트로서 구성되어 있다.

그리고 제1동기신호(SY1)은 동기를 위한 데이터로서 항상 " 1 "이며 제2동기신호(SY)은 (1,0,0,0)의 주기를 가지고 프레임 구분데이터를 나타낸다.

또한, 제1시그널링 데이터(SG1), 제2시그널링 데이터(SG2)를 마스터와 슬레이브의 마이크로 프로세서간의 통신데이터로서 소프트웨어 제어신호이며 상기 데이터들은 각각 1비트씩 할당되었다.

또한 디지털전화기의 음성신호를 디지털신호로 변환하여 데이터로 실려있는 음성 데이터(Voice)와 데이터단말에서 출력하는 사용자 데이터(data)는 각각 8비트씩 할당되었다.

그러므로 제1동기신호(SY1), 제2동기신호(SY2), 제1시그널링 데이터(sg1), 제2시그널링 데이터(SG2)가 각각 1비트씩 음성 데이터, 사용자 데이터는 각각 8비트씩 그리고 사용하지 않는 4비트 총 24비트로 구성된다.

그리고 데이터 전화기만 사용할 때의 데이터 구성도 즉 한쌍의 전화선으로 디지털 전화기를 병렬로 사용할 때는 사용자데이터(data)를 음성 데이터(voice)로하여 구성할 수 있다.

제2도는 본 발명에 따른 시그널링 통합회로로서, 입력단자(11)를 통한 소정 마스터 클럭발생기의 수신인 에이블신호(RXSHEN)를 인버팅하여 소정의 제1클럭신호를 생성하는 인버터(10)와, 상기 인버터(10)의 제1클럭신호가 클럭단자(CK)로 입력에 따라 입력단자(1)를 통한 소정 마스터 클럭발생기의 제2동기신호(SY2)를 래치하는 플립플롭(15)와, 상기 플립플롭(15)에서 출력하는 제2동기신호(SY2) 입력단자(11)를 통한 소정 마스터 클럭발생기의 송신인에이블 신호를 각각 입력 비교하여 소정의 클리어 신호를 생성하는 앤드게이트(20)와, 입력단자(2)를 통한 소정 마스터 클럭발생기의 제2클럭신호 즉 8K클럭신호가 클럭단자(CK)로 입력함에 따라 2분주 및 3분주하여 4K분주신호, 2K분주신호를 생성하고 또한 상기 앤드게이트(20)의 클리어신호에 따라 클리어되는 분주기(25)와, 상기 분주기(25)의 4K분주신호, 2K분주신호를 입력비교하여 새로이 생성한 제2동기신호를 출력단자(93)를 통해 출력하는 앤드게이트(30)와, 라이트 클럭단자(4)를 통한 소정 중앙처리장치의 라이트 클럭이 클럭단자(CK)로 입력함에 따라 데이터버스(3)를 통한 소정의 데이터를 래치하는 래치(35)와, 상기 래치(35)를 통한 시그널링 데이터를 상기 분주기(25)의 4K분주신호와 2K분주신호에 따라 선택 래치하여 소정의 제1시그널링 데이터 제2시그널링 데이터를 생성하여 각각 출력단자(94,95)를 통해 출력하는 선택멀티플렉스(40)와, 입력단자(86)를 통한 소정 마스터 클럭발생기의 제3클럭신호 즉 8K클럭신호와 입력단자(87)를 통한 소정 마스터 클럭발생기의 제4클럭신호 즉 128K클럭신호를 양단자로 입력 비교하여 소정의제5클럭신호를 생성하는 앤드게이트(45)와, 상기 앤드게이트(45)의 제5클럭신호가 클럭단자(CK)로 입력함에 따라 상기 음성 데이터 입력단자(85)를 통한 소정 마스터의 음성 데이터 8비트를 직렬로 입력하여 병렬로 변환하는 직병렬 레지스터(50)와, 입력단자(89)를 통한 소정 마스터 클럭발생기의 제6클럭신호 즉 6KHZ클럭신호와 클럭단자(CK)로 입력함에 따라 데이터 입력단자(88)를 통한 소정 마스터의 사용자 데이터 8비트를 직렬로 입력하여 병렬로 변환하는 직병렬 레지스터(55)와, 입력단자(90)를 통한 소정 마스터 클럭발생기의 송신인에이블신호와 입력단자(91)를 통한 소정 마스터 클럭발생기의 제7클럭신호 즉 512KHZ 클럭신호가 양단자로 입력함에 따라 비교하여 소정의 제8클럭신호를 생성하는 낸드게이트(60)와, 상기 낸드게이트(60)의 제8클럭신호가 클럭단자(CK)로 입력함에 따라 입력단자(92)를 통한 " 5V " 신호 즉 제1동기신호, 상기 출력단자(93,94)를 각각 통한 제1시그널링 데이터 및 제2시그널링 데이터와 상기 직병렬 레지스터(50)의 음성 데이터 상위 4비트를 각각 병렬로 입력하고 상기 송신인에이블단자(90)를 통한 소정 마스터 클럭발생기의 송신인에이블신호가 입력함에 따라 출력단자(80)을 통해 직렬로 송신하는 병직렬 레지스터(65)와, 상기 낸드게이트(60)의 소정 제8클럭신호가 클럭단자(CK)로 입력함에 따라 상기 직병렬 레지스터(50)의 하위 4비트와 상기 직병렬 레지스터(55)의 상위 4비트를 각각 병렬로 입력하고 소정 마스터의 클럭발생기로부터 상기 송신인에이블단자(90)를 통한 소정 마스터 클럭발생기의 송신 인에이블신호가 입력함에 따라 상기 병직렬 레지스터(65) 및 출력단자(80)를 통해 직렬로 출력하는 병직렬 레지스터(70)와, 상기 낸드게이트(60)의 클럭신호와 클럭단자(CK)로 입력함에 따라 상기 직병렬레지스터(55)의 하위 4비트가 그라운드 레벨의 하위 4비트를 각각 병렬로 입력하여 송신 인에이블 단자(90)를 통한 소정 마스터클럭발생기의 송신 인에이블 신호에 따라 상기 병직렬 레지스터(70)(65) 및 출력단자(80)를 통해 직렬로 레지스터(75)로 구성된다.

제3a도는 제1도에 따른 동작파형도로서, (a)는 소정 마스터의 클럭발생기로부터 생성하는 주파수동기신호의 파형이며, (b)는 입력단자(11)를 통한 소정마스터 클럭발생기의 수신인에이블신호(RXSHEN)의 파형이고, (c)는 입력단자(90)를 통한 소정 마스터 클럭발생기의 송신인에이블신호(TXEN)파형이고, (d)는 플

플립플롭(15)의 출력단자(Q)를 통한 출력신호의 파형이며, (e)는 앤드게이트(20)에서 출력되는 클리어신호 파형이고, (f)는 입력단자(2)를 통한 소정 마스터 클럭발생기의 제2클럭신호 즉 8K클럭신호의 파형이고, (g)는 분주기(25)를 통한 제1분주신호 즉 4K클럭신호의 파형이며, (h)는 분주기(25)를 통한 제2분주신호 즉 2K클럭신호의 파형이고, (i)는 앤드게이트(30)를 통한 제2동기신호(SY2(T))의 파형이며, (j 및 k)는 멀티플렉서(40)의 출력단자(Q1,Q2)를 통한 제1시그널링 데이터 및 제2시그널링 데이터(SG1(T),SG2(T))의 파형이다.

제3b도는 제2b도에 따른 동작파형도로서, (ㄱ)는 소정 클럭발생기로부터 발생하는 주파수동기신호의 파형이며, (ㄴ)는 입력단자(87)를 통한 소정 마스터 클럭발생기의 제4클럭신호 즉 128KHZ클럭파형이고, (ㄷ)는 입력단자(89)를 통한 소정 마스터 클럭발생기의 제6클럭신호 즉 64KHZ클럭파형이며, (ㄹ)는 앤드게이트(45)의 제5클럭신호의 파형이고, (ㅁ)는 음성 데이터 입력단자(85)를 통한 소정 마스터의 음성 데이터(VOICE)파형이며, (ㅂ)는 사용자 데이터 입력단자(85)를 통한 소정 마스터의 사용자 데이터(DATA)파형이고, (ㅅ)는 입력단자(90)를 통한 소정 마스터 클럭발생기의 송신인에이블신호(TXEN)파형이며, (ㅇ)는 앤드게이트(60)의 제8클럭신호의 파형이고, (ㅋ)는 출력단자(80)를 통한 전송데이터(TXFRAME)의 파형이며, (ㅈ)는 입력단자(80)를 통한 소정 클럭발생기의 제3클럭신호 즉 8KHZ클럭의 파형이다.

이하 본 발명을 전술한 제1,2,3도를 참조하여 상세히 설명한다.

먼저 하기의 설명중 인용되는 모든 신호는 제3a도의 (a), 제3b도의 (ㄱ)과 같은 소정 마스터 클럭발생기의 프레임 동기신호에 동기 일치되어 출력된다.

소정 마스터의 클럭발생기로부터 제3a도의 (b)와 같은 수신 인에이블신호(RXSHEN)가 입력단자(11)를 통해 인버터(10)로 입력하면 상기 인버터(10)는 인버팅하여 소정의 제1클럭신호를 생성한다.

그리고 상기 인버터(10)의 제1클럭신호가 플립플롭(15)의 클럭단자(CK)로 입력함에 따라 제3a도의 (d)와 같이 소정 마스터의 (1,0,0,0)의 주기를 가지는 신호 즉 제2동기신호(SY2)는 상기 플립플롭(15)의 입력단자(D)로 래치한다.

이때 상기 플립플롭(15)는 제3a도(d)와 같이 래치된 신호를 출력단자(Q)를 통해 앤드게이트(20)의 한 단자로 입력하고, 상기 앤드게이트(20)는 다른 단자로 상기 입력단자(11)를 통한 수신인에이블신호(RXSHEN)를 입력한다.

그러므로 상기 앤드게이트(20)는 제3a도의 (e)와 같은 소정의 클리어신호를 생성한다.

한편 소정 마스터의 클럭발생기로부터 입력단자(2)를 통한 소정의 제2클럭신호 즉 제3a도의 (f)와 같은 8K클럭신호는 분주기(25)로 입력한다.

그리고 상기 분주기(25)는 입력된 8K클럭신호를 소정 분주하여 생성한 제1분주신호, 제2분주신호 즉 제3a도의 (g),(h)와 같은 4K분주신호, 2K분주신호를 앤드게이트(30)의 양단자로 각각 입력하는 동시에 선택멀티플렉서(40)의 선택입력단자(I9,I10)로 각각 입력한다.

여기서 상기 분주기(25)는 상기 앤드게이트(20)의 클리어신호가 클리어단자(C)로 입력함에 따라 클리어되므로 4주기마다 한 번씩 클리어된다.

한편, 상기 앤드게이트(30)는 상기 분주기(25)의 제1분주신호와 제2분주신호를 입력 비교하여 전송하기 위한 제2동기신호(SY2)를 생성한다.

또 한편 래치(35)는 데이터버스(3)를 통한 제3a도의 (j)와 같은 소정 중앙처리장치의 시그널링 데이터를 8비트씩 래치하여 소정 중앙처리장치의 라이트클럭신호(DTLOCK)가 입력단자(4)를 통해 입력함에 따라 상기 멀티플렉서(40)의 입력단자(I3)로 입력된다.

그리고 상기 멀티플렉서(40)는 상기 분주기(25)를 통한 제1분주신호 및 제2분주신호에 따라 제3a도의 (j)와 같이 시그널링 데이터를 한 비트씩 묶어 제1시그널링 데이터(SG1), 제2시그널링 데이터(SG2)를 각각 출력선(94,95)을 통해 출력한다.

한편 앤드게이트(45)는 입력단자(86)를 통한 제3b도의 (ㅈ)과 같은 소정 마스터 클럭발생기의 제3클럭신호 즉 8K클럭신호와 입력단자(87)를 통한 제3b도의 (ㄴ)과 같은 소정 마스터 클럭발생기의 제4클럭신호 즉 128K 클럭신호가 양단자로 각각 입력함에 따라 제3b도의 (ㄹ)과 같은 제5클럭신호를 생성하여 직병렬 레지스터(50)의 클럭단자(CK)로 입력한다.

그리고 상기 직병렬 레지스터(50)는 상기 앤드게이트(45)의 제5클럭신호가 클럭단자(CK)로 입력함에 따라 상기 입력단자(85)를 통한 음성 데이터(voice) 8비트를 입력단자(I1-I8)를 통해 입력한다.

또한 직병렬 레지스터(55)는 입력단자(89)를 통한 소정 마스터 클럭발생기의 제6클럭신호 즉 64KHZ 클럭신호가 클럭단자(CK)로 입력함에 따라 상기 입력단자(88)를 통한 소정 마스터의 사용자 데이터(data)를 입력단자(I1-I8)로 입력한다.

이때 낸드게이트(60)은 입력단자(90)를 통한 제3b도의 (ㅅ)과 같은 소정 마스터 클럭발생기의 송신 인에이블신호(TXEN)와 입력단자(91)를 통한 소정 마스터 클럭발생기의 제7클럭신호 즉 512KHZ클럭신호를 양단자로 입력하여 제3b도의 (ㅇ)과 같은 소정의 제8클럭신호를 생성한다.

그리고 병직렬변환기(65)는 상기 낸드게이트(60)의 제8클럭신호가 입력함에 따라 입력단자(92)를 통한 5V신호 즉, 제1동기신호(SY1), 입력단자(93)를 통한 상기 제2동기신호(SY2) 입력단자(94)를 통한 제1시그널링 데이터(SG1), 입력단자(95)를 통한 제2시그널링 데이터(SG2)를 각각 입력단자(I15-I18)로 상기 직병렬 레지스터(50)의 출력단자(O1-O4)를 통한 음성 데이터(voice)의 상위 4비트를 입력한다.

또한 병직렬 레지스터(70)는 상기 낸드게이트(60)의 제8클럭신호가 클럭단자(CK)로 입력함에 따라 상기 직병렬 레지스터(50)의 출력단자(O5-O8)를 통한 음성 데이터(voice)의 하위 4비트를 입력하고 상기 직병

렬 레지스터(55)의 출력단자(01-04)를 통한 사용 데이터(data)의 상위 4비트를 입력한다.

그리고 상기 병직렬 레지스터(75)는 상기 직병렬 레지스터(55)의 출력단자(05-08)를 통한 사용자 데이터의 하위 4비트를 입력단자(11-14)로 입력하고 그라운드레벨의 4비트를 입력단자(15-18)로 입력한다.

이때 상기 병직렬 레지스터(65,70,75)는 상기 입력단자(90)를 통한 송신인에이블신호(TXEN)가 입력함에 따라 제1도에 도시된 데이터 구성도 같이 차례로 제1,2동기신호((SY1,SY2) , 제1,2시그널링 데이터(SG1,SG2), 음성 데이터(voice) 8비트, 사용자 데이터(data) 8비트, 사용하지 않는 4개의 널비트를 출력단자(80)를 통해 직렬로 소정 슬레이브(slave)시스템으로 출력한다.

상술한 바와 같이 본 발명은 시간압축방식을 이용하여 시그널링 데이터, 음성 데이터(voice) 및 사용자 데이터(data)로 통합전달하므로 사용자에게 보다 양질의 서비스를 제공하는 이점이 있다.

(57) 청구의 범위

청구항 1

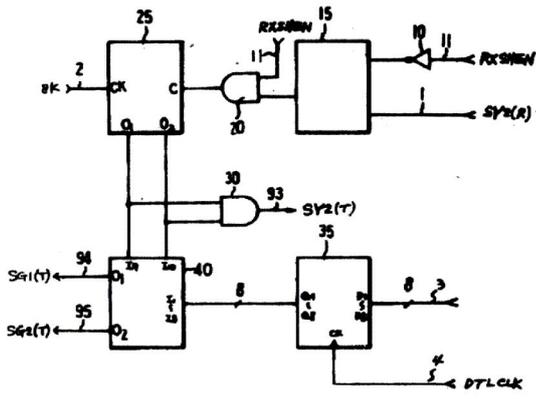
마스터(master)의 음성 데이터(voice), 사용자 데이터(data)를 전송하기 위한 전송회로에 있어서, 입력단자(11)를 통한 소정 마스터의 클럭발생기로부터 생성한 송신인에이블신호(RXSHE)를 인버팅하여 소정의 제1클럭신호를 생성하는 인버터(10)와, 상기 인버터(10)의 제1클럭신호가 클럭단자(CK)로 입력함에 따라 입력단자(2)를 통한 소정 마스터 클럭발생기의 제2동기신호를 래치하는 플립플롭(15)와, 상기 플립플롭(15)의 제2동기신호와 입력단자(11)를 통한 소정 마스터 클럭발생기의 송신 인에이블신호를 각각 입력비교하여 소정 주기마다 클리어신호를 생성하는 앤드게이트(20)와, 입력단자(2)를 통한 소정 마스터 클럭발생기의 소정 클럭신호가 클럭단자(CK)로 입력함에 따라 소정 분주하여 제1분주신호 및 제2분주신호를 생성하고 상기 앤드게이트(20)의 클리어신호에 따라 클리어되는 분주기(25)와, 상기 분주기(25)의 제1분주신호, 제2분주신호를 입력 비교하여 전송하기 위한 소정의 제2동기신호를 새로이 생성한 후 출력선(93)을 통해 출력하는 앤드게이트(30)와, 라이트클럭단자(4)를 통한 소정 중앙처리장치의 라이트 클럭이 클럭단자(CK)로 입력함에 따라 데이터버스(3)를 통한 소정 중앙처리장치의 시그널링 데이터를 입력단자(D1-D9)로 래치하는 래치(35)와, 상기 분주기(25)의 제1분주신호와 제2분주신호에 따라 상기 래치(35)의 출력단자(Q1-Q8)를 통한 시그널링 데이터를 선택 래치하여 생성한 소정의 제1시그널링 데이터를 출력선(94)을 통해 출력하고 제2시그널링 데이터를 출력선(95)을 통해 출력하는 멀티플렉서(40)와, 입력단자(86)를 통한 소정 마스터 클럭발생기의 제3클럭신호와 입력단자(87)를 통한 소정 마스터 클럭발생기의 제4클럭신호를 양단자로 입력 비교하여 소정의 제5클럭신호를 생성하는 앤드게이트(45)와, 상기 앤드게이트(45)의 제5클럭신호가 클럭단자(CK)로 입력함에 따라 음성 데이터 입력단자(85)를 통한 소정 마스터의 음성 데이터를 직렬로 입력하여 병렬로 변환하는 직병렬 레지스터(50)와, 입력단자(89)를 통한 소정 마스터 클럭발생기의 제6클럭신호가 클럭단자(CK)로 입력함에 따라 데이터 입력단자(88)를 통한 소정 마스터의 사용자 데이터를 직렬로 입력하여 병렬로 변환하는 직병렬 레지스터(55)와, 입력단자(90)를 통한 소정 마스터 클럭발생기의 송신 인에이블신호와 입력단자(91)를 통한 소정 마스터 클럭발생기의 제7클럭신호가 양단자로 입력함에 따라 비교하여 소정의 제8클럭신호를 생성하는 낸드게이트(60)와, 상기 낸드게이트(60)의 제8클럭신호가 클럭단자(CK)로 입력함에 따라 입력단자(92)를 통한 제1동기신호, 입력단자(93)를 통한 제2동기신호, 입력단자(94)를 통한 제1시그널링 데이터, 입력단자(95)를 통한 제2시그널링 데이터와 상기 직병렬 레지스터(50)의 입력된 음성 데이터의 소정 상위 비트를 각각 병렬로 입력하고 송신 인에이블단자(90)를 통한 소정 마스터 클럭발생기의 송신 인에이블신호가 입력함에 따라 출력단자(80)를 통해 직렬로 송신하는 병직렬 레지스터(65)와, 상기 낸드게이트(60)의 제8클럭신호가 클럭단자(CK)로 입력함에 따라 상기 직병렬 레지스터(50)의 소정 하위 비트와 상기 직병렬 레지스터(55)의 소정 상위 비트를 각각 병렬로 입력하고 송신 인에이블단자(90)를 통한 소정 마스터 클럭발생기의 송신 인에이블신호가 입력함에 따라 상기 병직렬 레지스터(65) 및 출력단자(80)를 통해 직렬로 출력하는 병직렬 레지스터(70)와, 상기 낸드게이트(60)의 클럭신호가 클럭단자(CK)로 입력함에 따라 상기 직병렬 레지스터(55)의 소정 하위비트와 그라운드 레벨의 비트를 각각 병렬로 입력하여 송신인에이블단자(90)를 통한 소정 마스터 클럭발생기의 송신 인에이블신호가 입력함에 따라 상기 병직렬 레지스터(70),(65) 및 출력단자(80)를 통해 직렬로 출력하는 병직렬 레지스터(75)로 구성됨을 특징으로 하는 시그널링 데이터, 음성 데이터, 사용자 데이터 통합회로.

도면

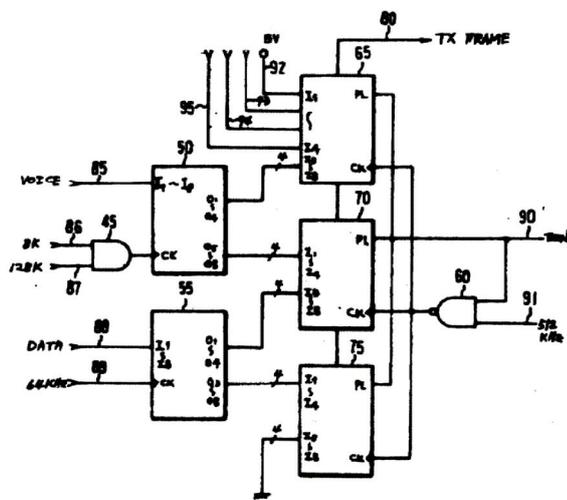
도면1



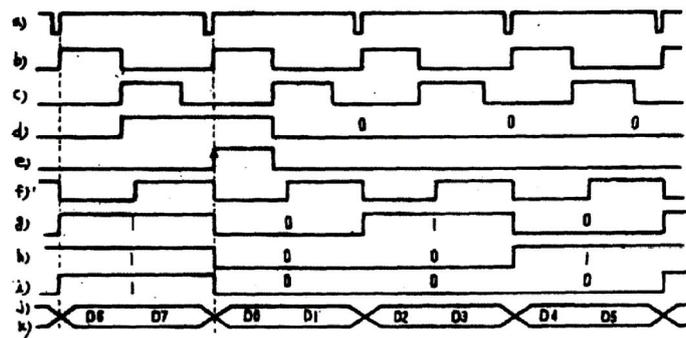
도면2a



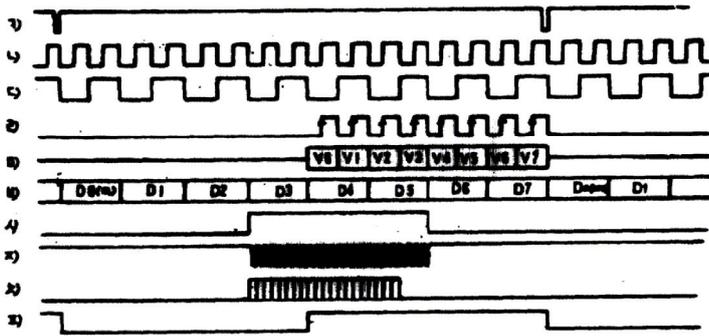
도면2b



도면3a



도면3b



도면4

