

# 公告本

申請日期	89.7.6.
案號	89113377
類別	G01R31/319

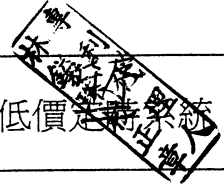
A4  
C4

(以上各欄由本局填註)

555996

## 發明專利說明書

一、發明 名稱	中文	用於高度準確之多重模態的半導體測試之低價走時系統
	英文	LOW COST TIMING SYSTEM FOR HIGHLY ACCURATE MULTI-MODAL SEMICONDUCTOR TESTING
二、發明 創作人	姓名	彼得 瑞克特
	國籍	美國
	住、居所	美國,加州 91362 千橡林,奧托諾廣場 2334 號
三、申請人	姓名 (名稱)	泰瑞丹公司
	國籍	美國
	住、居所 (事務所)	美國,麻州 02118 波士頓,哈瑞森大道 321 號
	代表人 姓名	司圖特 M.奧斯汀



(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

美 國(地區) 申請專利，申請日期： 1999.07.23 案號： 09/360,215 ， 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( / )

### 發明之領域

本發明一般係關於用於測試半導體裝置之自動測試設備，且更特別係關於用於一個半導體裝置測試器之時序系統及相關之方法。

### 發明背景

自動測試設備於半導體裝置之製造中係扮演一個主要之製造角色。一般係個別地稱之為“測試器”，該個別單元於晶圓（藉由探測測試）及封裝元件層級之下驗證每一個元件之可操作性。

商業上成功之測試器設計典型地提供半導體製造商針對一個或一個以上之特定應用的特色之組合。期望之特色通常牽涉到諸如成本、彈性、準確性及使用方便性等標準的組合或取捨。一般而言，越多特色包含於一個測試器之中，則成本越高。

對於上述標準特別敏感之重要的測試器子系統之一係為時序產生電路。一個測試器時序系統通常根據預先程式規劃之樣式資料而於測試下裝置之測試週期期間建立準確之訊號延遲。該延遲係作為標示用於該測試器驅動器／比較器電路之特定測試事項（諸如驅動至高電位、驅動至低電位或選通等等）。

傳統之高解析度時序系統利用採用粗略、中等及精密之延遲電路之時序產生器，以產生皮秒（ $10^{-12}$  秒）等級之時序解析度（即最小可選擇時序之增量）。該粗略之延遲電路包括，舉例而言，根據該輸入時脈之整數倍而產

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明( 2 )

生一個輸出之同步計數器。

爲了達成傳統時序產生器中之中等及精密之延遲，典型地係使用內插器。該中等之延遲通常藉由複數個分割系統時脈訊號成爲“中等”分割之時間間隔之延遲元件而實施。該精密之延遲典型地係藉由一個延遲電路而達成，該延遲電路通常包括一對類比輸入端，一個係用以接收一個斜坡電壓訊號，另一個係用以接收由一個數位至類比轉換器(DAC)而來之輸出。該數位至類比轉換器轉換一個代表期望延遲之數位字元成爲一個臨限電壓。當該斜坡電壓達到該數位至類比轉換器所設定之臨限電壓時，該內插器產生一個由該系統時鐘之細微分數部分所補償之訊號。

該類比內插器之較期望之特色之一係牽涉到由該數位至類比轉換器根據週期之不同而“動態上”改變該延遲值之可選擇之能力。一個採用具有用於週期切換及時序切換之如此的“動態上”能力之內插器的高度彈性之測試器，係爲位於加州阿格拉丘陵(Agoura Hill)之泰瑞丹公司(Teradyne Inc.)所製造之型號 J973 測試器。該測試器額外包括一個用於儲存預先程式規劃時序值之邊緣組記憶體，以控制用於不同內插器之時序時序。雖然實施動態上改變所需之電路及軟體通常實質上增加一個測試器之成本，但是該能力提供測試該測試下裝置之操作一個高水準之彈性，達到 250 百萬赫芝。

爲了減少測試下裝置相關之成本同時維持一個可接受之彈性水準，一個用於時序系統之先前技藝係採用不具有

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明(3)

之邊緣組記憶體之“固定式”內插器，以提供於測試下裝置期間一個略受限制之可調時序選擇。該先前技藝係包含於由加州阿格拉丘陵(Agoura Hill)之泰瑞丹公司(Teradyne Inc.)所製造之型號 J9 2 1 測試器之中，其預先設定該內插器使得類比延遲值無法動態地改變。該延遲值係根據使用者之規格而予以設定，以提供一個對應於該系統中之時序產生器的數目之時序延遲之選擇。因此，該系統藉由省略該“動態上”之電路及邊緣組記憶體，同時提供一個略受減少之時序彈性之水準。

雖然上述之傳統固定式內插器方式係有利於特定之應用，但是其缺乏某些半導體製造商所期望之彈性的水準。該種不彈性係由於單一組之固定內插器之感知的缺乏時序選擇。雖然該選擇能夠藉由提供更多之內插器而增加，但是額外之硬體將抵消省略該“動態上”之電路所具有之任何優點。

近來，隨著半導體元件之操作速度達到並超過百萬赫芝，成本高之“動態上”之電路及軟體的期望已經減少。該原因係牽涉到使用於此速度下之相當少之波型形式。因為很少之波型可以使用，測試器之時序彈性係較不重要。

雖然對於高速之測試下裝置而言，測試器之時序彈性係較不重要，但是許多高速之半導體元件亦實施相當“低速之”埠（大約100至200百萬赫芝）。因此，為了完全測試如此之裝置，高速及低速樣式係被產生。因此，在無高彈性時序系統所具有之感知測試的優點之下，許多

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明（ 4 ）

製造商係猶豫於投資省略該特色之測試器。結果係為，製造商通常購買對於大部分之測試提供比真正需要之功能更多之昂貴的測試器。

因此，所需要且尚無法取得的係為一個提供高速、高解析度、低彈性測試能力及高準確度之固定內插器時序系統。此外，該系統亦需要於相當高解析度下，提供低速度、適當解析度、及高彈性之測試能力。另外，如此之系統所需係為相當低之成本。本發明之時序系統及方法可滿足這些需求。

### 發明概要

本發明之時序系統提供多重模態的半導體裝置的測試能力，其包含一個高速且高準確性之模態及一個低速度且高彈性之模態，以測試需要改變訊號之測試下裝置之接腳。此外，該時序系統結構提供一個直接之使用者介面及低成本之硬體架構。

為了實現上述優點，於一個形式中，本發明係包含一個時序系統，其回應於用以產生施加至一個測試下裝置之測試樣式的樣式產生電路，該時序系統用於一個半導體測試器之中，以產生對應於預先定義之使用者設定的事件時序訊號。該時序系統包含一個時序記憶體電路，該時序記憶體電路儲存用於該樣式之程式規劃的邊緣時序，該時序系統進一步包含一個時序邏輯，該時序邏輯具有一個主振盪器及複數個固定邊緣產生器。該固定邊緣產生器係回應於該程式規劃的邊緣時序，以產生該事件時序訊號。

## 五、發明說明(5)

於另一個形式中，本發明係包含一個半導體測試器，其係用以測試一個具有高速及低速接腳組合之測試下裝置。該半導體測試器包含一個測試控制器，其具有一個樣式記憶體、一個使用者介面及一個樣式產生電路，該樣式產生電路具有個別之高速及低速模式，用以根據該樣式記憶體而選擇性地產生測試樣式，且根據一個測試下裝置之時脈週期而施加至該測試下裝置。一個系統匯流排連接至該測試控制器及該樣式產生電路，以於兩者之間繞接命令及資料訊號。該半導體測試器進一步包含一個驅動／比較電路，其適合於連接至該測試下裝置及一個設置於該系統匯流排及該驅動／比較電路之間的失效處理電路。一個時序系統產生對應於預先定義之使用者設定的事件時序訊號。該時序系統包含一個時序記憶體電路，該時序記憶體電路儲存用於該樣式之程式規劃的邊緣時序，該時序系統進一步包含一個時序邏輯，該時序邏輯具有一個主振盪器及複數個固定邊緣產生器。該固定邊緣產生器係設計成提供一個對應於在一個預先決時序脈週期之內之邊緣產生器的固定數目之時序訊號的固定選擇。

於又另一個形式中，本發明係包含一個產生時序訊號之方法，該時序訊號係與用於具有高速接腳及低速接腳之測試下裝置的使用者定義之設定相符。該時序系統係回應於一個多重模態的樣式產生電路，且包含一個時序記憶體及一個時序邏輯，其包含複數個固定邊緣產生器。該方法包含之步驟為：首先指定該固定邊緣產生器，以產生對應

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

於在高速模式下該測試下裝置週期內對應於該邊緣產生器之邊緣時序的固定數目；根據該操作之測試下裝置週期，施加高速樣式至該測試下裝置之高速接腳；分配該固定邊緣產生器，以於該測試下裝置週期內產生主振盪器之複數倍的邊緣時序選擇；及根據由最接近該使用者定義之設定的邊緣時序選擇而來之邊緣時序，驅動該低速樣式至該測試下裝置之低速接腳。

本發明之一個進一步的形式係包含一種產生用於一個窗選通事件之時序訊號之方法。該方法包含之步驟為：首先提供複數個具有定義時序值之範圍的固定時序延遲之時序產生器；產生複數個具有該時序產生器之邊緣選通訊號；及選擇於該複數個邊緣選通訊號中之一個邊緣選通訊號之子集，以近似該指定之窗選通邊緣。

當閱讀下列詳細說明及後附圖式之後，本發明之其他特色及優點將變得明白。

### 圖式簡單說明

參照下列更詳細說明及後附圖式，本發明將獲得較佳之瞭解，其中：

第1圖係一個採用本發明之時序系統之測試器之一般化的方塊圖；

第2圖係一個示於第1圖之時序系統之部分方塊圖；

第3圖係一個根據本發明之一個形式的時序訊號所定義之高速測試波型的例子；

第4圖係一個用於儲存對應於第3圖之高速測試波型

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明(7)

的時序的邊緣記憶體之例子；

第5圖係一個根據本發明之一個形式的時序訊號所定義之低速測試波型的例子；

第6圖係一個用於儲存對應於第5圖之低速測試波型的時序的邊緣記憶體之例子；及

第7圖係一個說明本發明之窗選通近似特徵的時序架構圖。

〔元件符號說明〕

- 2 0 高準確度及低成本之半導體測試器的簡化方塊圖
- 2 6 系統匯流排，
- 2 4 樣式產生電路
- 2 7 接腳資料線
- 2 9 整體時間設定位址線
- 3 0 時序系統
- 3 4 低成本之時序邏輯
- 3 6 邊緣組記憶體
- 4 2 接腳之驅動／比較電路
- 3 8 可選擇之整體時序記憶體電路或時間設定記憶體
- 4 0 主振盪器
- 4 4 時序產生器
- 4 5 時序產生器模組
- 5 0 失效處理電路

發明詳細說明

隨著半導體裝置變得越來越複雜，測試裝置所需之複

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 8 )

雜系統必須跟上腳步或是變成快速老舊。測試現有半導體裝置同時減少該測試系統成本之能力代表對於自動測試設備工業之有意義及重要的挑戰。

現在參照第 1 圖，一個高準確度及低成本之半導體測試器的簡化方塊圖，一般係標示為 20，係包含一個操作作為一個測試控制器之電腦工作站。該測試控制器係連接至一個系統匯流排 26，該系統匯流排 26 係用以分配控制訊號於該測試控制器與一個樣式產生電路 24、一個時序系統 30 及一個失效處理電路 50 之間。該樣式產生電路 24 較佳地係包含 1 至 N 個樣式產生器（為清楚起見，第 1 圖僅顯示 1 個），以產生複數個測試器操作模式。該複數個測試器操作模式一般而言係對應於相當高速（> 250 百萬赫芝）及相當低速（< 250 百萬赫芝）之測試樣式。一個接腳資料線 27 及一個整體時間設定位址線 29 係連接該樣式產生器至該時序系統，同時，至該失效處理電路 50 及由該失效處理電路 50 而來之樣式資訊係透過該系統匯流排 26 而分配。

根據本發明，該時序系統 30 包含低成本之時序邏輯 34，其回應於一個邊緣組記憶體 36，以

產生於預先決定之時序（定義一測試器之波型）對於一個操作之測試下裝置週期觸發每一個接腳之驅動／比較電路 42 所需之程式規劃時序訊號。一個可選擇之整體時序記憶體電路或時間設定記憶體 38 透過該整體時間設定位址線 29 而連接至該樣式產生電路 24，且將預先決定

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明(9)

之本地時序資料饋送至該邊緣組記憶體 36，以使其記憶體之容量減少。

參照第 2 圖，根據本發明之一個實施例之該時序邏輯 34 係藉由選擇性地提供用於指定期望之使用者時序之時序值，而支援高速及低速測試下裝置的多重模態測試。該時序邏輯 34 較佳地係包含一個可程式規劃之以鎖相迴路為基礎的主振盪器 MOSC 40 及一個時序產生器 44，其以各別內插器 EG0-EG12 之形式提供個別致能輸入至複數個邊緣產生器。應瞭解的是，於此描述之 13 個邊緣產生器之結構僅係說明之用，於不偏離本發明之精神之下，許多結構係可能的。與每一個邊緣產生器結合的係為一個對應之延遲元件（未示出）及一個由一個時序產生器模組 45 所供應之致能訊號。

該主振盪器 MOSC 40 係能夠達到 20 億赫芝之時脈速率，其對應於 500 皮秒（pico seconds），且隨著測試所需而完全可程式規劃。該鎖相迴路實施之可程式規劃性係有利於允許使用者定義與該測試下裝置之週期同步的測試者時脈週期，因而實質上消除有點貴且複雜之“動態上”內插器的需要。

再次參照第 2 圖，為了努力於減少昂貴之“動態上”電路且極大化時序之準確度，該邊緣產生器 EG0-EG12 係固定的，使得該類比延遲值係無法隨著測試下裝置之週期而被改變。該邊緣產生器之輸出係饋至一個選擇器電路，其包括集體地定義 4 個多工器 M1-M4 之陣列的及閘和或閘

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 10 )

(未示出)的各別網路。更明確言之,該邊緣產生器之輸出係以一個平行之關係導引至每一個多工器之輸入。該多工器於操作期間回應於各別之靜態暫存器 4 6,該靜態暫存器 4 6 係於設時序間時被程式規劃,以選擇性地將時序訊號送至該驅動/比較電路 4 2。該時序訊號對應於行為“驅動至邏輯 0”(D0)、“驅動至邏輯 1”(D1)、“選通(C1)”及“驅動至端點”(Vt)。

於操作時,該邊緣產生器 EG0-EG12 可以被設計成根據操作之期望模式而最大化時序解析度及彈性。該邊緣產生器 EG0-EG12 之控制係藉由預先程式規劃該測試控制器 2 2 及該邊緣組記憶體 3 6 而實施,以於該測試下裝置之週期的開始之後的特時序間增量之下,啟動預先決定之邊緣產生器。對於高速之埠而言,該邊緣產生器之資源係由該使用者所分配,以於非常高之準確度之下,於使用者所指定之特定時序之下啟動。

第 3 圖係說明一個適合於應用至一個由本發明之時序系統所產生之時序訊號所定義之高速測試下裝置之接腳的高速測試波形。該高速測試波形之每一個轉變(或邊緣)係對應於一個驅動器(未示出)之輸出,其回應於由該邊緣產生器 EG0-EG12 之一個或多個所發出之一個或多個時序訊號。於相當高之兆赫頻率之下,驗證一個測試下裝置之可操作性僅需很少之波形。因此,邊緣產生器之數目能夠被減少,以減少系統硬體成本。

參照第 4 圖,對應於第 3 圖之測試波形之邊緣組記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 11 )

體 3 6 的一個部分例子係包含一個用於置入期望的用於時序產生器之時序值的表，以定義對應於上述事件 ( D0、D1、選通及 Vt ) 之波形轉變或邊緣。一個類似之邊緣組表係使用於泰瑞丹公司 ( Teradyne Inc. ) 所製造之型號 J973 測試器中之相當低速之半導體裝置之中，該泰瑞丹公司 ( Teradyne Inc. ) 所製造之型號 J973 測試器係由加州阿格拉丘陵 ( Agoura Hill ) 之泰瑞丹公司 ( Teradyne Inc. ) 所製造。每一個列代表一個“邊緣組”，其指定對於該測試下裝置之週期的開始之預先決定時序。該個別之行係代表轉變邊緣或事件 ( D0、D1、D2、D3 及 C1 等 ) 及波形之格式。對於在每一個邊緣組上之每一個事件而言，該測試控制器軟體於該預先決定之子組 ( 驅動 0、驅動 1、驅動 Vt 及選通 ) 之內指定一個邊緣產生器，且程式規劃成爲使用者指定之值。此導致於該驅動器 / 比較器電路 4 2 中之一個驅動器或比較器致動，因而產生該波形邊緣。熟悉本項技藝人士眾所周知之校準技術可以被應用，以提供最大時序準確性。第 3 圖亦說明根據在第 4 圖中之邊緣組記憶體之個別邊緣產生器的啓動，以影響示於第 3 圖之期望波形。

進一步參照第 3 圖及第 4 圖，一個想要採用該邊緣組 ES0 及 ES1 ( 第 4 圖 ) 以產生該第 3 圖之測試波形之使用者，能夠首先期望一個“驅動 0”或“驅動低準位”之事件於該第 1 個測試下裝置之週期或驅動週期之開始之後產生 0.5 奈秒。於該程式規劃時，一個預先決定之邊緣產生器 ( 於此係爲 EG0 ) 啓動，以致動於測試器通道驅動器驅

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(12)

動至低準位。於 1.3 奈秒時，假如由該樣式產生器而來之接腳資料係高準位，則藉由一個第 2 邊緣產生器（於此係為 EG1）之啓動，產生一個驅動 0”或“驅動低準位”之事件。否則，該準位將保持低準位。

假如由該樣式產生器而來之接腳資料指示一個比較週期，則該邊緣組資訊進一步指定一個與該第 2 個測試下裝置之週期（0.00 奈秒）之開始重疊產生之一個“驅動 Vt”之事件，或者指定一個比較週期，以導致該測試器通道驅動器驅動該測試器通道之輸出至該端點電壓。爲了完成該邊緣組，於 1.25 奈秒時（於該第 2 個測試下裝置之週期之後），一個選通之事件伴隨著邊緣產生器 EG4 之啓動而產生，導致該通道比較器（未示出）偵測該測試下裝置之接腳的資料準位。

該測試波形之剩餘部分，係以類似於上述之第 1 邊緣組 ES0 之方式爲該第 2 邊緣組 ES1（第 4 圖）所定義。

熟悉本項技藝人士能夠容易地看出，該第 1 邊緣組 ES0 消耗 5 個邊緣以實施第 3 圖中測試波形之已敘述過之部分。發明人已經確定，爲了提供足夠之邊緣資源以涵蓋波形可能性之廣大範圍（透過邊緣組之小心使用）且同時減少硬體成本，4 個至 15 個邊緣產生器之任一種結構係足夠的。

除了提供測試高速測試下裝置之埠的能力之外，本發明之固定內插器時序系統之一個較重要之特色之一係爲其提供用於低速測試下裝置之埠的高度彈性時序之能力。發

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明(13)

明人發明一種維持本發明之低成本及高準確性之時序系統的方式，同時對於如此之低速測試下裝置的接腳提供時序彈性之重大改進。如示於第5圖，此係藉由以對於該主振盪器 MOSC 週期為固定增量之關係程式規劃邊緣產生器之組而達成，且藉由該主振盪器 MOSC 週期而實質上分割該測試下裝置之週期。以此方式，該測試下裝置之週期係被有效地分割成細微之“記號”或時序值。對於一個4奈秒（對應於一個250 MHz之測試下裝置之頻率）之測試下裝置之週期及一個500皮秒之主振盪器 MOSC 週期而言，對於一個該測試下裝置之週期內之相當小之增量下之特定事件（諸如“驅動0”）而言，總共32個之時序選擇將可取得。

此外，發明人亦確認，為了實現本發明之此觀點，該主振盪器 MOSC 週期需要不小於563皮秒。此轉換成141皮秒之最差情況（對於使用示於第5圖之13個邊緣產生器之實施而言）。

舉例而言，為了測試一個示於上文之測試下裝置的低速埠，該邊緣產生器 EG0-EG12 較佳係均勻地分配至對應於特定波形事件之子組，諸如先前敘述之“驅動至邏輯0”、“驅動至邏輯1”、“選通”及“驅動至  $V_t$ ”（參照第5圖）的事件。利用於每一個用於驅動0 (EG0-EG3)、驅動1 (EG4-EG7)、選通 (EG8-EG11) 及用於驅動  $V_t$  之剩餘的邊緣產生器 EG12 之主振盪器 MOSC 週期內的預先指定且分開之邊緣產生器之個別子組，該用於時序值（於主振盪

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明(14)

器週期為 500 皮秒之下) 之高速解析度係變成 125 皮秒。

第 5 圖進一步說明根據示於第 6 圖之邊緣組指定的用於施加至大約 200 MHz 之低速測試下裝置之接腳的多週期波形之一部分。以一個類似於上述之高速的例子之方式，用於定義該測試波形之事件係由該邊緣組記憶體 36 所指定。因此，該用於邊緣組 ES0 之“驅動 0”之第 1 事件於該第 1 測試上裝置之週期之開始之後產生 0.5 奈秒。然而，不像上述之高速的例子一樣，該用於驅動 0 之可使用之邊緣產生器係被程式規劃成 EG0-EG3，而可能之時序係固定於該主振盪器 MOSC 週期之內規則之 125 皮秒之間隔。該測試控制器 22 自動地指定最接近該使用者程式規劃之時序（於此情形係為驅動 0，EG0）之邊緣產生器啟動，同時維持一個可接受之準確準位。每一個指定係儲存於該邊緣組記憶體之中作為該邊緣產生器之數目及該主振盪器 MOSC 週期之數目。類似地，對於在 ES0 中之該驅動 0 而言，該最接近該使用者程式規劃之時序之邊緣產生器係為 EG5（示於第 5 圖中之圈示處）。

本發明之另一個重要特色係為其應用於近似一個窗選通。“窗選通”係一個該測試下裝置之輸出係由一個或多個於兩個使用者所指定之點之間的準位比較器所即時觀察出且任何準位之轉變皆被注意到之特色。該“窗選通”之特色係有用於偵測該測試下裝置之輸出上之突波，或者一個測試下裝置之輸出於該指定之時間窗期間保持為常數。



## 五、發明說明 ( 15 )

一般而言，一個高速且高準確度之測試器將不想要實施一個窗選通，這是因為與一個邊緣選通比較起來具有固有之性能減少。然而，對於一個於高速測試器中之低速模式而言，一個窗選通係相當想到的。於本發明中，一個窗選通可以藉由如示於第 7 圖中之以快速連續之方式提供一串列邊緣選通而被近似化。為了產生一個窗選通，該邊緣組記憶體 36 係被修改成包含 2 個選通值 C1 及 C2，且該使用者指定 C1 說明該“開窗”之時間，而 C2 說明該“關窗”之時間。該通道係被所有於該 C1 及 C2 時間之間的選通事件所選通。因為一個選通事件於最差情況下（對於實施 13 個邊緣之情況）係每  $563 / 4 = 141$  奈秒產生一次，該測試器能夠每 141 奈秒檢查該測試下裝置一次。給定於一個於高速系統中之邊緣選通比較器之高性能，則該窗選通模式之性能與一個 200 MHz 範圍下之測試器之真正窗模式比較之下為佳。

熟悉本項技藝人士將瞭解本發明所提供之許多益處及優點。相當重要的是以一個利用固定邊緣產生器測試一個具有高速及低速接腳之測試下裝置的能力。該邊緣產生器之固定特性減少實施測試下裝置測試所需之硬體及軟體，而實現了半導體製造商節省相當多之成本，而不減少高準確度及相當高之解析度之能力。此外，控制該邊緣產生器時序所需之相當直接之程式規劃最大化該系統的使用者便利之特性。

本發明之另一個特色係關於與傳統之測試器結構之相

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線

## 五、發明說明(16)

容性。許多用於控制低速下之邊緣產生器時序的使用者程式規劃特性，諸如邊緣組記憶體表，本質上係傳統的。因此，使用者熟悉度係被最大化，造成正確教育製造人員之最小附加訓練。

雖然本發明藉由詳細參考某些特定之實施例而加以描述，此種詳細描述意欲為教示性而非限制性。在不偏離本發明於此揭露之教示的精神及範疇下，許多結構及操作模式的改變，可以為熟悉本項技藝人士所認知而完成。舉例而言，雖然於此所圖示及敘述之時序邏輯之特定實施例包含13個內插器，不同的邊緣產生器之數目可以根據特定應用之可使用的成本及硬體限制及不同之結果而實施。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: )

用於高度準確之多重模態的半導體測試之低價時序系統

本發明係揭示一個時序系統，其回應於用以產生施加至一個測試下裝置之測試樣式的樣式產生電路。該時序系統包含一個時序記憶體電路，該時序記憶體電路儲存用於該樣式之程式規劃的邊緣時序，該時序系統進一步包含一個時序邏輯，該時序邏輯具有一個主振盪器及複數個固定邊緣產生器。該固定邊緣產生器係回應於該程式規劃的邊緣時序，以產生該事件時序訊號。

英文發明摘要(發明之名稱: LOW COST TIMING SYSTEM FOR HIGHLY ACCURATE MULTI-MODAL SEMICONDUCTOR TESTING )

A timing system is disclosed that responds to pattern generation circuitry or producing test patterns for application to a device-under-test. The timing system includes a timing memory circuit that stores programmed edge timings for the patterns and couples to timing logic including a master oscillator and a plurality of fixed edge generators. The fixed edge generators are responsive to the programmed edge timings to produce the event timing signals.

## 六、申請專利範圍

1、一種時序系統，其回應於用以產生施加至一個測試下裝置之測試樣式的樣式產生電路，該時序系統用於一個半導體測試器之中，以產生對應於預先定義之使用者設定的事件時序訊號，該時序系統包含

一個時序記憶體電路，該時序記憶體電路儲存用於該樣式之程式規劃的邊緣時序，及

一個時序邏輯，該時序邏輯具有一個主振盪器及複數個固定邊緣產生器，該固定邊緣產生器係回應於該程式規劃的邊緣時序，以產生該事件時序訊號。

2、如申請專利範圍第1項所述之時序系統，其中，該邊緣產生器係適用於高速測試下裝置埠的使用者控制之時序安置。

3、如申請專利範圍第1項所述之時序系統，其中，該邊緣產生器時序係以相對於用於低速測試下裝置埠之該主振盪器平均分佈之時序增量預先設定。

4、如申請專利範圍第3項所述之時序系統，其中，該邊緣產生器時序係被分組成一個測試下裝置週期內之時序選擇的個別子組，且對應於預先定義之測試器事件。

5、如申請專利範圍第4項所述之時序系統，其中，該時序邏輯係回應於該程式規劃的邊緣時序，以指定一個程式規劃的邊緣時序至該時序選擇的子組內之最接近的對應固定時序。

6、如申請專利範圍第1項所述之時序系統，其中，該樣式產生電路包含：

## 六、申請專利範圍

一個第 1 樣式產生器，其用以於該高速模式下產生樣式。

7、如申請專利範圍第 6 項所述之時序系統，其中，該高速模式之範圍係從大約 250 MHz 至 2.0 GHz。

8、如申請專利範圍第 1 項所述之時序系統，其中，該樣式產生電路包含：

一個第 2 樣式產生器，其用以於該低速模式下產生樣式。

9、如申請專利範圍第 7 項所述之時序系統，其中，該低速模式之範圍係從大約 1 MHz 至 250 MHz。

10、如申請專利範圍第 1 項所述之時序系統，其中，該樣式包含：

與一個測試下裝置之個別週期有關的向量資料，該向量資料包含預先定義之事件訊號，以施加至該測試下裝置或與該測試下裝置比較。

11、如申請專利範圍第 1 項所述之時序系統，其中，該時序記憶體包含一個每個接腳之時間設定記憶體。

12、如申請專利範圍第 11 項所述之時序系統，其中，該時間設定記憶體係設計成提供本地時序資料至該時序系統。

13、如申請專利範圍第 1 項所述之時序系統，其中，該時序記憶體包含一個每個接腳之邊緣組記憶體。

14、如申請專利範圍第 13 項所述之時序系統，其中，該邊緣組記憶體係設計成定義用於在一個測試下裝置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

週期內之預先決定波形事件的每一個接腳時序值。

1 5、如申請專利範圍第 1 項所述之時序系統，其中該固定邊緣產生器包含個別之內插器。

1 6、如申請專利範圍第 1 項所述之時序系統，其中該主振盪器包含一個可程式規劃之頻率鎖相迴路。

1 7、一種半導體測試器，其係用以測試一個具有高速及低速接腳組合之測試下裝置，該半導體測試器包含：

一個測試控制器，其具有一個樣式記憶體及一個使用者介面；

一個樣式產生電路，該樣式產生電路具有個別之高速及低速模式，用以根據該樣式記憶體而選擇性地產生測試樣式，且根據一個測試下裝置之時脈週期而施加至該測試下裝置，該測試下裝置根據一個測試下裝置之時脈週期而操作；

一個系統匯流排，其連接至該測試控制器及該樣式產生電路，以於兩者之間繞接命令及資料訊號；一個驅動／比較電路，其適合於連接至該測試下裝置；

一個失效處理電路，其設置於該系統匯流排及該驅動／比較電路之間；及

一個時序系統，其產生對應於預先定義之使用者設定的事件時序訊號，該時序系統包含：

一個時序記憶體電路，該時序記憶體電路儲存用於該樣式之程式規劃的邊緣時序；及

一個時序邏輯，該時序邏輯具有一個主振盪器及複數

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

個固定邊緣產生器，該固定邊緣產生器係回應於該程式規劃的邊緣時序，以產生該事件時序訊號。

1 8、一種產生時序訊號之方法，該時序訊號係與用於具有高速接腳及低速接腳之測試下裝置的使用者定義之設定相符，該時序系統係回應於一個多重模態的樣式產生電路，且包含一個時序記憶體及一個時序邏輯，其包含複數個固定邊緣產生器，該方法包含之步驟為：

指定該固定邊緣產生器，以產生對應於在高速模式下該測試下裝置週期內對應於該邊緣產生器之邊緣時序的固定數目；

根據該操作之測試下裝置週期，施加高速樣式至該測試下裝置之高速接腳；

分配該固定邊緣產生器，以於該測試下裝置週期內產生主振盪器之複數倍的邊緣時序選擇。

1 9、如申請專利範圍第 1 8 項所述之方法，其進一步包含下列步驟：

根據由最接近該使用者定義之設定的邊緣時序選擇而來之邊緣時序，驅動該低速樣式至該測試下裝置之低速接腳。

2 0、一種產生用於一個窗選通事件之時序訊號之方法，該方法包含之步驟為：

提供複數個具有定義時序值之範圍的固定時序延遲之時序產生器；

產生複數個具有該時序產生器之邊緣選通訊號；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

選擇於該複數個邊緣選通訊號中之一個邊緣選通訊號之子集，以近似該指定之窗選通邊緣。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

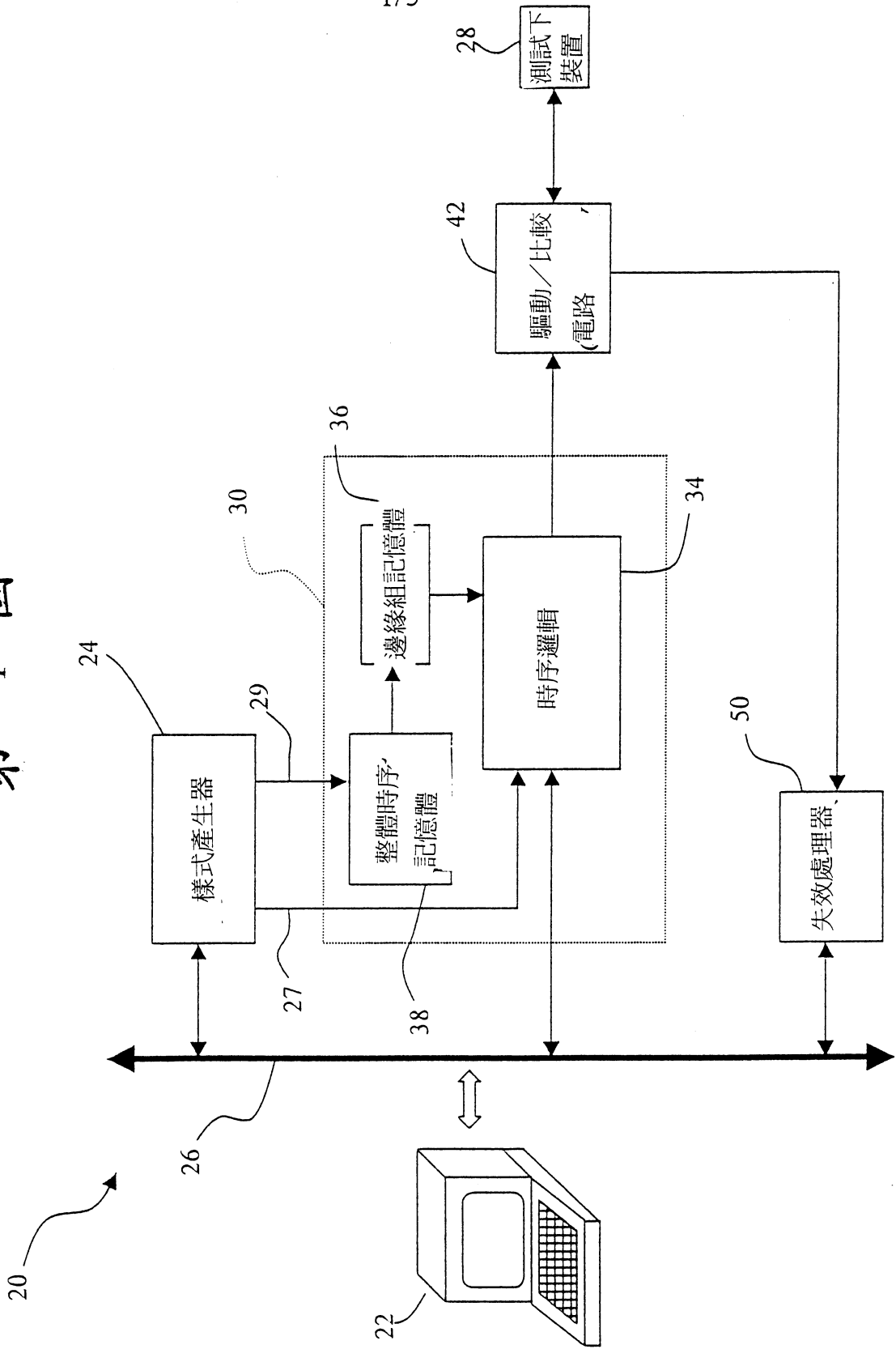
線



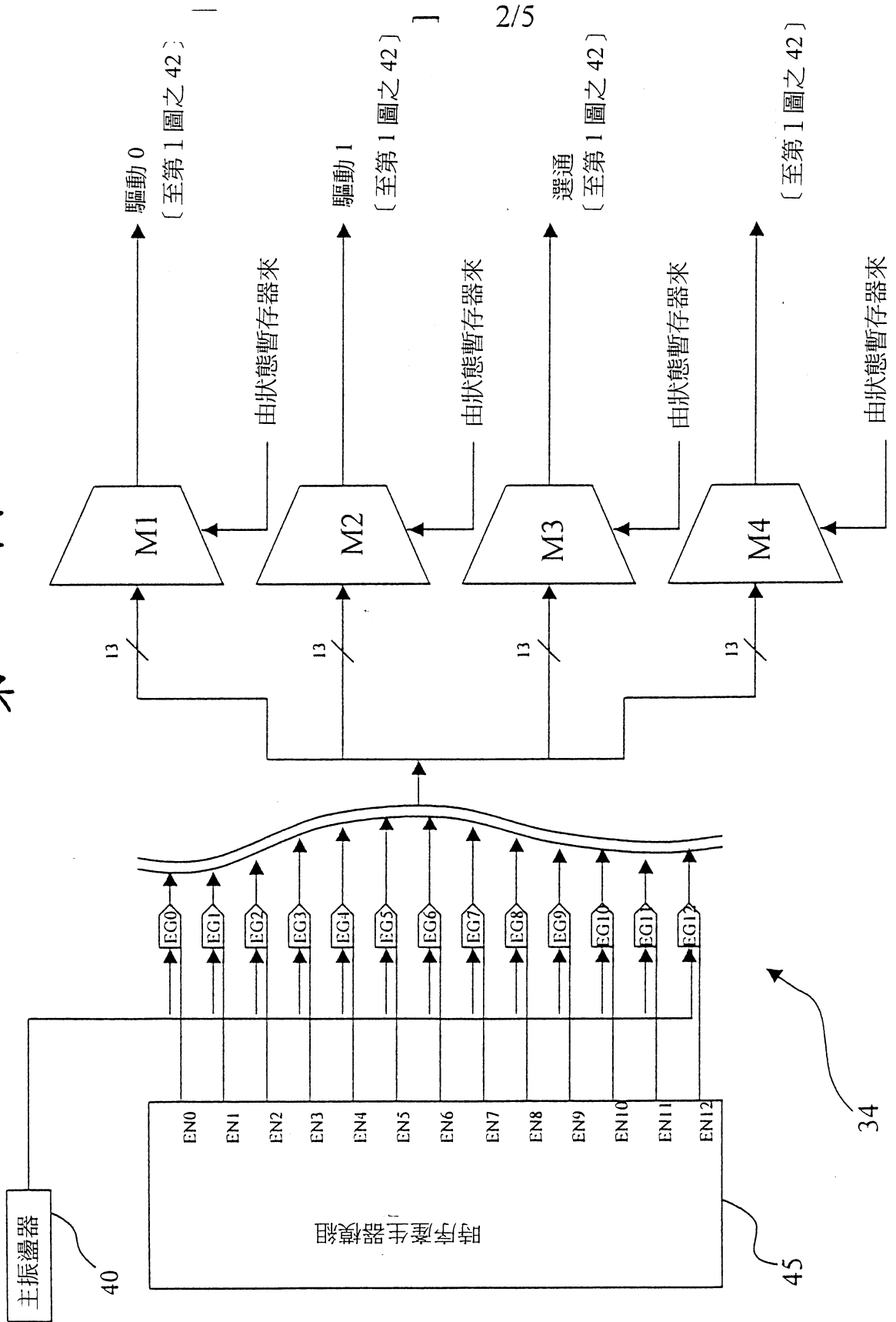
89113377

1/5

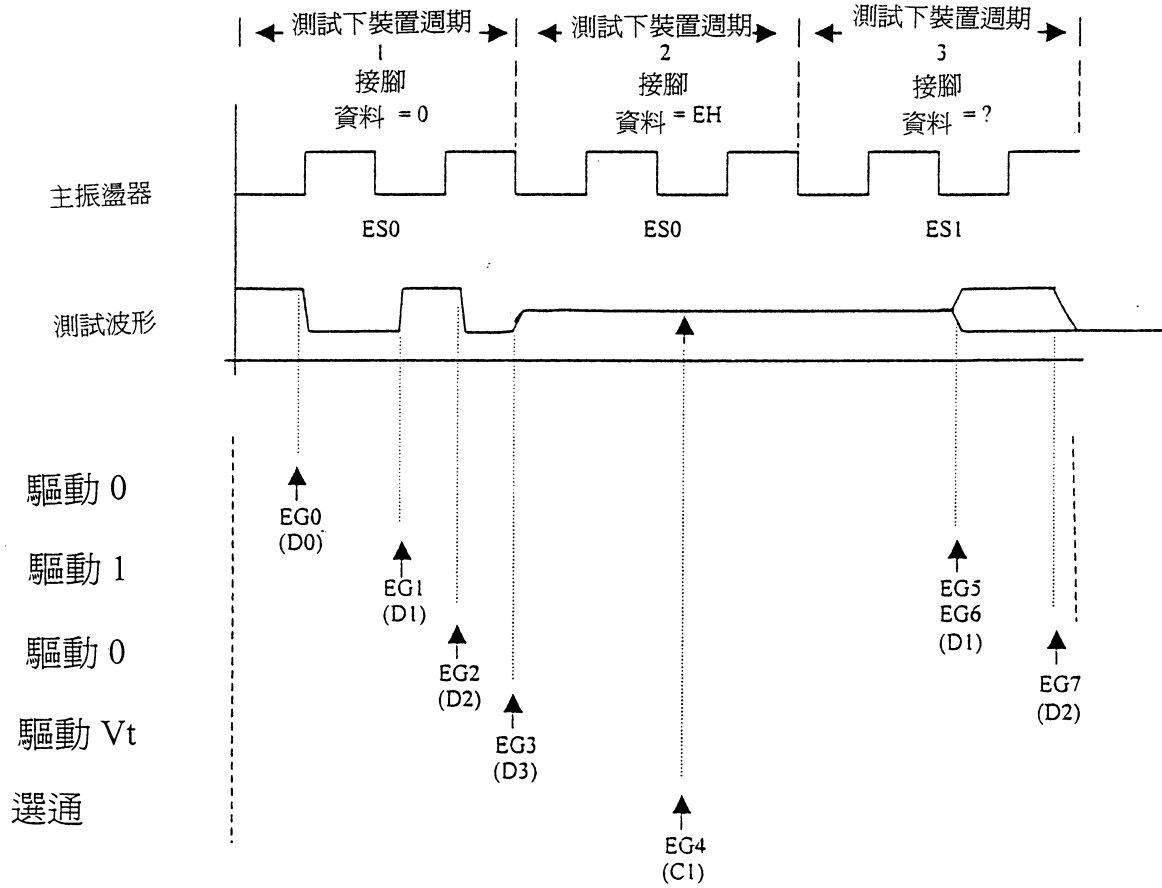
第 1 圖



第 2 圖



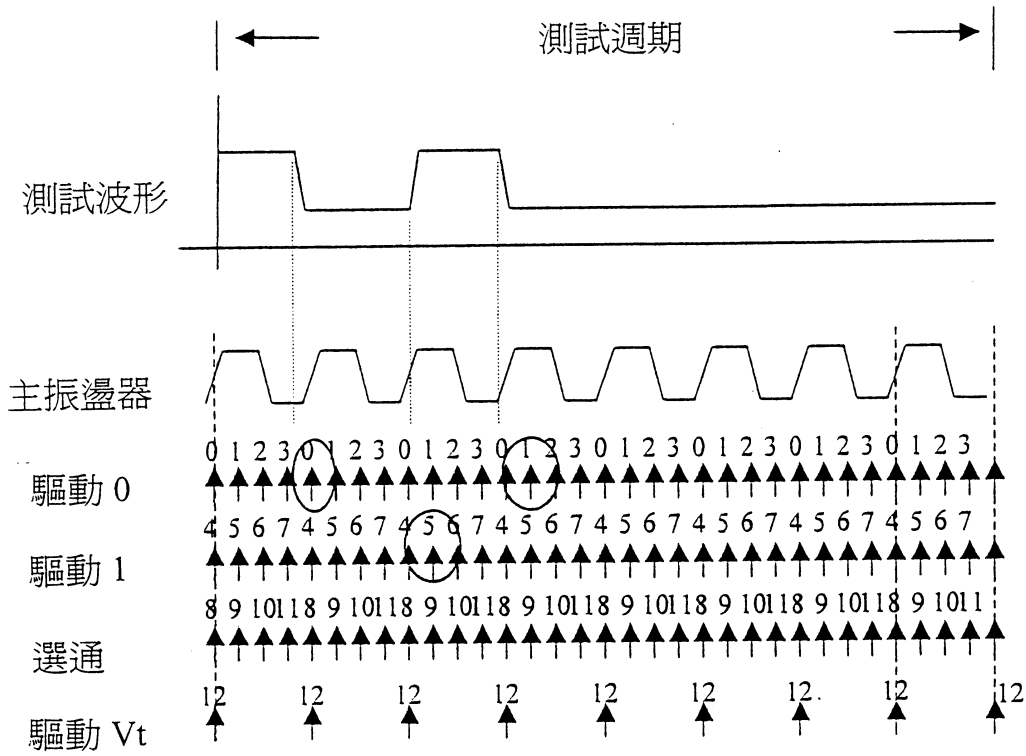
# 第 3 圖



# 第 4 圖

邊緣組	D0	D1	D2	D3	C1	FMT
ES0	0.5 奈秒	1.3 奈秒	1.8 奈秒	奈秒	1.25 奈秒	RL
ES1	關閉	1.0 奈秒	2.0 奈秒	奈秒	1.25 奈秒	RL

# 第 5 圖



# 第 6 圖

邊緣組 Set	D0	D1	D2	D3	C1	FMT
ES0	0.5 奈秒	1.3 奈秒	1.8 奈秒	奈秒	1.25 奈秒	RL
ES1	關閉	1.0 奈秒	2.0 奈秒	奈秒	1.25 奈秒	RL

# 第 7 圖

