

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4539077号
(P4539077)

(45) 発行日 平成22年9月8日(2010.9.8)

(24) 登録日 平成22年7月2日(2010.7.2)

(51) Int.Cl. F I
HO 1 S 5/343 (2006.01) HO 1 S 5/343 G 1 O
HO 1 L 21/301 (2006.01) HO 1 L 21/78 Q

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2003-369408 (P2003-369408)	(73) 特許権者	000004237
(22) 出願日	平成15年10月29日(2003.10.29)		日本電気株式会社
(65) 公開番号	特開2005-136093 (P2005-136093A)		東京都港区芝五丁目7番1号
(43) 公開日	平成17年5月26日(2005.5.26)	(74) 代理人	100110928
審査請求日	平成18年4月14日(2006.4.14)		弁理士 速水 進治
		(72) 発明者	倉本 大
			東京都港区芝五丁目7番1号 日本電気株式会社内
		審査官	土屋 知久

最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

G a N 基板上に半導体層を形成する工程と、
 前記 G a N 基板または前記半導体層の一部を選択的に除去することにより、素子分離領域の一部に、一方向に延在する複数の溝部を形成する工程と、
 前記溝部の延在方向と直交する面に沿って、溝部延在方向両端に溝部の形成されていない箇所を残すように前記 G a N 基板および半導体層を切断し、バーを形成する工程と、
 前記溝部の延在方向に沿ってブレーキングを行い、前記溝部に沿って G a N 基板および半導体層を切断するとともに前記溝部の形成されていない箇所において前記溝部から前記バーの切断面に至る劈開面を形成することにより素子分離し、半導体素子を得る工程と、
 を含み、
 前記一方向と、前記劈開面の形成される方向とが異なる、
 半導体素子の製造方法。

【請求項2】

G a N 基板上に、一方向に延在する複数のストライプ状のマスクを形成する工程と、
 前記マスクの開口部に半導体層を選択成長させ前記マスクの直上に溝部を形成する工程と、
 前記溝部の延在方向と直交する面に沿って、溝部延在方向両端に溝部の形成されていない箇所を残すように前記 G a N 基板および半導体層を切断し、バーを形成する工程と、
 前記溝部の延在方向に沿ってブレーキングを行い、前記溝部に沿って G a N 基板および

半導体層を切断するとともに前記溝部の形成されていない箇所において前記溝部から前記バーの切断面に至る劈開面を形成することにより素子分離し、半導体素子を得る工程と、
を含み、
前記一方向と、前記劈開面の形成される方向とが異なる、
 半導体素子の製造方法。

【請求項3】

請求項1または2に記載の半導体素子の製造方法において、
 前記溝部に重ねてスクライブ溝を形成した後、前記GaN基板および半導体層を切断してバーを形成する工程を実施する半導体素子の製造方法。

【請求項4】

請求項1乃至3いずれかに記載の半導体素子の製造方法において、
 前記バーを形成する工程の後、前記バーの切断面の少なくとも一方にミラーコーティングを施す工程を実施する半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子の製造方法に関する。

【背景技術】

【0002】

窒化ガリウムに代表されるGaN系半導体は、高効率の青紫色発光が得られることから、発光ダイオード(light emitting diode, LED)やレーザーダイオード(半導体レーザ、laser diode, LD)材料として注目を浴びている。なかでもLDは大容量光ディスク装置の光源として期待され、近年では書き込み用光源として高出力LDの開発が精力的に進められている。

【0003】

GaN系半導体を用いたデバイスは、従来、サファイアやSiC等の異種材料基板を利用して作製されてきた。すなわち、サファイア基板やSiC基板上に2段階成長法を用いてウルツ鉱型GaN(0001)層を成長させ、これらのGaN層を基板として素子構造が作製されてきた。これは良質なバルクGaN単結晶基板が得られなかったためである。

【0004】

ところが、これらの異種基板を用いた場合、基板とGaNの格子定数の相違によりGaN層に高密度の転位が導入されることとなり、良質な結晶を得ることが困難であった。さらに、サファイア基板に関しては、熱伝導度が低いこと素子の放熱特性が悪いこと、劈開面がGaNとサファイアで異なりLD作製時にミラー形成が困難なこと、さらに絶縁体であるため裏面電極型素子の作製が不可能なこと等、実用上、種々の課題を抱えている。

【0005】

こうした状況下、近年、HVPE(Hydride Vapor Phase Epitaxy)を用いたGaN厚膜成長技術と選択成長を利用した転位低減化技術を組合せ、良質な低転位GaN基板を得る技術が検討されている。熱伝導特性、電気伝導特性の良好なGaN基板を用いることにより、放熱特性の改善、裏面電極型半導体レーザの実現等が期待され、将来的にGaN基板上での素子が主流になると考えられる。

【0006】

GaN基板を利用して半導体素子を作製する製造方法を採用するにあたっては、プロセス上、多くの課題を解決する必要がある。そうした課題の一つとして、基板上に半導体層を成長させた後、どのような方法でチップに分割するかが重要な技術的課題となっている。従来、通信用途や赤色DVD用途で用いられてきた半導体レーザは、通常、立方晶の結晶構造を有する半導体を用いられてきたため、レーザ共振器端面と素子分離方向が垂直である場合、両方向とも結晶の劈開性を利用できる。これに対し、ウルツ鉱型の結晶構造を有するGaN基板は、ウエ八面で互いに直交する2方向の劈開面が存在せず、矩形形状のチップを劈開のみで得ることができない。GaNは六方晶であるので、<1-100>方向を劈開面

10

20

30

40

50

(LD端面)とすると、その60°方向にしか最も割れやすい劈開方向が存在しない。従って、ストライプ方向とレーザ端面で構成されるレーザ素子の分離は、劈開を用いようとする

【0007】

特許文献1には、窒化物半導体レーザのチップ分離方法として、基板裏面のラフネスを300オングストローム以下とし、11-20方向にスクライブし、素子分離する方法が開示されている。また、特許文献2では、ウエハのGaN基板側に割り溝を形成し、次に結晶成長側の面上をスクライブした後、結晶成長側からローラを押し当て、チップ化する技術が開示されている。

10

【0008】

しかしながら、これらの方法を採用した場合、基板ラフネスを減らす新たな工程が必要となるため、プロセス効率が低下し生産コスト上昇を招く要因となる。

【0009】

また、GaN基板は非常に硬く、劈開方向以外の面で切断しようとするときクラックが発生しやすい。このため、チップ分離に際し、半導体層中の結晶欠陥が増大したり、クラックが発生したりすることがあった。

【0010】

また、LD端面にコーティングをした場合、端面をスクライブするためにコーティング材が剥がれることがあった。

20

【0011】

こうした課題は、特に転位密度が低い領域において顕著となる。

【特許文献1】特開2002-185085号公報

【特許文献2】特開2001-85736号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明は上記事情に鑑みなされたものであって、製造効率および素子信頼性に優れる半導体素子の製造方法を提供することにある。

【課題を解決するための手段】

30

【0015】

本発明によれば、GaN基板上に半導体層を形成する工程と、前記GaN基板または前記半導体層の一部を選択的に除去することにより、素子分離領域の一部に、一方向に延在する複数の溝部を形成する工程と、前記溝部の延在方向と直交する面に沿って、溝部延在方向両端に溝部の形成されていない箇所を残すように前記GaN基板および半導体層を切断し、バーを形成する工程と、前記溝部の延在方向に沿ってブレーキングを行い、前記溝部に沿ってGaN基板および半導体層を切断するとともに前記溝部の形成されていない箇所において前記溝部から前記バーの切断面に至る劈開面を形成することにより素子分離し、半導体素子を得る工程と、を含み、前記一方向と、前記劈開面の形成される方向とが異なる、半導体素子の製造方法が提供される。

40

【0016】

また本発明によれば、GaN基板上に、一方向に延在する複数のストライプ状のマスクを形成する工程と、前記マスクの開口部に半導体層を選択成長させ前記マスクの直上に溝部を形成する工程と、前記溝部の延在方向と直交する面に沿って、溝部延在方向両端に溝部の形成されていない箇所を残すように前記GaN基板および半導体層を切断し、バーを形成する工程と、前記溝部の延在方向に沿ってブレーキングを行い、前記溝部に沿ってGaN基板および半導体層を切断するとともに前記溝部の形成されていない箇所において前記溝部から前記バーの切断面に至る劈開面を形成することにより素子分離し、半導体素子を得る工程と、を含み、前記一方向と、前記劈開面の形成される方向とが異なる、半導体

50

素子の製造方法が提供される。

【0017】

これらの製造方法によれば、劈開面および劈開面以外の面からなる素子分離面を有する素子を安定的に得ることができ、製造効率および素子信頼性に優れる半導体素子を良好な製造安定性で作製することができる。

【0018】

上記製造方法において、上記溝部に重ねてスクライブ溝を形成した後、GaN基板および半導体層を切断してバーを形成する工程を実施してもよい。こうすることによって、GaN基板および半導体層を切断する際、半導体層等が損傷を受けることを効果的に抑制できる。

10

【0021】

本発明に係る半導体素子は、たとえば半導体光素子とすることができる。具体的には、光導波路を備えた構成を採用することができる。

【0022】

こうした素子において、前記バーの切断面の少なくとも一方にミラーコーティングを施してもよい。

【0023】

本発明において結晶基板は種々のものを採用することができるが、たとえばIII族窒化物半導体等の六方晶の結晶構造を有する半導体材料を用いることができる。このような半導体材料を用いた場合、劈開面だけで矩形の素子を形成することは困難であるので、本発明を好適に適用することができる。また、結晶基板として、表面転位密度が 10^7 個/cm²未満または 10^6 個/cm²未満のものを用いた場合、本発明の効果がより顕著に発揮される。また、半導体層の表面転位密度が 10^7 個/cm²未満または 10^6 個/cm²未満のものを用いた場合、本発明の効果がより顕著に発揮される。

20

【発明の効果】

【0025】

本発明によれば、結晶面および結晶面以外の面を含む側面を備える素子構造を採用するため、製造効率および素子信頼性に優れる半導体素子の製造方法が提供される。

30

【発明を実施するための最良の形態】

【0026】

以下、実施例に基づいて本発明の好ましい実施形態について説明する。なお、以下の説明において、「素子分離」とはLDバーからLDチップを分離する工程を指すものとする。

【0027】

実施例1

本実施例について図1、図2、図3を参照して説明する。

【0028】

図1は、本実施例に係る半導体レーザ(以下、適宜「LD」という。)の断面構造を示す図である。LD層構造は、六方晶GaN基板1(基板転位密度 1×10^6 個/cm²)を用いてMOVPE法により形成した。

40

【0029】

GaN基板1上に以下の各層を順次成長させて、LD構造を形成する。すなわち、
Siドープn-GaN層2、
Siドープn型Al_{0.06}Ga_{0.94}N(シリコン濃度 4×10^{17} cm⁻³、厚さ1.8μm)からなるn型クラッド層3、
Siドープn型GaN(シリコン濃度 4×10^{17} cm⁻³、厚さ0.1μm)からなるn型光閉じ込め層4、
In_{0.08}Ga_{0.92}N(厚さ4nm)井戸層とSiドープIn_{0.02}Ga_{0.98}N(シリコン濃度 5×10^{18} cm

50

$^{-3}$ 厚さ6nm)バリア層からなる多重量子井戸(MQW)層5(井戸数3個)、
 Mgドープp型 $\text{Al}_{0.17}\text{Ga}_{0.83}\text{N}$ からなるキャップ層6、
 Mgドープp型GaN(Mg濃度 $2 \times 10^{17}\text{cm}^{-3}$ 、厚さ $0.1\mu\text{m}$)からなるp型光閉じ込め層7、
 Mgドープp型 $\text{Al}_{0.07}\text{Ga}_{0.93}\text{N}$ (Mg濃度 $2 \times 10^{17}\text{cm}^{-3}$ 、厚さ $0.5\mu\text{m}$)からなるp型クラッド層8、
 Mgドープp型GaN(Mg濃度 $2 \times 10^{17}\text{cm}^{-3}$ 、厚さ $0.1\mu\text{m}$)からなるp型コンタクト層9
 を順次成長させる。

【0030】

その後、通常の露光技術で11-20方向にレジストストライプマスクを形成し、ドライエッチング法でエッチングを行い、リッジストライプ部10を形成する。つづいて、p
 コンタクト層側に、Ni/Pt/Auからなるp電極11を形成する。n基板側は研磨により $100\mu\text{m}$
 m厚まで削り、Ti/Alからなるn電極12を形成する。

10

【0031】

以上のプロセスを終了させた後、レーザ共振器バー(以下、適宜「LDバー」という。)
)に分離した後、素子分離を行う。これらの工程の概要について図8を参照して説明する。
 まず、メサ部509および分離溝(不図示)の延在方向と直交する方向に沿ってウエハ
 800を劈開面802で劈開してレーザバーを形成する(図8(a))。次いでそれぞ
 れのバーを、素子分離する(図8(b)、(c))。こうして半導体素子が得られる。な
 お、図8(b)、(c)では、素子分離面(素子の側面)を共振器の延在方向を平行に描
 いているが、実際の素子分離面は、劈開面とスクライプ面から構成された多面構造となっ
 ている。

20

【0032】

上記プロセスについて具体的に述べる。まず、ウエハを1-100方向に劈開してレー
 ザ共振器を形成する。これにより、図2のようなLDバーが形成される。LDバーには図
 1で述べたリッジストライプ部10が周期W(実施例1の場合 $W=300\mu\text{m}$)で形成されてい
 る。共振器長は図2のL(実施例1の場合 $L=800\mu\text{m}$)の長さとなる。形成されたLDバ
 ーは、片側に高反射コーティングを施した後、素子分離を行う。素子分離は、表面からス
 クライバ-でGaN結晶(半導体成長層)に傷(溝)をつけて、その後、基板裏面からセラ
 ミック刃を当ててブレイキングする。スクライバ-の針先端部分はダイヤモンドとし、針
 の進行方向に対して針を 45° に傾けてスクライプ溝13を形成する。スクライプの加重を2
 0gとし5回スクライプしたところ、GaN結晶表面から約 $5\mu\text{m}$ の溝が形成された。

30

【0033】

図3は、スクライプ溝13の形成されたLDバーの上面図である。図示したように、スク
 ライプ溝13は共振器の全領域に形成するのではなく、溝を形成しない領域をバーの両端に
 設けた。この領域の長さはそれぞれ $a\mu\text{m}$ である(本実施例の場合 $a=50\mu\text{m}$)。本実施例
 の場合、図3の角度 θ は 30° とするので、端面からスクライプ端までの距離aは $W/2 \tan$
 θ ($W=300\mu\text{m}$ 、 $\theta=30^\circ$) $=86\mu\text{m}$ 以下であればよい。

【0034】

これらのスクライプ溝を形成した後に、ブレイキング刃の速度を $100\mu\text{m}/\text{sec}$ でブレイ
 キングしたところ、図3のようにスクライプ溝が形成されている部分はスクライプ溝に沿
 って割れ、溝が形成されていない部分では結晶面に沿って劈開して好適に素子分離するこ
 とができた。

40

【0035】

本実施例では、スクライプ溝をp電極側から形成したが、n電極側から形成しても良い。
 また、ブレイキング刃は、実施例1の場合n電極側から入れたが、p電極側から入れて
 もよい。

【0036】

本実施例で得られる分離後の素子を図6および図7に示した。図6では、スクライプ溝
 13から劈開面100に沿って素子分離が行われている。劈開面100は1-100と等価な方向
 で割れている。図7は、図6で示した劈開面が途中から方向を変えている場合の例である

50

。この場合、劈開面100から、劈開面110や劈開面120に方向が変わって素子分離されている。劈開面110や劈開面120も $< 1 - 100 >$ 面と等価であり、素子分離する際の条件により、場合によってはこの様な形状で分離される。この様な条件で素子分離された素子の端面は、劈開で終端されるので、損傷が少なく、特にリッジ部におけるコーティング膜の剥がれが皆無となり、歩留まりは著しく向上し、ほぼ100%であった。

【0037】

実施例2

本実施例について図1、図3、図4を参照して説明する。LD層構造は実施例1に示したものと同様である。本実施例では、p電極およびn電極を形成する工程までウエハ状態で行い、その後、チップに分離する。

10

【0038】

本実施例では、実施例1と異なり、図4のようにドライエッチングでリッジストライプ部10を形成した後、素子分離溝14を形成する。素子分離溝はレジストによる露光技術で図4のようにパターンニングした後、ドライエッチングにより形成する。

【0039】

分離溝の長さ b は、実施例1の図3で述べた $b = L - W \tan \theta$ の条件を満たす長さにする。例えば $W = 300 \mu\text{m}$ 、 $\theta = 30^\circ$ 、 $L = 800 \mu\text{m}$ である場合、分離溝 b の長さは $626 \mu\text{m}$ 以上であればよい。本実施例では、 $b = 700 \mu\text{m}$ とする。また、分離溝 b の深さは $5 \mu\text{m}$ とし、分離溝幅は $10 \mu\text{m}$ とする。このような分離溝をウエハ内の全領域に形成した後、図4において破線で示したようなLDバーを形成する。その後、レーザ出射端には SiO_2 による低反射コーティング（反射率8%）を行い、後面には $\text{SiO}_2/\text{TiO}_2$ による高反射コーティング（反射率95%）を行う。

20

【0040】

このようなLDバーを、ブレイキング刃を用いて基板裏面からブレイキングした。ブレイキング刃の速度を $200 \mu\text{m}/\text{sec}$ 、押し込み量を $150 \mu\text{m}$ としたところ、図3のようにスクライブ溝が形成されている部分は、溝に沿って割れ、溝が形成されていない部分で劈開方向に劈開し、素子分離することができる。このように素子分離溝を形成して素子分離を行うと、実施例1同様、端面は、劈開で終端されるので、損傷を抑制しつつ素子分離ができる。

【0041】

実施例3

本実施例について図3、図4を参照して説明する。本実施例ではドライエッチングおよびスクライブを併用して分離溝を形成し、これによりブレイキング時における素子の損傷を抑制するとともにp電極の一部がn半導体層に接触することを避けている。

30

【0042】

本実施例では、実施例2の図4と同様、ドライエッチングにより素子分離溝を形成したLDバーを用いる。LDバーの後面（出射側と反対）には高反射コーティングが施されており、レーザ出射面は劈開面となっている。このLDバーを用い、ドライエッチング溝形成箇所に重ねてスクライブ溝を形成する。スクライブ溝は、ウエハ表面からスクライバでGaN結晶に傷（溝）をつけることにより形成する。スクライブ溝形成後、基板裏面からセラミック刃を当ててブレイキングすることにより素子分離した。スクライバの針先端部分はダイヤモンドとし、針を 40° に傾けて、図3のようにスクライブ溝13を形成した。スクライブの加重は、 15g とし、5回スクライブしたところ、GaN結晶表面から約 $4 \mu\text{m}$ の溝が形成された。

40

【0043】

スクライブ溝13は、図3のように共振器の全領域に形成するのではなく、両端に $a \mu\text{m}$ 残した（実施例1の場合 $a = 50 \mu\text{m}$ ）。これらのスクライブ溝を形成した後に、ブレイキング刃の速度を $100 \mu\text{m}/\text{sec}$ 、押し込み量を $50 \mu\text{m}$ でブレイキングしたところ、図3のようにスクライブ溝が形成されている部分は、溝に沿って割れ、溝が形成されていない部分では劈開方向に劈開して素子分離することができた。このようにドライエッチングによる分離

50

溝とスクライブによる分離溝を併用することで、ブレーキングの衝撃を減らすことができる。

【0044】

窒化物半導体の積層構造を有する半導体素子では、各層でお互いに格子が整合していないため、大きな衝撃を与えると結晶内部で新たな転位が発生しやすい。ここで発生した転位は、面内方向に伝播しやすい性質を有しており、その結果、電流が通電する結晶にも転位が増加し、LD特性や寿命に大きな影響を及ぼす。どの程度の衝撃まで許容されるかは層構造によって異なる。例えばAlGaInクラッド層の厚さやAl組成を増加した場合、衝撃を少なくする必要がある。このように素子分離時になるべく衝撃を減らしたい場合に、ドライエッチングにより形成した溝に重ねてスクライブ溝を形成する本実施例の方法が好適に用いられる。なお、本実施例では、スクライブと衝撃を減らしたブレーキングの工程を行っているが、スクライブの回数や加重を多くすることで、ブレーキング工程なしで素子分離することも可能である。

10

【0045】

実施例4

本実施例について図4、図5を参照して説明する。上述した実施例では素子分離溝をスクライブやドライエッチングにより形成したが、本実施例では、選択成長により素子分離溝を形成する方法について述べる。

【0046】

図5は本実施例で用いるLDの断面構造図である。以下、この層構造の形成方法について説明する。まず、基板表面付近の転位密度が 9×10^6 個/cm²のGaIn基板15を用意し、その上にCVD法によりSiO₂膜を堆積し、さらにその上にAlN多結晶膜をスパッタリング法により堆積する。次にAlN多結晶膜上に11-20方向に延在するレジストマスクを形成する。

20

【0047】

このレジストマスクに覆われた箇所は半導体層が形成されず、後の半導体成長工程を経ることによってマスク形成箇所に分離溝が形成される。この分離溝は、図4に示すストライプパターンの分離溝14として形成される。分離溝の長さbは、実施例1の図3で述べた $b = L - W \tan \theta$ の条件を満たす長さにする。例えば $W = 300 \mu\text{m}$ 、 $\theta = 30^\circ$ 、 $L = 800 \mu\text{m}$ である場合、分離溝の長さは626 μm 以上であればよい。マスク幅は18 μm 、開口幅は200 μm である。ドライエッチングおよびウェットエッチング法によりAlN多結晶17およびSiO₂膜16をエッチングし、開口部18において基板表面を露出させる。

30

【0048】

上記マスクを形成したウエハを用い、MOVPE法によりSiドープGaInを開口部分に形成し、その後横方向成長させる。これにより、平坦化されたn-GaIn層19が形成される。

【0049】

その後、Siドープn型Al_{0.1}Ga_{0.9}N(シリコン濃度 $4 \times 10^{17} \text{cm}^{-3}$ 、厚さ1.2 μm)からなるn型クラッド層20、Siドープn型GaIn(シリコン濃度 $4 \times 10^{17} \text{cm}^{-3}$ 、厚さ0.1 μm)からなるn型光閉じ込め層21、In_{0.2}Ga_{0.8}N(厚さ4nm)井戸層とSiドープIn_{0.05}Ga_{0.95}N(シリコン濃度 $5 \times 10^{18} \text{cm}^{-3}$ 厚さ6nm)バリア層からなる多重量子井戸(MQW)層22(井戸数3個)、Mgドープp型Al_{0.2}Ga_{0.8}Nからなるキャップ層23、Mgドープp型GaIn(Mg濃度 $2 \times 10^{17} \text{cm}^{-3}$ 、厚さ0.1 μm)からなるp型光閉じ込め層24、Mgドープp型Al_{0.1}Ga_{0.9}N(Mg濃度 $2 \times 10^{17} \text{cm}^{-3}$ 、厚さ0.5 μm)からなるp型クラッド層25、Mgドープp型GaIn(Mg濃度 $2 \times 10^{17} \text{cm}^{-3}$ 、厚さ0.1 μm)からなるp型コンタクト層26を順次成長させてLD層構造を形成する。その後、通常の露光技術で11-20方向にレジストストライプマスクを形成し、ドライエッチング法でエッチングを行い、リッジ27を形成する。その後、p側にSiO₂誘電体膜28、Ni/Pt/Auからなるp電極29を、n基板側にはTi/Alからなるn電極30を形成する。

40

【0050】

以上のようにして作製された素子分離溝付きウエハを劈開し、図4において破線で示し

50

たような共振器（LDバー）を得る。その後、レーザ出射端にはSiO₂による低反射コーティング（反射率5%）を行い、後面にはSiO₂/TiO₂による高反射コーティング（反射率95%）を行う。

【0051】

このようなLDバーを、基板裏面からブレイキング刃を用いてブレイキングする。ブレイキング刃の速度を150 μm/sec、押し込み量を150 μmとしたところ、図3のようにスクライブ溝が形成されている部分では溝に沿って割れ、溝が形成されていない部分では劈開方向に劈開し、素子分離することができた。このように素子分離溝を形成して素子分離を行うと、実施例1同様、端面は、劈開で終端されるので、損傷の少ない素子分離を実現することができる。

10

【0052】

実施例5

本実施例について図3、図4、図5を参照して説明する。本実施例では選択成長およびスクライブを併用して分離溝を形成し、これによりブレイキング時における素子の損傷を抑制している。

【0053】

本実施例では、実施例4の図5と同様の選択成長により素子分離溝を形成したLDバーを用いる。レーザ出射端にはSiO₂による低反射コーティング（反射率5%）を行い、後面にはSiO₂/TiO₂による高反射コーティング（反射率95%）を行う。このLDバーを用い、選択成長により形成した溝の形成箇所に重ねてスクライブ溝を形成する。スクライブ溝は、ウエハ表面からスクライバ - でGaN結晶に傷（溝）をつけることにより形成した。その後、基板裏面からセラミック刃を当ててブレイキングした。スクライバ - の針先端部分はダイヤモンドとし、針を45°に傾けて、図3のようにスクライブ溝13を形成した。スクライブの加重は20gとし5回スクライブしたところGaN結晶表面から約5 μmの溝が形成された。スクライブ溝13は、図3のように共振器の全領域に形成するのではなく両端にa μm残した。これらのスクライブ溝を形成した後に、ブレイキング刃の速度を100 μm/sec、押し込み量を50 μmでブレイキングしたところ、図3のようにスクライブ溝が形成されている部分は、溝に沿って割れ、溝が形成されていない部分で劈開方向に劈開し、素子分離できた。このように選択成長による分離溝とスクライブによる分離溝を併用することで、ブレイキングの衝撃を減らすことができる。

20

30

【0054】

窒化物半導体の層構造は、各層でお互いに格子が整合していないため、大きな衝撃を与えると、結晶内部で新たな転位が発生しやすい。ここで発生した転位は、面内方向に伝播しやすい性質を有しており、その結果、電流が通電する結晶にも転位が増加し、LD特性や寿命に大きな影響を及ぼす。どの程度の衝撃まで許容されるかは層構造によって異なり、例えばAlGaNクラッド層の厚さやAl組成を増加した場合、衝撃を少なくする必要がある。このように素子分離時になるべく衝撃を減らしたい場合に、予め形成した素子分離溝にスクライブ溝を形成する本実施例の方法が好適に用いられる。本実施例では、スクライブと衝撃を減らしたブレイキングの工程を行っているが、スクライブの回数や加重を多くすることで、ブレイキング工程なしで素子分離することも可能である。

40

【0055】

上記実施例に係る素子の側面（素子分離面）は、GaN基板の結晶面（劈開面）と、GaN基板の結晶面以外の面（スクライブやドライエッチング、選択成長等により形成した非劈開面）とにより構成されている。このため、素子分離の際の歩留まりを良好に維持しつつ、素子分離時における素子の損傷を有効に抑制でき、製造効率および素子信頼性に優れた半導体素子が得られる。

【図面の簡単な説明】

【0056】

【図1】実施の形態に係る半導体素子の断面構造を模式的に示す断面図である。

【図2】実施の形態に係る半導体素子の製造方法を説明するための図である。

50

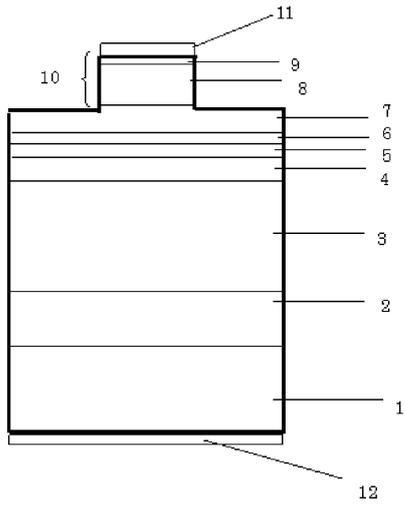
- 【図3】実施の形態に係る半導体素子の製造方法を説明するための図である。
 【図4】実施の形態に係る半導体素子の製造方法を説明するための図である。
 【図5】実施の形態に係る半導体素子の断面構造を模式的に示す断面図である。
 【図6】実施の形態に係る半導体素子の構造を模式的に示す上面図である。
 【図7】実施の形態に係る半導体素子の構造を模式的に示す上面図である。
 【図8】実施の形態に係る半導体素子の製造方法を説明するための図である。

【符号の説明】

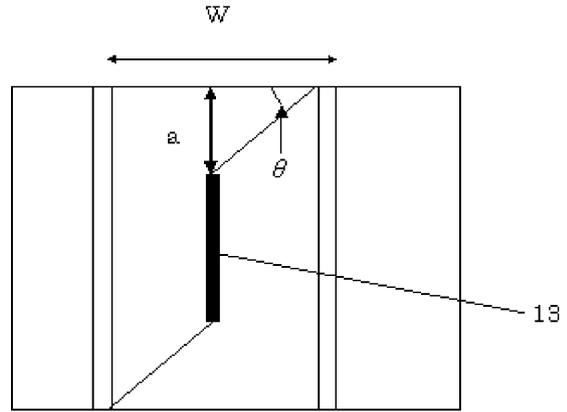
【0057】

- | | | |
|----|-----------------------|----|
| 1 | GaN基板 | |
| 2 | Siドープn-GaN層 | 10 |
| 3 | n型クラッド層 | |
| 4 | n型光閉じ込め層 | |
| 5 | 多重量子井戸(MQW)層 | |
| 6 | キャップ層 | |
| 7 | p型光閉じ込め層 | |
| 8 | p型クラッド層 | |
| 9 | p型コンタクト層 | |
| 10 | リッジストライプ部 | |
| 11 | p電極 | |
| 12 | n電極 | 20 |
| 13 | スクライプ溝 | |
| 14 | 素子分離溝 | |
| 15 | GaN基板 | |
| 16 | SiO ₂ 膜 | |
| 17 | AlN多結晶 | |
| 18 | 開口部 | |
| 19 | n-GaN層 | |
| 20 | n型クラッド層 | |
| 21 | n型光閉じ込め層 | |
| 22 | 多重量子井戸(MQW)層 | 30 |
| 23 | キャップ層 | |
| 24 | p型光閉じ込め層 | |
| 25 | p型クラッド層 | |
| 26 | p型コンタクト層 | |
| 27 | リッジ | |
| 28 | SiO ₂ 誘電体膜 | |
| 29 | p電極 | |
| 30 | n電極 | |

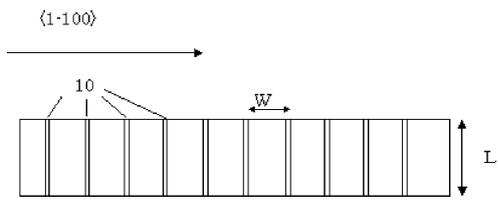
【図 1】



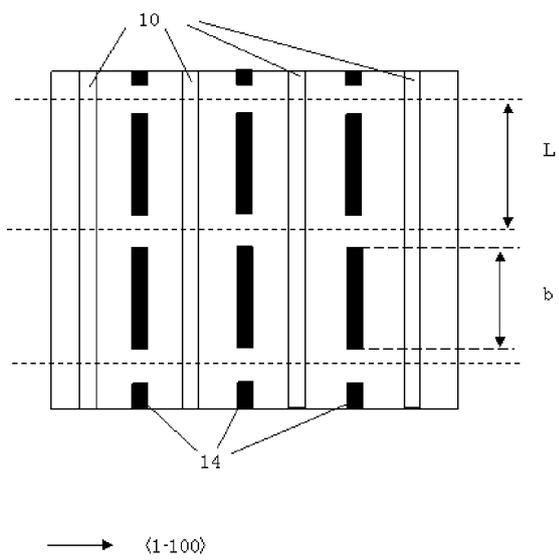
【図 3】



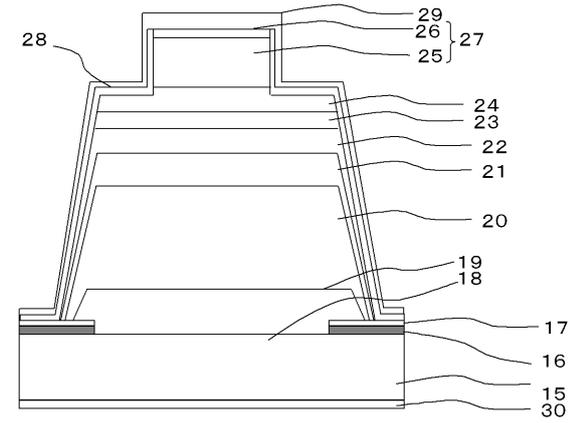
【図 2】



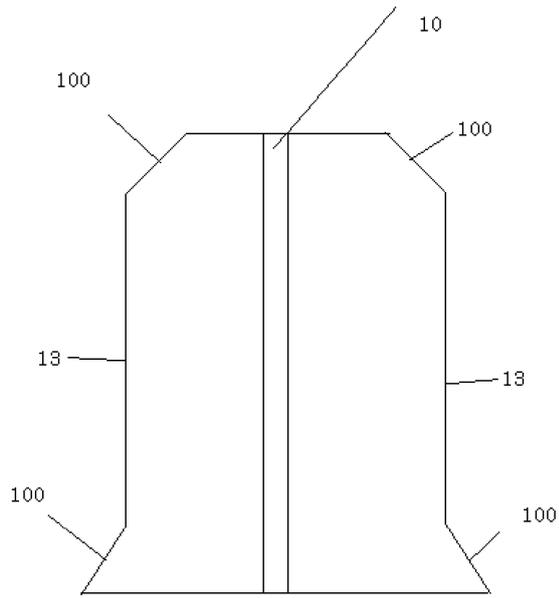
【図 4】



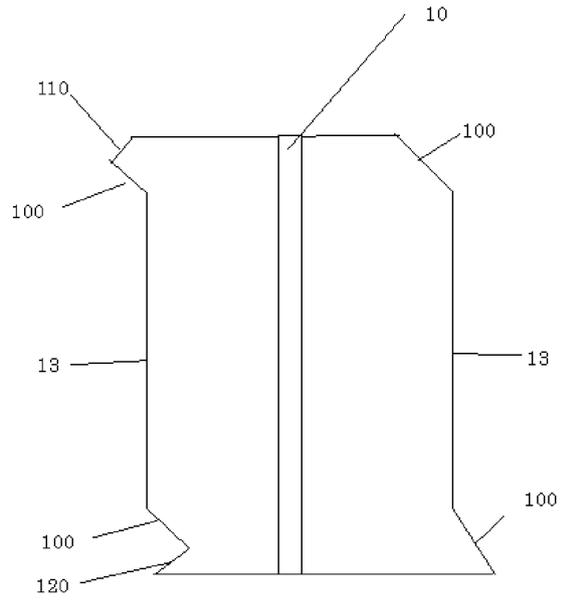
【図 5】



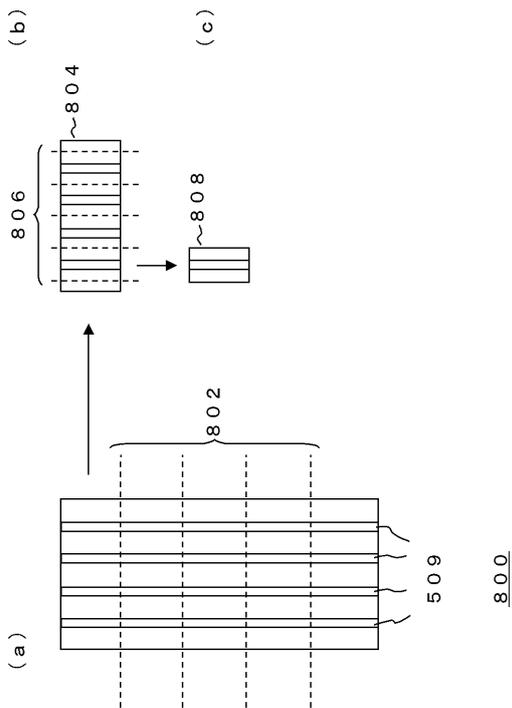
【図6】



【図7】



【図8】



フロントページの続き

(56)参考文献 特開平10-070335(JP,A)
特開2003-133649(JP,A)
特開平06-005703(JP,A)
特開2001-085736(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01S 5/00 - 5/50