



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0056874
(43) 공개일자 2018년05월30일

<p>(51) 국제특허분류(Int. Cl.) H04B 1/16 (2006.01) H03D 11/04 (2006.01) H03F 1/02 (2006.01)</p> <p>(52) CPC특허분류 H04B 1/16 (2013.01) H03D 11/04 (2013.01)</p> <p>(21) 출원번호 10-2016-0154745 (22) 출원일자 2016년11월21일 심사청구일자 없음</p>	<p>(71) 출원인 삼성전자주식회사 경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자 김성중 경기도 화성시 동탄숲속로 68 김상준 경기도 화성시 동탄문화센터로 38, 411동 702호 (반송동, 솔빛마을서해그랑블아파트)</p> <p>(74) 대리인 특허법인 무한</p>
---	---

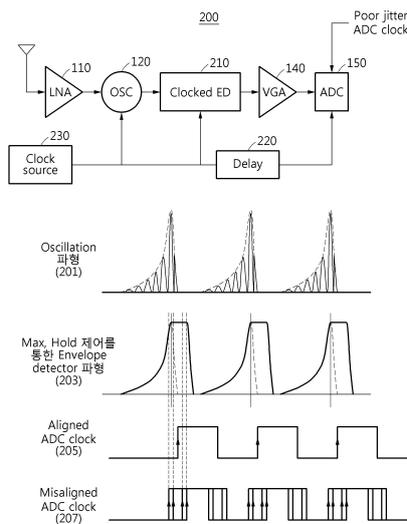
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 수신기

(57) 요약

수신 신호에 기초하여 발진 신호를 생성하는 발진기, 발진 신호의 포락선을 검출하고 포락선의 피크 값을 미리 설정된 시간 구간 동안 홀딩하는 클럭드 포락선 검출기 및 포락선의 피크 값을 디지털 신호로 변환하는 아날로그-디지털 변환기를 포함하는 수신기를 제공할 수 있다.

대표도 - 도2



(52) CPC특허분류
H03F 1/0222 (2013.01)

명세서

청구범위

청구항 1

수신 신호에 기초하여 발진 신호를 생성하는 발진기(oscillator);

상기 발진 신호의 포락선을 검출하고, 상기 포락선의 피크 값(peak value)을 미리 설정된 시간 구간 동안 홀딩(holding)하는 클럭드 포락선 검출기(Clocked ED); 및

상기 포락선의 피크 값을 디지털 신호로 변환하는 아날로그-디지털 변환기(Analogue-to-Digital Converter; ADC)

를 포함하는, 수신기.

청구항 2

제1항에 있어서,

상기 클럭드 포락선 검출기는

상기 포락선의 피크 값이 상기 아날로그-디지털 변환기의 샘플링 타이밍에 맞춰 감지되도록, 클럭 신호에 기초하여 상기 포락선의 피크 값을 상기 발진 신호의 심볼 주기의 일정 구간 동안 홀딩하는, 수신기.

청구항 3

제1항에 있어서,

상기 클럭드 포락선 검출기는

상기 발진기에 의하여 상기 발진 신호가 생성되는 구간에서 상기 포락선에 대응하는 전하를 충전하고,

상기 발진기에 의하여 상기 발진 신호가 소멸되는 구간에서 상기 충전된 전하를 보존하는, 수신기.

청구항 4

제1항에 있어서,

상기 발진 신호가 생성되는 구간 및 상기 발진 신호가 소멸되는 구간은 클럭 신호에 의해서 제어되는, 수신기.

청구항 5

제4항에 있어서,

상기 클럭 신호는

상기 아날로그-디지털 변환기의 클럭 신호와 동기화되는, 수신기.

청구항 6

제1항에 있어서,

상기 발진기, 상기 클럭드 포락선 검출기 및 상기 아날로그-디지털 변환기는 클럭 신호를 발생시키는 하나의 클럭 소스(clock source)에 의해 동기화되는, 수신기.

청구항 7

제6항에 있어서,

상기 발진기 및 상기 클럭드 포락선 검출기에는

상기 클럭 소스에 기초하여 생성된 제1 클럭 신호가 인가되고,

상기 아날로그-디지털 변환기에는

상기 클럭 소스에 기초하여 생성되고, 제1 클럭 신호와 위상이 서로 상이한 제2 클럭 신호가 인가되는, 수신기.

청구항 8

제1항에 있어서,

상기 클럭드 포락선 검출기는

저항과 커패시터를 포함하는 RC 충전 회로 및 스위치를 포함하고,

상기 스위치는

상기 저항 및 상기 커패시터 사이에 위치하고, 상기 클럭드 포락선 검출기의 출력 노드 및 상기 발진기의 출력 노드와 연결된 상기 클럭드 포락선 검출기의 입력 노드에 직렬로 연결되며,

상기 저항은 상기 클럭드 포락선 검출기의 입력 노드와 접지 노드 사이에 연결되고,

상기 커패시터는 상기 클럭드 포락선 검출기의 출력 노드 및 접지 노드 사이에 연결되는, 수신기.

청구항 9

제8항에 있어서,

상기 스위치는

클럭 신호에 기초하여 개폐 동작 및 개폐 시간이 제어되는, 수신기.

청구항 10

제8항에 있어서,

상기 스위치는

상기 포락선의 피크 값이 상기 커패시터에 의해 유지되도록, 상기 클럭 신호에 기초하여 상기 발진 신호의 심볼 주기의 75% 구간 동안 폐쇄되고 상기 심볼 주기의 25% 구간 동안 개방되는, 수신기.

청구항 11

제8항에 있어서,

상기 스위치는

제1 스위치 및 제2 스위치를 포함하고,

상기 제1 스위치 및 상기 제2 스위치는 상기 저항과 상기 커패시터 사이에서 서로 직렬로 연결되는, 수신기.

청구항 12

제8항에 있어서,

상기 커패시터는 적어도 하나의 가변 커패시터를 포함하는, 수신기.

청구항 13

제1항에 있어서,

상기 클럭드 포락선 검출기는

서로 상이하고, 대칭 구조를 이루는 제1 타입의 검출기 및 제2 타입의 검출기를 포함하고, 상기 제1 타입의 검출기 및 상기 제2 타입의 검출기 간의 차동 신호(differential signal)를 출력하는, 수신기.

청구항 14

제13항에 있어서,

상기 제1 타입의 검출기는 p-MOSFET 타입의 트랜지스터로 구성되고,
 상기 제2 타입의 검출기는 n-MOSFET 타입의 트랜지스터로 구성되는, 수신기.

청구항 15

제1항에 있어서,
 상기 아날로그-디지털 변환기의 샘플링 타이밍을 조절하는 지연 소자를 더 포함하는, 수신기.

청구항 16

제15항에 있어서,
 상기 지연 소자는
 상기 피크 값을 홀딩하는 구간에서 상기 아날로그-디지털 변환기가 샘플링을 수행하도록 상기 아날로그-디지털 변환기의 샘플링 타이밍을 조절하는, 수신기.

청구항 17

제15항에 있어서,
 상기 아날로그-디지털 변환기에는
 상기 클럭 소스에 기초하여 생성되고, 인버터에 의해 반전된 제2 클럭 신호가 상기 지연 소자에 의해 지연되어 인가되는, 수신기.

청구항 18

제1항에 있어서,
 상기 클럭드 포락선 검출기의 스위치 제어 신호 단자를 통해 전달된 입력 값 및 상기 클럭 소스에 의해 생성된 제1 클럭 신호 값 간의 논리합 연산을 수행하는 논리 소자를 포함하는 클럭 제어 회로를 더 포함하는, 수신기.

청구항 19

제1항에 있어서,
 상기 발진기는
 초재생 발진기(Super-Regenerative Oscillator: SRO)를 포함하는, 수신기.

청구항 20

제1항에 있어서,
 상기 수신 신호에 포함된 잡음 신호를 최소화하여 증폭한 결과를 상기 발진기에 인가하는 저잡음 증폭기; 및
 상기 클럭드 포락선 검출기에서 검출된 포락선에 대하여 상기 아날로그-디지털 변환기의 입력 범위(input range)에 적합하도록 이득을 조정하는 가변 이득 증폭기
 중 적어도 하나를 더 포함하는, 수신기.

발명의 설명

기술 분야

[0001] 아래 실시예들은 수신기에 관한 것으로, 보다 구체적으로 SRO(Super-regenerative Oscillator)를 포함하는 초재생 수신기에 관한 것이다.

배경 기술

- [0002] 초재생 발진기(Super-regenerative Oscillator; SRO)를 포함한 초재생 수신기(SRR, Super-regenerative Receiver)는 적당한 수신 감도를 가지고, 저비용으로 쉽게 구현할 수 있는 수신기로 알려져 있다. 초재생 수신기는 원격 제어 장난감이나 정보 시스템 및 감시 장치 등과 같은 다양한 분야에 폭넓게 응용될 수 있다.
- [0003] 초재생 수신기에서 수신한 변조 신호의 복조를 위해 검출한 포락선은 예를 들어, 초재생 발진기의 오실레이션 형태에 따라 매우 예리(sharp)한 피크 값(Peak value)을 가질 수 있다. 이와 같은 예리한 피크 값을 아날로그-디지털 변환기(Analogue-to Digital Conversion)가 정확하게 감지하기 위해서는 매우 정교한 샘플링 타이밍이 요구된다.

발명의 내용

해결하려는 과제

과제의 해결 수단

- [0004] 일 측에 따르면, 수신기는 수신 신호에 기초하여 발진 신호를 생성하는 발진기(oscillator); 상기 발진 신호의 포락선을 검출하고, 상기 포락선의 피크 값(peak value)을 미리 설정된 시간 구간 동안 홀딩(holding)하는 클럭드 포락선 검출기; 및 상기 포락선의 피크 값을 디지털 신호로 변환하는 아날로그-디지털 변환기(Analogue-to-Digital Converter; ADC)를 포함한다.
- [0005] 상기 클럭드 포락선 검출기는 상기 포락선의 피크 값이 상기 아날로그-디지털 변환기의 샘플링 타이밍에 맞춰 감지되도록, 클럭 신호에 기초하여 상기 포락선의 피크 값을 상기 발진 신호의 심볼 주기의 일정 구간 동안 홀딩할 수 있다.
- [0006] 상기 클럭드 포락선 검출기는 상기 발진기에 의하여 상기 발진 신호가 생성되는 구간에서 상기 포락선에 대응하는 전하를 충전하고, 상기 발진기에 의하여 상기 발진 신호가 소멸되는 구간에서 상기 충전된 전하를 보존할 수 있다.
- [0007] 상기 발진 신호가 생성되는 구간 및 상기 발진 신호가 소멸되는 구간은 클럭 신호에 의해서 제어될 수 있다.
- [0008] 상기 클럭 신호는 상기 아날로그-디지털 변환기의 클럭 신호와 동기화될 수 있다.
- [0009] 상기 발진기, 상기 클럭드 포락선 검출기 및 상기 아날로그-디지털 변환기는 클럭 신호를 발생시키는 하나의 클럭 소스(clock source)에 의해 동기화될 수 있다.
- [0010] 상기 발진기 및 상기 클럭드 포락선 검출기에는 상기 클럭 소스에 기초하여 생성된 제1 클럭 신호가 인가되고, 상기 아날로그-디지털 변환기에는 상기 클럭 소스에 기초하여 생성되고, 제1 클럭 신호와 위상이 서로 상이한 제2 클럭 신호가 인가될 수 있다.
- [0011] 상기 클럭드 포락선 검출기는 저항과 커패시터를 포함하는 RC 충전 회로 및 스위치를 포함하고, 상기 스위치는 상기 저항 및 상기 커패시터 사이에 위치하고, 상기 클럭드 포락선 검출기의 출력 노드 및 상기 발진기의 출력 노드와 연결된 상기 클럭드 포락선 검출기의 입력 노드에 직렬로 연결되며, 상기 저항은 상기 클럭드 포락선 검출기의 입력 노드와 접지 노드 사이에 연결되고, 상기 커패시터는 상기 클럭드 포락선 검출기의 출력 노드 및 접지 노드 사이에 연결될 수 있다.
- [0012] 상기 스위치는 클럭 신호에 기초하여 개폐 동작 및 개폐 시간이 제어될 수 있다.
- [0013] 상기 스위치는 상기 포락선의 피크 값이 상기 커패시터에 의해 유지되도록, 상기 클럭 신호에 기초하여 상기 발진 신호의 심볼 주기의 75% 구간 동안 폐쇄되고 상기 심볼 주기의 25% 구간 동안 개방될 수 있다.
- [0014] 상기 스위치는 제1 스위치 및 제2 스위치를 포함하고, 상기 제1 스위치 및 상기 제2 스위치는 상기 저항과 상기 커패시터 사이에서 서로 직렬로 연결될 수 있다.
- [0015] 상기 커패시터는 적어도 하나의 가변 커패시터를 포함할 수 있다.
- [0016] 상기 클럭드 포락선 검출기는 서로 상이하고, 대칭 구조를 이루는 제1 타입의 검출기 및 제2 타입의 검출기를

포함하고, 상기 제1 타입의 검출기 및 상기 제2 타입의 검출기 간의 차동 신호(differential signal)를 출력할 수 있다.

- [0017] 상기 제1 타입의 검출기는 p-MOSFET 타입의 트랜지스터로 구성되고, 상기 제2 타입의 검출기는 n-MOSFET 타입의 트랜지스터로 구성될 수 있다.
- [0018] 상기 수신기는 상기 아날로그-디지털 변환기의 샘플링 타이밍을 조절하는 지연 소자를 더 포함할 수 있다.
- [0019] 상기 지연 소자는 상기 피크 값을 홀딩하는 구간에서 상기 아날로그-디지털 변환기가 샘플링을 수행하도록 상기 아날로그-디지털 변환기의 샘플링 타이밍을 조절할 수 있다.
- [0020] 상기 아날로그-디지털 변환기에는 상기 클럭 소스에 기초하여 생성되고, 인버터에 의해 반전된 제2 클럭 신호가 상기 지연 소자에 의해 지연되어 인가될 수 있다.
- [0021] 상기 수신기는 상기 클럭드 포락선 검출기의 스위치 제어 신호 단자를 통해 전달된 입력 값 및 상기 클럭 소스에 의해 생성된 제1 클럭 신호 값 간의 논리합 연산을 수행하는 논리 소자를 포함하는 클럭 제어 회로를 더 포함할 수 있다.
- [0022] 상기 발진기는 초재생 발진기(Super-Regenerative Oscillator: SRO)를 포함할 수 있다.
- [0023] 상기 수신기는 상기 수신 신호에 포함된 잡음 신호를 최소화하여 증폭한 결과를 상기 발진기에 인가하는 저잡음 증폭기; 및 상기 클럭드 포락선 검출기에서 검출된 포락선에 대하여 상기 아날로그-디지털 변환기의 입력 범위(input range)에 적합하도록 이득을 조정하는 가변 이득 증폭기 중 적어도 하나를 더 포함할 수 있다.

도면의 간단한 설명

- [0024] 도 1은 수신기에서 검출되는 포락선과 아날로그-디지털 변환기(ADC)의 샘플링 클럭 간의 관계를 설명하기 위한 도면.
- 도 2는 일 실시예에 따른 수신기의 구성 및 동작을 설명하기 위한 도면.
- 도 3은 일 실시예에 따른 클럭드 포락선 검출기의 동작 원리를 설명하기 위한 도면.
- 도 4는 일 실시예에 따른 클럭드 포락선 검출기의 회로 구성을 나타낸 도면.
- 도 5는 다른 실시예에 따른 클럭드 포락선 검출기의 회로 구성을 나타낸 도면.
- 도 6은 일 실시예에 따른 수신기에 인가되는 클럭을 제어하는 클럭 제어 회로의 구성을 나타낸 도면.
- 도 7은 일 실시예에 따른 가변 이득 증폭기에서 발생하는 지연으로 인해 가변 이득 증폭기의 출력과 클럭드 포락선 검출기의 출력 사이에 어긋남이 발생하는 것을 설명하기 위한 도면.
- 도 8은 다른 실시예에 따른 수신기의 구성 및 동작을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

- [0025] 실시예들에 대한 특정한 구조적 또는 기능적 설명들은 단지 예시를 위한 목적으로 개시된 것으로서, 다양한 형태로 변경되어 실시될 수 있다. 따라서, 실시예들은 특정한 개시형태로 한정되는 것이 아니며, 본 명세서의 범위는 기술적 사상에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [0026] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 이런 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 해석되어야 한다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.
- [0028] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설명된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로써 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 해당 기술

분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [0030] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다. 하기에서 설명될 실시예들은 음성 처리 분야, 영상 처리 분야, 데이터 통신 분야뿐만 아니라, 에너지 또는 데이터 전송과 같은 분야에서 포락선 검출기의 피크 값 검출을 위한 계산 복잡도를 최소화하는 데에 사용될 수 있다.
- [0031] 일 실시예에 따른 클럭드 포락선 검출기를 포함하는 수신기는 핸드폰 또는 무선 TV 등 무선 전력 전송을 사용하는 시스템에서, 송, 수신단 간의 제어 정보 및 기타 정보 교환에 이용될 수 있다. 또한, 클럭드 포락선 검출기를 포함하는 수신기는 바이오 헬스 케어(bio health care) 분야에 응용이 가능하며, 인체에 삽입된 디바이스에 원격으로 전력을 전송하거나, 심박수 측정을 위한 밴드 타입의 디바이스 등에 무선으로 전력을 전송하는데 응용될 수 있다.
- [0033] 도 1은 수신기에서 검출되는 포락선(envelope)과 아날로그-디지털 변환기(ADC)의 샘플링 클럭 간의 관계를 설명하기 위한 도면이다. 도 1을 참조하면, 수신기(100)에서 검출된 포락선의 피크 값과 아날로그-디지털 변환기의 샘플링 클럭이 정렬된(Aligned) 경우 및 어긋난(Misaligned) 경우가 도시된다.
- [0034] 포락선과 샘플링 클럭 간의 관계를 설명하기에 앞서, 우선 수신기(100)의 구조 및 동작에 대하여 살펴보면 다음과 같다.
- [0035] 수신기(100)는 저잡음 증폭기(Low Noise Amplifier; LNA)(110), 발진기(Oscillator; OSC)(120), 포락선 검출기(Envelope Detector; ED)(130), 가변 이득 증폭기(Variable Gain Amplifier; VGA)(140) 및 아날로그-디지털 변환기(Analogue-to-Digital Converter; ADC)(150)를 포함할 수 있다.
- [0036] 수신기(100)는 안테나(Antenna)를 통해 RF 대역의 수신 신호를 수신할 수 있다. 수신 신호는 송신기에 의해 변조된 반송파 신호에 해당할 수 있다.
- [0037] 수신 신호는 저잡음 증폭기(110)를 통해 잡음 신호가 최소화되어 증폭될 수 있다. 발진기(120)는 저잡음 증폭기(110)에서 증폭된 수신 신호를 수신하기 위해 발진할 수 있다. 예를 들어, 발진기(120)는 발진 주파수(oscillation frequency)에서 발진할 수 있다. 발진기(120)는 수신 신호에 기초하여 발진 주파수를 가지는 발진 신호(oscillation signal)를 생성할 수 있다. 발진기(120)는 저잡음 증폭기(110)로부터 전달된 신호를 기준으로 발진을 제어할 수 있다.
- [0038] 발진기(120)는 예를 들어, 오실레이션 파형(101)을 가진 발진 신호를 생성할 수 있다. 발진기(120)에서 출력된 발진 신호는 포락선 검출기(130)를 거쳐 복조될 수 있다. 포락선 검출기(130)는 발진기(120)에서 출력된 발진 신호의 포락선을 검출할 수 있다. 포락선 검출기(130)는 예를 들어, 파형(103)을 가진 포락선을 검출할 수 있다. 포락선 검출기(130)를 통과한 수신 신호의 포락선 형태는 베이스 밴드(Baseband)로 전달될 수 있다.
- [0039] 가변 이득 증폭기(140)는 포락선 검출기(130)에서 검출된 신호에 대하여 아날로그-디지털 변환기(150)의 입력 범위(input range)에 적합하도록 이득을 조정할 수 있다.
- [0040] 아날로그-디지털 변환기(150)는 가변 이득 증폭기(140)의 출력 신호(아날로그 신호)를 디지털 신호로 변환할 수 있다. 이때, 아날로그-디지털 변환기(150)에는 예를 들어, 흔들림 또는 지터(jitter) 없이 정렬된 클럭 신호(105)가 가 인가될 수도 있고, 지터에 인해 어긋난 클럭 신호(107)가 인가될 수도 있다. 클럭 신호(105)는 포락선의 피크 값과 나란하게 정렬된 샘플링 클럭 신호이고, 클럭 신호(107)는 포락선의 피크 값과 어긋난 샘플링 클럭 신호일 수 있다.
- [0041] 예를 들어, 아날로그-디지털 변환기(150)가 클럭의 상승 에지(rising edge)에서 샘플링된 값을 디지털 신호로 변환한다고 하자. 아날로그-디지털 변환기(150)에 클럭 신호(105)가 인가된 경우, 아날로그-디지털 변환기(150)는 클럭 신호(105)의 상승 에지에 해당하는 파형(103)의 값을 감지할 수 있다. 이때, 클럭 신호(105)는 포락선의 피크 값과 나란하므로 아날로그-디지털 변환기(150)는 클럭 신호(105)의 상승 에지에 해당하는 파형(103)의 피크 값을 샘플링할 수 있다. 아날로그-디지털 변환기(150)는 파형(103)의 피크 값을 대응되는 디지털 신호

로 변환할 수 있다.

- [0042] 아날로그-디지털 변환기(150)에 클럭 신호(107)가 인가된 경우, 아날로그-디지털 변환기(150)는 클럭 신호(107)의 상승 에지에 해당하는 파형(103)의 값을 샘플링할 수 있다. 이때, 클럭 신호(107)는 포락선의 피크 값과 어긋나 있으므로 클럭 신호(107)의 상승 에지에 해당하는 파형(103)의 값은 파형(103)의 피크 값이 아닌 피크 이전 값 또는 피크 이후 값과 같은 잘못된 값을 샘플링할 수 있다. 아날로그-디지털 변환기(150)는 파형(103)의 피크 값보다 낮은 값을 대응되는 디지털 신호로 변환할 수 있다.
- [0043] 이와 같이 아날로그-디지털 변환기(150)의 샘플링 클럭이, 검출된 포락선의 피크 값과 정렬되었는지 여부에 따라 아날로그-디지털 변환기(150)에서 출력되는 디지털 신호의 값을 달라질 수 있다.
- [0045] 도 2는 일 실시예에 따른 수신기의 구성 및 동작을 설명하기 위한 도면이다. 도 2를 참조하면, 일 실시예에 따른 수신기(200)의 구조가 도시된다. 수신기(200)는 저잡음 증폭기(110), 발진기(120), 클럭드 포락선 검출기(Clocked-ED)(210), 가변 이득 증폭기(140), 아날로그-디지털 변환기(150) 및 클럭 소스(Clock Source)(230)를 포함할 수 있다.
- [0046] 이하에서는 도 1에 도시된 저잡음 증폭기(110), 발진기(120), 가변 이득 증폭기(140), 및 아날로그-디지털 변환기(150)의 동작과 차이가 있는 부분에 대하여만 설명하기로 한다.
- [0047] 클럭드 포락선 검출기(210)는 발진기(120)에 의해 생성된 발진 신호의 포락선을 검출하고, 포락선의 피크 값(peak value)을 미리 설정된 시간 구간 동안 홀딩(holding)한다. 클럭드 포락선 검출기(210)는 클럭 신호에 기초하여 포락선의 피크 값을 홀딩할 수 있는 포락선 검출기로 이해될 수 있다.
- [0048] 클럭드 포락선 검출기(210)는 포락선의 피크 값이 아날로그-디지털 변환기(150)의 샘플링 타이밍에 맞춰 샘플링 되도록, 클럭 소스(230)에 의해 생성된 클럭 신호에 기초하여 포락선의 피크 값(예를 들어, 최대 피크 값)을 발진 신호의 심볼 주기의 일정 구간 동안 홀딩할 수 있다. 클럭드 포락선 검출기(210)에 의해 홀딩된 포락선의 피크 값은 파형(203)과 같은 형태를 가질 수 있다.
- [0049] 클럭 신호에 기초하여 포락선의 피크 값을 홀딩하는 클럭드 포락선 검출기(210)의 동작 원리 및 구현 회로는 도 3 내지 도 5를 참조하여 설명한다.
- [0050] 발진기(120)에서 발진 신호의 생성 및 소멸은 클럭 신호에 의해 제어될 수 있고, 해당 클럭 신호는 아날로그-디지털 변환기(150)의 클럭 신호와 동기화될 수 있다. 또는 일 실시예에 따른 수신기(200)의 발진기(120), 클럭드 포락선 검출기(210) 및 아날로그-디지털 변환기(150)는 하나의 클럭 소스(230)에 의해 생성된 클럭 신호에 의해 동기화될 수 있다.
- [0051] 발진기(120)는 안테나를 통해 수신된 수신 신호를 이용하여 발진할 수 있다. 이와 같이, 외부로부터 수신된 신호에 응답하여 발진하는 발진기(120)를 초재생 발진기(SRO, super regenerative oscillator)라고 부를 수 있다. 수신기(200)는 수신 신호에 대하여 초재생 발진기를 통해 이득(Gain)을 얻을 수 있다. 수신기(200)는 초재생 발진기를 통해 증폭된 수신 신호의 포락선을 클럭드 포락선 검출기(210)를 통해 획득함으로써, 수신 신호의 주파수 대역을 베이스밴드로 떨어뜨릴 수 있다.
- [0052] 발진기(120)에 전류가 공급될 때 특정 주파수에 대해 채널 필터링(channel filtering) 효과가 나타나도록 하는 퀀치 신호(quench signal)가 함께 인가될 수 있다.
- [0053] 발진기(120)는 퀀치 파형(quench waveform)으로 구성된 주입 전류(injection current)에 기초하여, 외부로부터 수신된 신호에 응답하여 발진할 수 있다. 이때, 주입 전류는 별도의 전류원(또는 전류 생성기)(미도시)에 의해 주입될 수 있다. 전류원은 발진기(120)로 충분한 전류를 주입하여 발진기(120)를 발진시킬 수 있다.
- [0054] 전류원이 임계 전류를 발진기(120)로 주입한 경우, 발진기(120)는 안테나를 통해 수신된 신호, 다시 말해 저잡음 증폭기(110)로부터 수신한 신호에 응답하여 발진을 시작할 수 있다. 또한, 전류원은 발진기(120)로 퀀치 파형을 갖는 주입 전류, 다시 말해 퀀치 신호를 제공할 수도 있다.
- [0055] 퀀치 신호는 발진기(120)의 안정적인 성능을 확보하기 위하여, 발진기(120)에 전류가 공급될 때 특정 주파수에 대해 채널 필터링 효과가 나타나도록 하기 위한 것으로서, 별도의 퀀치 신호 생성기에 의해 생성될 수 있다. 퀀치 파형은 예를 들어, 지수 곡선(exponential curve)과 유사한 형태를 가질 수 있지만, 이에 한정되는 것은 아니며 다양한 형태로 구성될 수 있다. 퀀치 파형의 평균값은 발진기(120)를 발진시키는 임계 전류량일 수 있다.

- [0056] 초재생 발진기의 발진은 켄치 신호에 의해 주기적으로 중지될 수 있다. 켄치 신호의 주파수는 예를 들어, 아날로그 데이터를 부호 간 간섭의 영향 없이 디지털 데이터로 샘플링할 수 있는 나이퀴스트 속도(Nyquist rate)에 따라 아날로그 데이터 주파수(또는 데이터 전송률)의 2배 이상으로 설정될 수 있다. 예를 들어, 데이터 전송율이 50kbps 이고, 켄치 신호를 데이터 전송율의 4배인 200 kbps로 설정한 경우, 켄치 신호는 입력 데이터 신호보다 4배 샘플링을 했기 때문에 신호가 "온(On)"이 되었을 때 4개의 신호들로 샘플링될 수 있다.
- [0057] 켄치 신호가 발진기(120)에 인가되는 경우, 발진기(120)는 저잡음 증폭기(110)에 의해 간섭 신호가 필터링된 신호에서 원하는 RF 신호에만 반응하여, 입력 신호를 증폭시킬 수 있다. 발진기(120)는 예를 들어, 오실레이션 파형(201)을 가진 발진 신호를 생성할 수 있다.
- [0058] 도 2에 도시된 그래프에서 아날로그-디지털 변환기(150)의 클럭 신호(205)에서 샘플링 클럭이 파형(203)의 최대 피크 값보다 일정 시간 이후에 상승하는 것을 볼 수 있다. 이는 하나의 클럭 소스(230)에 의해 생성된 클럭 신호에 의해 수신기(200)의 발진기(120), 클럭드 포락선 검출기(210) 및 아날로그-디지털 변환기(150)가 동기화 되더라도 구성 요소들 간의 신호 전달 및/또는 회로 구성에 따라 발생하는 지연(delay)(220)을 반영한 것으로 볼 수 있다.
- [0059] 오실레이션 파형(201)을 가진 발진 신호를 수신한 클럭드 포락선 검출기(210)는 발진 신호의 포락선을 검출하고, 포락선의 최대 피크 값을 미리 설정된 시간 구간 동안 홀딩하여 파형(203)과 같은 검출 결과를 출력할 수 있다. 일 실시예에서는 클럭드 포락선 검출기(210)가 포락선의 최대 피크 값을 홀딩함에 따라 아날로그-디지털 변환기(150)의 샘플링 타이밍이 포락선의 최대 피크 값과 나란하게 정렬된 클럭 신호(205)뿐만 아니라, 포락선의 피크 값과 어긋난 클럭 신호(207)에서도 포락선의 최대 피크 값을 샘플링할 수 있다.
- [0060] 일 실시예에 따른 클럭드 포락선 검출기(210)는 포락선의 최대 피크 값을 홀딩함에 따라, 포락선의 피크 값 검출을 위한 샘플링 타이밍 계산의 복잡도를 최소화하는 한편, 샘플링 타이밍 조절을 위한 별도의 튜닝 로직의 사용 또한 최소화할 수 있다. 또한, 일 실시예에 따른 클럭드 포락선 검출기(210)는 온도 변화(Temperature variation) 및 노화(Aging) 등이 야기하는 아날로그-디지털 변환기(150)의 샘플링 타이밍의 어긋남으로 인한 감도 저하(sensitivity degradation) 또한 최소화할 수 있다.
- [0061] 이 밖에도, 일 실시예에 따른 수신기(200)는 아날로그-디지털 변환기(150)의 샘플링 클럭으로 지터 품질(jitter Quality)이 낮은 클럭을 사용할 수 있게 됨에 따라 온도 보상형 수정 발진기(Temperature Compensated Oscillator; TCXO)와 같은 추가적인 외부 소자의 사용 또한 줄일 수 있다.
- [0063] 도 3은 일 실시예에 따른 클럭드 포락선 검출기의 동작 원리를 설명하기 위한 도면이다. 도 3을 참조하면, 일 실시예에 따른 클럭드 포락선 검출기(300)의 간략화된 회로가 도시된다.
- [0064] 클럭드 포락선 검출기(300)는 저항(310)과 커패시터(350)를 포함하는 RC 충전 회로 및 스위치(330)를 포함할 수 있다. 스위치(330)는 저항(310)과 커패시터(350) 사이에 위치하고, 클럭드 포락선 검출기(300)의 입력(in) 노드 및 출력(out) 노드에 직렬로 연결될 수 있다. 클럭드 포락선 검출기(300)의 입력 노드는 발진기의 출력 노드에 연결될 수 있다.
- [0065] 저항(310)은 클럭드 포락선 검출기(300)의 입력 노드와 접지 노드(Vdd) 사이에 연결될 수 있다. 커패시터(350)는 클럭드 포락선 검출기의 출력 노드 및 접지 노드 사이에 연결될 수 있다. 커패시터(350)는 적어도 하나의 가변 커패시터를 포함할 수 있다. 또는 커패시터(350)는 복수의 커패시터들로 구성된 커패시터 뱅크일 수 있다.
- [0066] 커패시터(350)를 가변 커패시터(들)로 구성하는 경우, 클럭드 포락선 검출기(300)는 커패시터(350)의 충전, 속도 및 방전 속도를 조절함으로써 동작을 보다 정교하게 제어할 수 있다.
- [0067] 스위치(330)의 개폐 동작 및 개폐 시간은 클럭 신호에 기초하여 제어될 수 있다. 스위치(330) 동작의 일 예로, 스위치(330)는 포락선의 피크 값이 커패시터(350)에 의해 유지되도록, 클럭 신호에 기초하여 발진 신호의 심볼 주기의 75% 구간 동안 폐쇄하고, 발진 신호의 심볼 주기의 25% 구간 동안 개방할 수 있다. 여기서, 스위치(330)의 폐쇄는 스위치 'ON' 또는 스위치 '클로우즈(close)'에 해당하고, 스위치(330)의 개방은 스위치 'OFF' 또는 스위치 '오픈(open)'에 해당할 수 있다.
- [0068] 클럭드 포락선 검출기(300)는 발진기에 의하여 발진 신호가 생성되는 구간에서 RC 충전 회로에 포락선에 대응하는 전하를 충전할 수 있다. 발진 신호가 생성되는 구간은, 예를 들어, 발진 신호의 심볼 주기의 75% 구간으로서, 심볼 주기의 75% 구간의 발진 신호는 수신기 안테나로 입력된 신호 값에 따라 '1' 또는 '0'에 해당

하는 값을 가질 수 있다.

- [0069] 클럭드 포락선 검출기(300)는 발진기에 의하여 발진 신호가 소멸되는 구간에서 RC 충전 회로에 충전된 전하를 커패시터(350)에 보존할 수 있다. 발진 신호가 소멸되는 구간은 예를 들어, 발진 신호의 심볼 주기의 25% 구간으로서, 이는 현재 심볼(symbol)에 대한 발진 신호를 다음 심볼에 대한 발진 신호와 구별하기 위한 경계 시간에 해당할 수 있다. 다시 말해, 앞의 75%의 심볼 주기 구간 동안의 발진이 심볼 '1'에 대한 발진이던, 또는 심볼 '0'에 대한 발진이던 상관없이 현재 심볼에 대한 발진 신호는 다음 심볼 주기 구간이 시작되기 전에 모두 소멸될 수 있다.
- [0070] 발진 신호가 생성되는 구간 및 발진 신호가 소멸되는 구간은 클럭 신호에 의해서 제어될 수 있다.
- [0072] 도 4는 일 실시예에 따른 클럭드 포락선 검출기의 회로 구성을 나타낸 도면이다. 도 4를 참조하며, 일 실시예에 따른 클럭드 포락선 검출기(400)가 2개의 스위치들을 포함하는 경우의 회로 구성이 도시된다. 클럭드 포락선 검출기(400)는 저항(410), 제1 스위치(420), 제2 스위치(430) 및 커패시터(440)를 포함할 수 있다.
- [0073] 제1 스위치(420) 및 제2 스위치(430)는 저항(410)과 커패시터(440) 사이에서 서로 직렬로 연결될 수 있다. 제1 스위치(420) 및 제2 스위치(430)는 각각 n-MOSFET 트랜지스터로 구성될 수 있다. 제1 스위치(420)에는 클럭 신호 hold_clk이 인가되고, 제2 스위치(430)에는 클럭 신호 hold_clk가 반전된 클럭 신호인 hold_clkb가 인가될 수 있다. 예를 들어, 제1 스위치(420)에는 "10"의 클럭 신호가 인가되고, 제2 스위치(430)에는 제1 스위치(420)에 인가되는 클럭 신호와 위상이 반전된 "01"의 클럭 신호가 인가되도록 할 수 있다. 일 실시예에서는 각 스위치에 위상이 반전된 클럭 신호가 인가되도록 함으로써 캐리어 피드쓰루(carrier feedthrough) 현상이 최소화된 이상적인 스위치(ideal switch)와 유사하게 만들 수 있다.
- [0074] 제1 스위치(420) 및 제2 스위치(430)에 각각 위상이 반전된 클럭 신호가 입력되는 점을 제외한 나머지의 동작은 도 3의 저항(310), 스위치(330) 및 커패시터(350)의 동작과 동일하므로 해당 부분의 설명을 참고하기로 한다.
- [0076] 도 5는 다른 실시예에 따른 클럭드 포락선 검출기의 회로 구성을 나타낸 도면이다. 도 5를 참조하면, 일 실시예에 따른 클럭드 포락선 검출기(500)의 회로가 도시된다.
- [0077] 클럭드 포락선 검출기(500)는 서로 상이하고, 대칭 구조를 이루는 제1 타입의 검출기(510) 및 제2 타입의 검출기(530)를 포함할 수 있다.
- [0078] 제1 타입의 검출기(510)는 저항(511), PMOS로 구성된 두 개의 스위치들(513) 및 세 개의 가변 커패시터들(515)을 포함할 수 있다. 가변 커패시터들(515)은 각각 250f, 500f, 및 1p에 해당하는 전하 용량을 축적할 수 있다. 가변 커패시터의 크기가 클수록 충전 및 방전 속도는 늦어지고, 가변 커패시터의 크기가 작을수록 충전 및 방전 속도를 빨라지게 된다.
- [0079] 제2 타입의 검출기(530)는 저항(531), NMOS로 구성된 두 개의 스위치들(533) 및 세 개의 가변 커패시터들(535)을 포함할 수 있다.
- [0080] 저항(511, 531), 스위치들(513, 533) 및 가변 커패시터들(515, 535)의 동작은 도 3 및 도 4를 통해 기술한 저항, 스위치 및 커패시터의 동작과 동일하므로 이에 대한 구체적인 동작 설명은 생략하기로 한다.
- [0081] 클럭드 포락선 검출기(500)는 제1 타입의 검출기(510) 및 제2 타입의 검출기(530) 간의 차동 신호(differential signal)를 출력할 수 있다. 제1 타입의 검출기(510)는 예를 들어, p-MOSFET 타입의 트랜지스터로 구성되고, 제2 타입의 검출기(530)는 n-MOSFET 타입의 트랜지스터로 구성될 수 있다.
- [0082] 입력 단자(INP)를 통해 입력된 신호는 트랜지스터 M1 및 M2를 거쳐 각각 제1 타입의 검출기(510) 및 제2 타입의 검출기(530)로 인가될 수 있다. 이때, 트랜지스터 M1에 연결되는 다이오드 연결(diode connection) MOS 위에는 전류 소스가 연결될 수 있다.
- [0083] 또한, 입력 단자(INN)을 통해 입력된 신호는 트랜지스터 M3 및 M4를 거쳐 각각 제1 타입의 검출기(510) 및 제2 타입의 검출기(530)로 인가될 수 있다. 트랜지스터 M1 및 M3는 n-MOSFET 타입의 트랜지스터이고, 트랜지스터 M2 및 M4는 p-MOSFET 타입의 트랜지스터일 수 있다.
- [0084] 클럭드 포락선 검출기(500)는 출력 단자(OUTP) 및 출력 단자(OUTN)을 통해 제1 타입의 검출기(510) 및 제2 타입

의 검출기(530) 간의 차동 신호를 출력할 수 있다.

- [0086] 도 6은 일 실시예에 따른 수신기에 인가되는 클럭을 제어하는 클럭 제어 회로의 구성을 나타낸 도면이다. 도 6을 참조하면, 일 실시예에 따른 클럭 제어 회로(600)는 클럭 소스에 기초하여 생성된 클럭 신호를 발진기로 전달하는 클럭 전달 회로(610) 및 클럭 신호를 반영한 스위치 제어신호를 포락선으로 전달하는 스위치 제어용 논리 회로(630)로 구성될 수 있다.
- [0087] 클럭 전달 회로(610)는 예를 들어, 클럭 소스에 의해 생성된 디켄칭 클럭(dqwg_clk) 신호를 두 개의 인버터들을 통해 버퍼링(buffering)할 수 있다. 두 개의 인버터들을 통해 버퍼링된 디켄칭 클럭 신호(dqwg_clk0)는 다시 두 개의 인버터들을 통해 다시 버퍼링되어 디켄칭 클럭 신호(dqwg_clk1)를 발진기로 인가될 수 있다. 이때, 디켄칭 클럭 신호(dqwg_clk0)는 스위치 제어용 논리 회로(630)의 입력으로 인가될 수 있다.
- [0088] 스위치 제어용 논리 회로(630)로 인가된 디켄칭 클럭 신호(dqwg_clk0) 값 및 클럭드 포락선 검출기의 스위치 제어 신호 단자(on_holdN)를 통해 전달된 입력 값은 스위치 제어용 논리 회로(630)에 포함된 논리 소자에 입력될 수 있다. 논리 소자는 도 6에 도시된 것과 같이 NOR 게이트 및 인버터의 결합으로 구성될 수 있고, OR 게이트로 구성될 수도 있으나, 반드시 이에 한정되는 것을 아니다. 논리 소자에 의해 수행된 논리합 연산 결과는 클럭드 포락선 검출기(보다 정확하게는 클럭드 포락선 검출기의 스위치)의 클럭 신호로 인가될 수 있다.
- [0089] 예를 들어, 스위치 제어 신호 단자를 통해 전달된 신호 입력 값이 '1'인 경우, 클럭드 포락선 검출기의 스위치에는 항상 '1'이 인가되어 스위치는 항상 닫혀 있게 된다. 테스트 입력 값이 '1'인 경우, 클럭드 포락선 검출기는 최대 피크 값을 홀딩하지 않는 일반적인 포락선 검출기로 동작할 수 있다.
- [0090] 스위치 제어 신호 단자를 통해 전달된 신호 입력 값이 '0'인 경우, 디켄칭 클럭 신호(dqwg_clk0)가 '1'이 아닌 한, 클럭드 포락선 검출기의 스위치에는 '0'이 인가되어 스위치는 열리게 된다. 스위치가 열려 있는 동안 클럭드 포락선 검출기는 최대 피크 값을 홀딩할 수 있다.
- [0092] 도 7은 일 실시예에 따른 가변 이득 증폭기에서 발생하는 지연으로 인해 가변 이득 증폭기의 출력과 클럭드 포락선 검출기의 출력 사이에 어긋남이 발생하는 것을 설명하기 위한 도면이다.
- [0093] 예를 들어, 클럭드 포락선 검출기(210)에서 검출된 피크 값이 홀딩된 파형(701)을 가진다고 하자. 클럭드 포락선 검출기(210)에서 검출된 피크 값은 출력되는 과정에서의 온도 변화, 구성 요소들을 구성하는 소자들의 노화, 회로 블록들 간의 지연, 레이아웃 라우팅에 의한 지연 등과 같은 다양한 원인들에 의해 가변 이득 증폭기(140)를 거쳐 파형(703)과 같이 지연되어 출력될 수 있다. 다시 말해, 가변 이득 증폭기(140)의 출력과 클럭드 포락선 검출기(210)의 출력 사이에 어긋남이 발생할 수 있다.
- [0094] 가변 이득 증폭기(140)를 거쳐 출력된 파형(703)이 지연된 것과 달리, 아날로그-디지털 변환기(150)의 샘플링 클럭(705)이 클럭드 포락선 검출기(210)와 동기화되어 동작하는 경우, 아날로그-디지털 변환기(150)는 지연된 파형(703)에 의해 실제 검출된 피크 값과는 상이한 값을 출력할 수 있다.
- [0096] 도 8은 다른 실시예에 따른 수신기의 구성 및 동작을 설명하기 위한 도면이다. 도 8을 참조하면, 다양한 원인들에 의해 발생한 신호의 지연에 의해 아날로그-디지털 변환기(150)의 클럭의 샘플링 기준 타이밍이 가변 이득 증폭기(140)의 피크 값 중간에 위치하는 경우에 이를 해결할 수 있는 수신기(800)의 구조 및 동작이 도시된다.
- [0097] 수신기(800)는 아날로그-디지털 변환기(150)의 샘플링 타이밍을 조절하는 지연 소자(840)를 더 포함할 수 있다. 지연 소자(840)는 수신기(800)의 구성 요소들 간의 지연이 있더라도 클럭드 포락선 검출기(210)의 피크 값을 홀딩하는 구간에서 아날로그-디지털 변환기(150)가 샘플링을 수행하도록 하기 위해, 다시 말해 대략 동조(coarse tuning)를 위해 아날로그-디지털 변환기(150)의 샘플링 타이밍을 조절할 수 있다.
- [0098] 수신기(800)는 클럭 소스(810)에 의해 생성된 클럭 신호를 서로 다른 위상으로 분주하여 디켄칭 클럭(DQWG CLK) 신호(801) 및 에이퀀칭 클럭(AQWG CLK) 신호(802)를 생성할 수 있다. 디켄칭 클럭 신호(801)는 예를 들어, 디지털 회로에 의해 생성된 켄칭 신호일 수 있다. 디켄칭 클럭 신호(801)는 발진기(120) 및 클럭드 포락선 검출기(210)에 인가될 수 있다. 이때, 발진기(120)에 인가되는 디켄칭 클럭 신호(801)는 전류 생성기(820)를 거쳐 전달될 수 있다.

- [0099] 에이퀀칭 클럭 신호(802)는 예를 들어, 아날로그 회로에 의해 생성된 퀀칭 신호일 수 있다. 에이퀀칭 클럭 신호(802)는 인버터(830)에 의해 위상이 반전되고, 위상이 반전된 에이퀀칭 클럭(Inverted AQWG CLK) 신호(803)는 지연 소자(840)를 거쳐 아날로그-디지털 변환기(150)에 인가될 수 있다.
- [0100] 위상이 반전된 에이퀀칭 클럭 신호(803)는 지연 소자(840)를 거치는 동안 프로그램 가능한 지연 시간(Programmable delay) 동안 지연되어 아날로그-디지털 변환기(150)의 클럭 신호(804)로 인가될 수 있다. 이때, 프로그램 가능한 지연 시간은 클럭드 포락선 검출기(210)의 피크 값을 홀딩하는 구간에서 아날로그-디지털 변환기(150)가 샘플링을 수행하도록 하기 위한 시간일 수 있다.
- [0101] 전류 생성기(820)는 디퀀칭 클럭 신호(801)를 기초로 퀀치 파형으로 구성된 주입 전류를 생성하여 발진기(120)에 주입할 수 있다. 전류 생성기(820)가 임계 전류를 발진기(120)로 주입한 경우, 발진기(120)는 저잡음 증폭기(110)로부터 수신한 신호에 응답하여 발진을 시작할 수 있다.
- [0102] 클럭드 포락선 검출기(210)는 디퀀칭 클럭 신호(801)에 따라 발진기(120)에서 출력된 발진 신호의 포락선을 검출할 수 있다. 클럭드 포락선 검출기(210)는 디퀀칭 클럭 신호(801)가 '1' 또는 'High'인 동안 클럭드 포락선 검출기(210) 내 RC 충전 회로를 통해 발진 신호의 포락선을 트래킹(tracking)하면서 전하를 충전할 수 있다.
- [0103] 클럭드 포락선 검출기(210)는 디퀀칭 클럭 신호(801)가 '0' 또는 'Low'인 동안 충전된 전하를 커패시터에 보존할 수 있다. 디퀀칭 클럭 신호(801)가 다시 '1'이 됨에 따라, 클럭드 포락선 검출기(210)는 디퀀칭 클럭 신호(801)가 '0'인 동안 유지하던 전하를 RC 충전 회로의 방전 슬로프를 따라 급속하게 방전(discharge)한다. 클럭드 포락선 검출기(210)에서 검출된 신호(805)는 가변 이득 증폭기(140) 및 아날로그-디지털 변환기(150)로 전달되는 과정에서 도 7을 통해 설명한 다양한 원인들에 의해 지연될 수 있다. 이러한 지연에 의해 가변 이득 증폭기(140)의 출력 신호(806)는 클럭드 포락선 검출기(210)의 피크 값과 어긋날 수 있다.
- [0104] 일 실시예에서는 지연 소자(840)에 의해 아날로그-디지털 변환기(150)에 인가되는 클럭 신호, 다시 말해 위상이 반전된 에이퀀칭 클럭 신호(803)를 소자들 간에 신호가 전달될 때 발생하는 지연 시간만큼 지연시킴으로써 아날로그-디지털 변환기(150)가 클럭드 포락선 검출기(210)의 피크 값이 홀딩되는 구간에서 샘플링을 수행하도록 할 수 있다.
- [0105] 또한, 아날로그-디지털 변환기(150)에 인가되는 클럭 신호의 지터 특성이 좋지 않은 경우, 아날로그-디지털 변환기(150)의 샘플링 타이밍이 앞, 뒤로 어느 정도 흔들릴 수 있다. 일 실시예에 따르면, 이러한 흔들림이 발생하더라도 아날로그-디지털 변환기(150)의 샘플링 위치가 클럭드 포락선 검출기(210)의 피크 값을 홀딩하는 구간 내에 위치하게 되므로 지터 특성 열화로 인한 수신기 특성의 열화는 발생하지 않는다.
- [0106] 다시 말해, 아날로그-디지털 변환기(150)의 클럭 샘플링 타이밍이 클럭드 포락선 검출기(210)의 피크 값에 정렬된 경우에도 클럭의 지터 특성으로 인해 수신기의 감도 특성이 열화되는 현상이 발생할 수 있다. 반면, 일 실시예에 따른 수신기(800)는 클럭 지터에 의해 샘플링 타이밍의 위치가 흔들리더라도 이로 인한 아날로그-디지털 변환기(150)의 샘플링 값의 변동이 발생하지 않는다.
- [0108] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0109] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로

(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

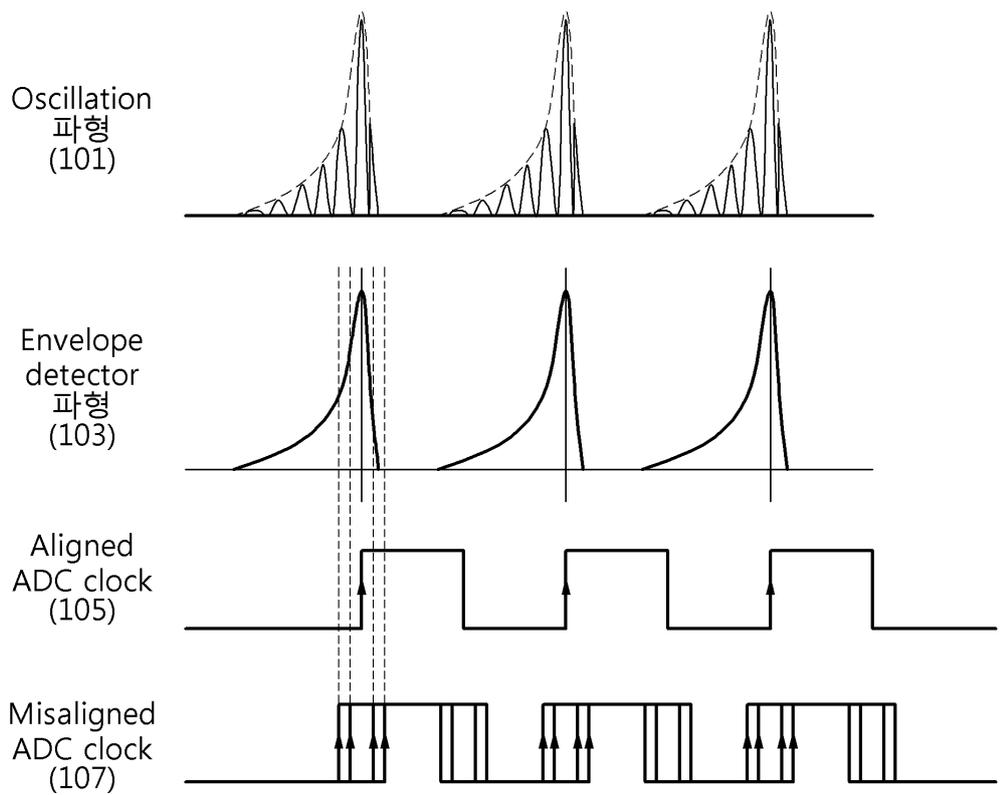
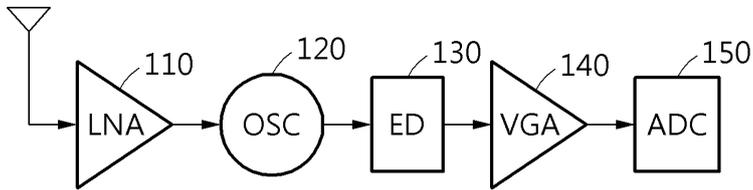
[0110] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0111] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

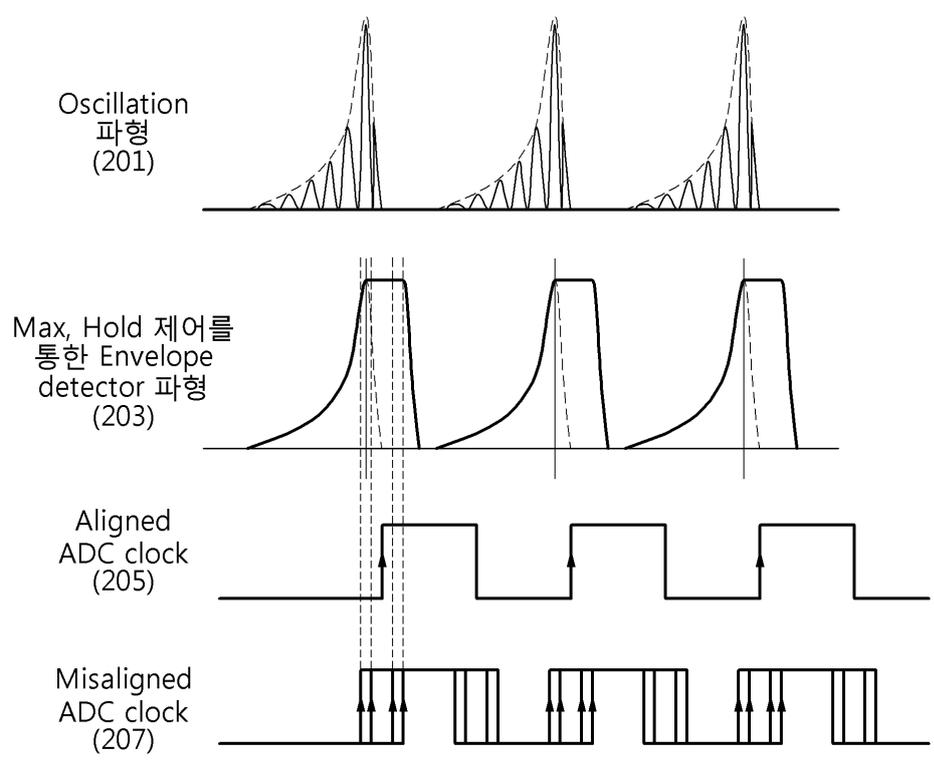
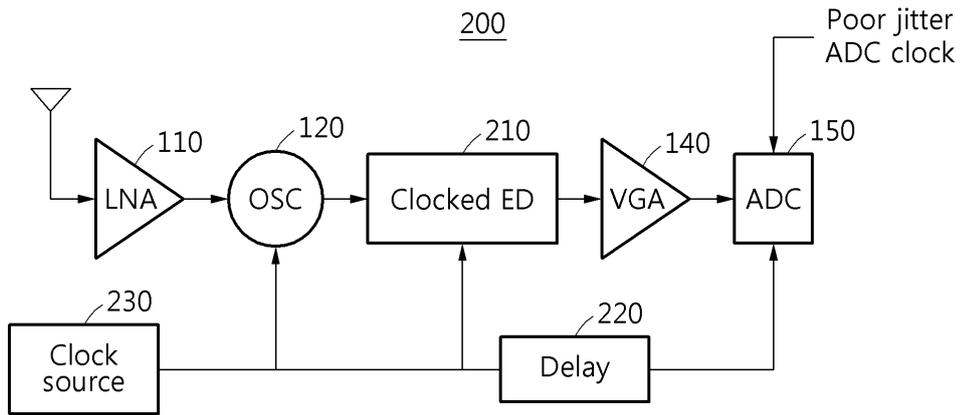
도면

도면1

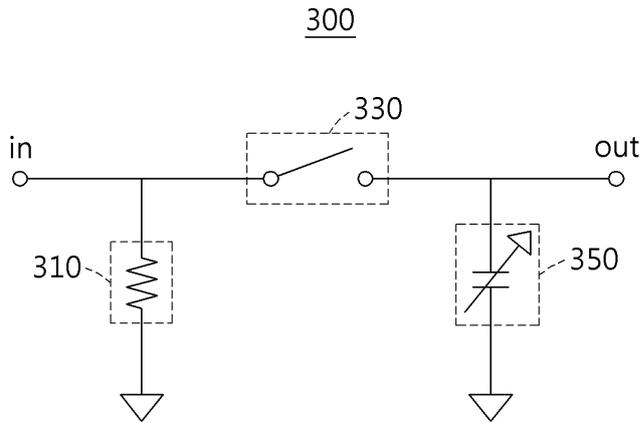
100



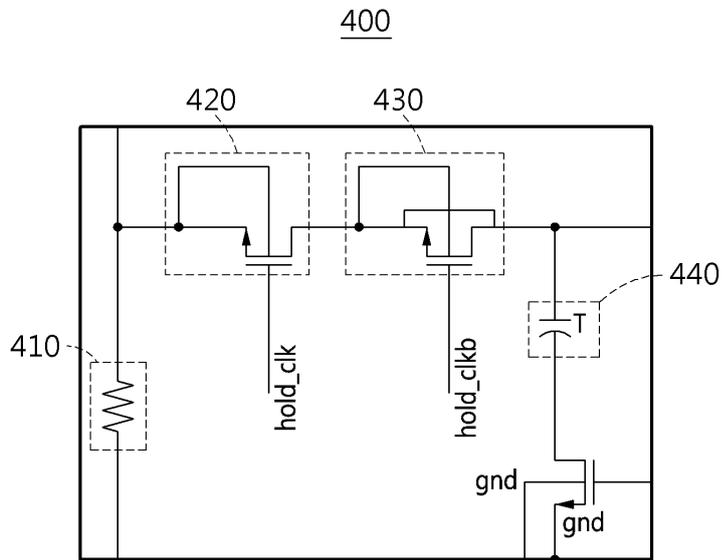
도면2



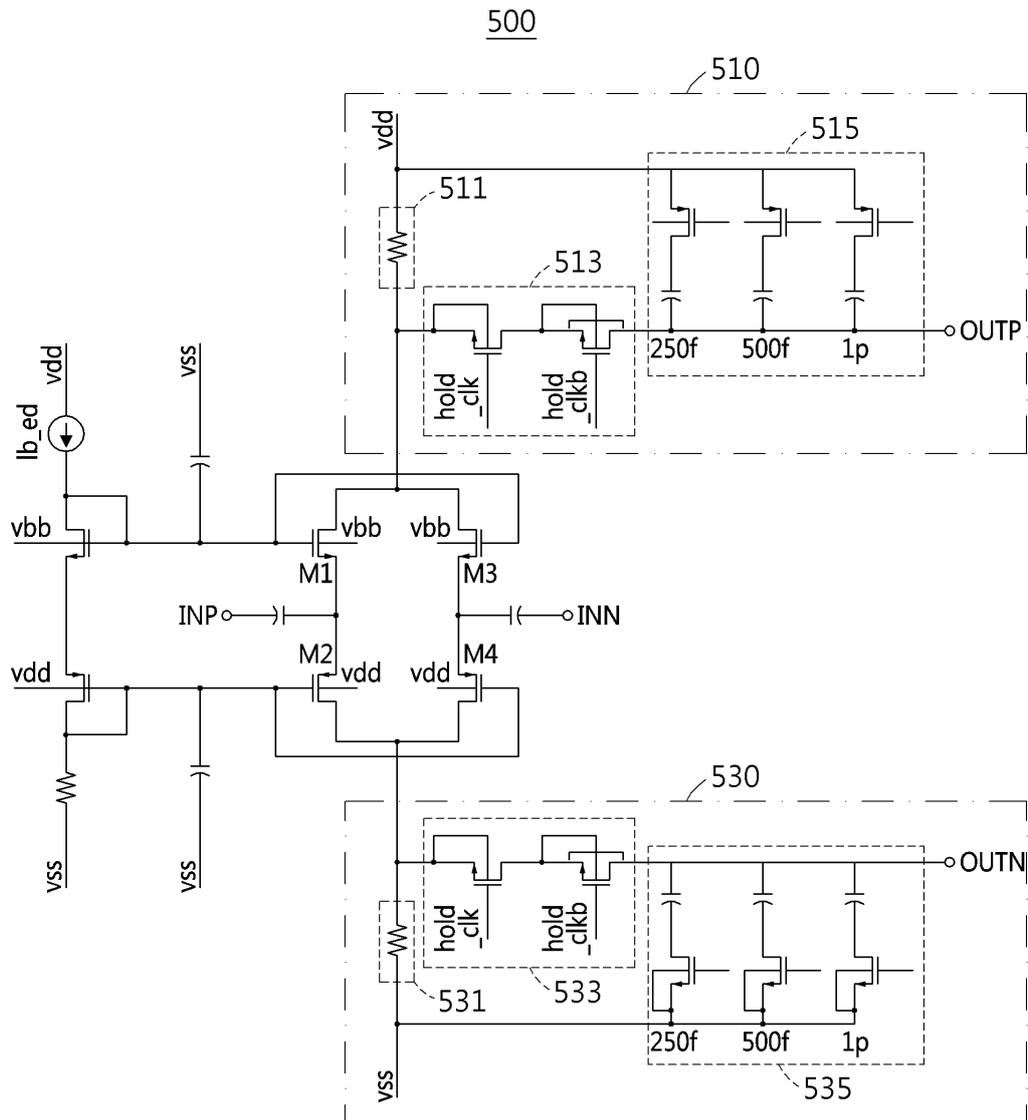
도면3



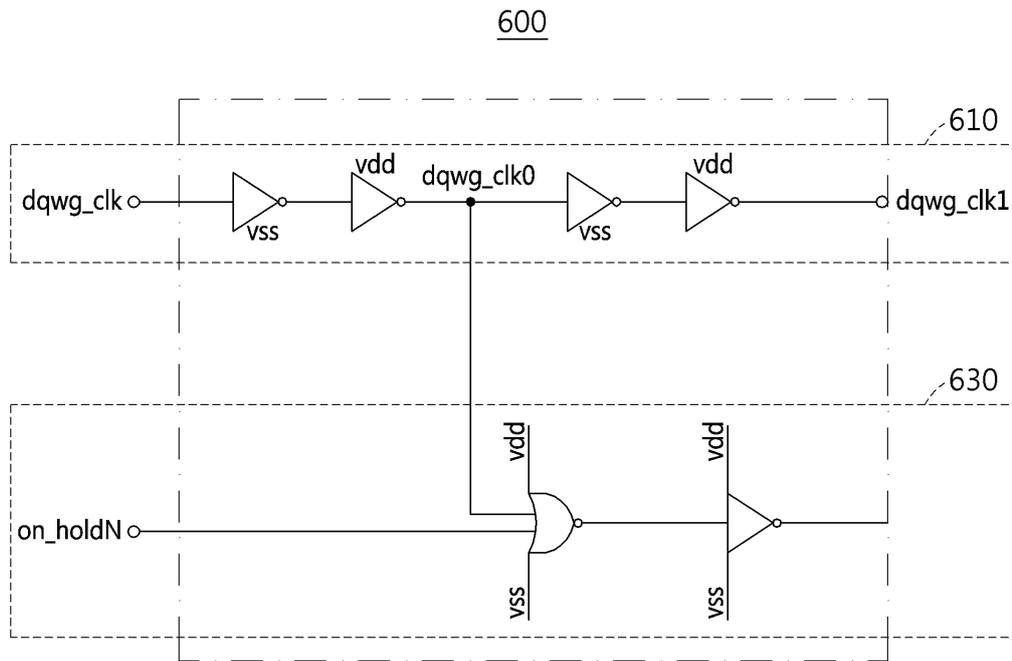
도면4



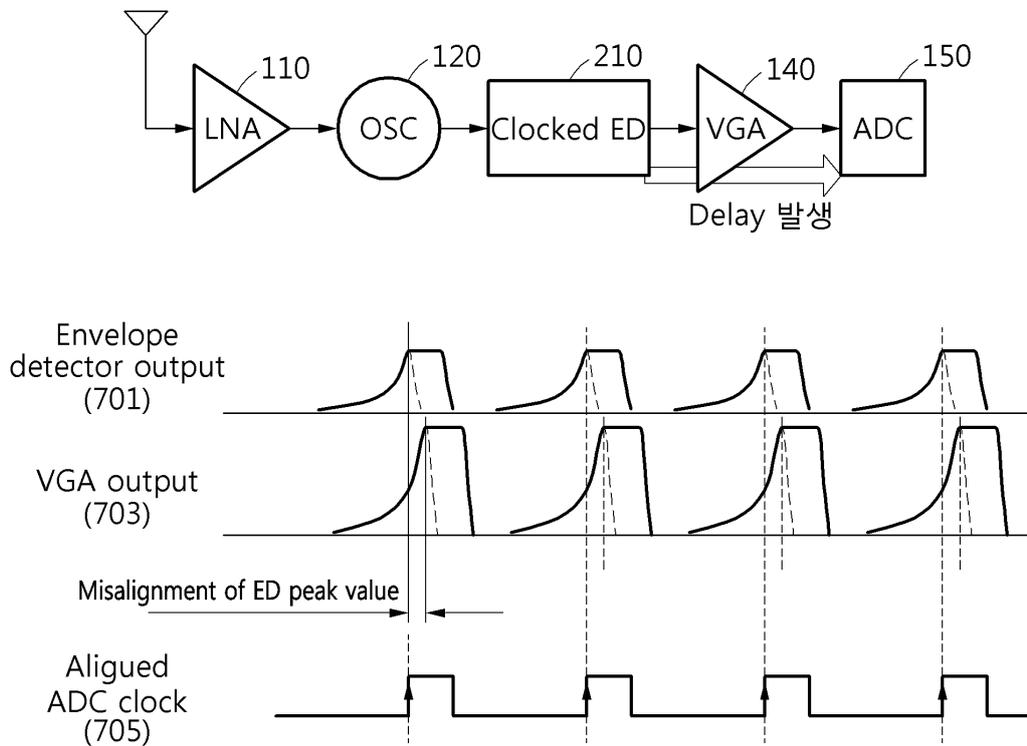
도면5



도면6



도면7



도면8

