



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2010년08월06일  
(11) 등록번호 10-0974789  
(24) 등록일자 2010년08월02일

(51) Int. Cl.

H01L 33/06 (2010.01)

(21) 출원번호 10-2003-0002012  
(22) 출원일자 2003년01월13일  
심사청구일자 2008년01월11일  
(65) 공개번호 10-2004-0064979  
(43) 공개일자 2004년07월21일

(56) 선행기술조사문헌

JP10229217 A  
JP11354839 A  
JP11354842 A  
KR1020010068216 A

전체 청구항 수 : 총 8 항

(73) 특허권자

엘지이노텍 주식회사

서울특별시 중구 남대문로5가 541 서울스퀘어

(72) 발명자

손효근

대전광역시 대덕구 읍내동 현대아파트106동1506호

(74) 대리인

서교준

심사관 : 이용배

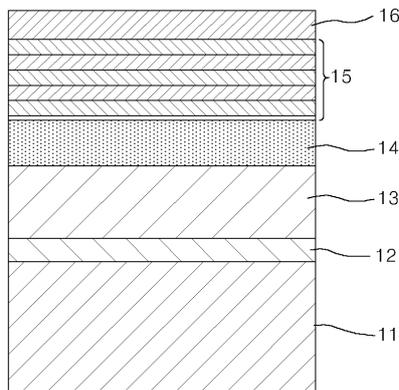
(54) 질화갈륨계 반도체 소자 및 그 제조방법

(57) 요약

본 발명에 따른 질화갈륨계 반도체의 구조는 사파이어 기판, n형 GaN층, 활성층, p형 GaN층이 포함되는 질화갈륨계 반도체 다이오드의 구조에 있어서, 상기 활성층과 n형 GaN층의 사이에는, 상기 n형 GaN층의 상면에 형성되는 실리콘 도핑 시드층과, 상기 실리콘 도핑 시드층의 상면에 더 형성되고, 일정 부분은 상기 실리콘 도핑 시드층이 개구되는 스폿이 포함되는 실리콘 도핑(Si-doped) 양자점층과, 적어도 상기 스폿에 삽입되어 양자점이 다수 포함되는 활성층인 첫번째 양자웰 층이 포함되는 것을 특징으로 한다.

상기된 구성에 의해서 양자점이 형성될 뿐만 아니라, 접면의 격자 부정합이 제거된 활성층을 형성할 수 있어, 누설 전류를 억제하고 발광효율을 향상시킬 수 있는 효과가 있다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

n형 반도체층;

상기 n형 반도체층 상에 형성되며, 상부에 다수의 구멍을 포함하는 시드층;

상기 시드층 상에 형성되며, 적어도 일부가 상기 다수의 구멍에 삽입되는 활성층; 및

상기 활성층 상에 p형 반도체층을 포함하는 질화갈륨계 반도체 소자.

### 청구항 2

제 1항에 있어서,

상기 활성층은 양자우물층과 장벽층이 반복되어 적층된 다중 양자웰층인 질화갈륨계 반도체 소자.

### 청구항 3

제 1항에 있어서,

상기 활성층의 최하층은 InGaN을 포함하는 양자웰층인 질화갈륨계 반도체 소자.

### 청구항 4

제 1항에 있어서,

상기 시드층 상부의 다수의 구멍의 직경은 1Å 내지 1000Å인 질화갈륨계 반도체 소자.

### 청구항 5

n형 반도체층을 형성하는 단계;

상기 n형 반도체층 상에 제1시드층, 상기 제1시드층 위에 다수의 스폿과 상기 다수의 스폿 사이에 구멍을 갖는 제2시드층을 포함하는 시드층을 형성하는 단계;

상기 시드층 상에 활성층을 형성하는 단계; 및

상기 활성층 상에 p형 반도체층을 형성하는 단계를 포함하는 질화갈륨계 반도체 소자 제조방법.

### 청구항 6

제 5항에 있어서,

상기 시드층은 CVD(화학기상증착법)에 의해 TMGa, NH<sub>3</sub> 및 Si<sub>2</sub>H<sub>6</sub>을 사용하여 형성하는 질화갈륨계 반도체 소자 제조방법.

### 청구항 7

제 6항에 있어서,

상기 시드층의 제2시드층을 형성하는 공정은 상기 제1시드층을 형성하는 공정에 비해 적은 양의 TMGa를 첨가하고, 증착 온도를 같거나 높게 조정하여 형성하는 질화갈륨계 반도체 소자 제조방법.

### 청구항 8

제 7항에 있어서,

상기 제2 시드층을 형성하는 공정에 첨가되는 TMGa의 양은 1 μmol 내지 100 μmol 이고, 증착 온도는 1000℃ 내지 1500℃ 인 질화갈륨계 반도체 소자 제조방법.

## 명세서

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0010] 본 발명은 질화갈륨계 반도체 다이오드의 구조에 관한 것으로서, 상세하게는, 질화갈륨계 화합물 반도체 다이오드에서 활성층의 구조에 대해서 제안한다. 특히, 활성층의 접측면에서 격자 부정합을 방지하여 다중 양자웰 층의 첫번째 웰 층의 성장을 명확히 함으로써, 발광 효율을 향상시킬 수 있는 질화갈륨계 화합물 반도체의 구조에 관한 것이다.
- [0011] 질화갈륨계 화합물 반도체 다이오드는 청색 발광을 고휘도로 안정적으로 방출할 수 있는 특징으로 인해서 근래 들어 그 사용이 급증하고 있으며, 현재는 디스플레이 기기와, 전등에까지 그 사용이 증가하고 있는 추세이다.
- [0012] 한편, 이러한 질화갈륨계 반도체 다이오드는 휘도를 증가시키기 위해서 다양한 방법이 적용되고 있는 데, 이러한 종래 질화갈륨계 반도체 다이오드에서 휘도를 증가시키는 방법은 활성층의 상하에 클래드층을 더 형성하거나, 양자웰 층이 다수개 적층되는 다중 양자웰 층을 형성하는 방법이 제시된 바가 있다.
- [0013] 도 1은 종래 질화갈륨계 반도체 다이오드의 단면도이다.
- [0014] 도 1은, 종래 다이오드의 휘도를 증가시키기 위해서 활성층의 구성을 다중 양자웰 층(Multi Quantum Well layer)으로 구성하는 방법을 설명하고 있다.
- [0015] 상술하면, 사파이어 기판(1)과, 상기 사파이어 기판(1)의 상측면에 형성되는 버퍼층(2)과, 그 상측의 n형 GaN(질화갈륨)층(3)과, 인듐(In)과 갈륨(Ga)의 중량비가 조정되어 다수의 양자웰 층이 형성되는 다중 양자웰 층(4)과, 상기 다중 양자웰 층(4)의 상측면에 형성되는 p형 GaN층(5)으로 구성된다.
- [0016] 이와 같이, 양자웰 층(4)이 복수개가 반복되어 형성됨으로써, 다이오드에서 방출되는 광의 휘도가 증가되는 효과가 있었다.
- [0017] 그러나, 이와 같은 종래의 다중 양자웰 층이 형성되는 질화갈륨계 반도체 다이오드는 휘도는 증가시킬 수 있으나, 양자웰 층이 접하는 n형 GaN층(3)과의 계면에서 격자 부정합으로 인하여 파손이 일어나는 경우가 많기 때문에, 그 신뢰성이 높지 않고, 누설전류가 증가되는 문제점이 있었다.

**발명이 이루고자 하는 기술적 과제**

- [0018] 본 발명은 상기된 바와 같은 문제점을 개선하기 위하여 창출된 것으로서, 활성층이 형성되는 계면의 격자 부정합을 개선하여 높은 휘도와 신뢰성을 구현할 수 있는 질화갈륨계 반도체 다이오드의 구성을 제안하는 것을 목적으로 한다.
- [0019] 본 발명의 또 다른 목적은 발광 효율이 높은 양자점을 형성함으로써, 고휘도와 고신뢰성을 구현할 수 있는 질화갈륨계 반도체 다이오드의 구성을 제안하는 것을 목적으로 한다.

**발명의 구성 및 작용**

- [0020] 본 발명은 상기된 바와 같은 문제점을 개선하기 위하여 창출된 것으로서, 사파이어 기판, n형 GaN층, 활성층, p형 GaN층이 포함되는 질화갈륨계 반도체 다이오드의 구조에 있어서, 상기 n형 GaN층에 형성되고 개구된 스폿을 포함하는 시드(seed)층과, 상기 시드층에 형성되고 상기 시드층의 스폿과 결합되도록 형성된 활성층이 포함되는 것을 특징으로 하는 질화갈륨계 반도체의 구조.포함되는 것을 특징으로 한다.
- [0021] 상기된 구성에 따르는 본 발명의 질화갈륨계 반도체 다이오드는 활성층의 계면에서 격자 부정합을 방지하고, 양자점을 형성하여 고휘도를 구현할 수 있고, 신뢰성이 높은 질화갈륨계 반도체 다이오드를 제공할 수 있다.
- [0022] 이하에서는 도면을 참조하여 본 발명의 구체적인 실시예를 제안한다.
- [0023] 도 2는 본 발명에 따른 질화갈륨계 반도체 다이오드의 구성을 보이는 단면도이다.
- [0024] 도 2를 참조하면, 본 발명 질화갈륨계 반도체 다이오드는 사파이어 기판(11), 버퍼층(12), n형 GaN층(13)과, 상기 n형 GaN층(13)의 상측면에 형성되는 시드(seed)층(14)과, 상기 시드층(14)의 상측면에 형성되는 활성층(15)과, 활성층(15)의 상측에 형성되는 p형 GaN층(16)이 포함된다.

- [0025] 상세히, 상기 버퍼층(12)은 AlGaN(알루미늄갈륨나이트라이드)을 재료로 하고, 상기 시드층(14)은 실리콘(Si)이 도핑된 실리콘 도핑 시드층으로 형성된다.
- [0026] 또한, 상기 활성층(15)은 다중 양자웰 층(MQW : Multi Quantum Well))의 구조를 이루어, 발광효율을 높일 수 있도록 한다. 상기 활성층(15)은 InGaN의 우물층과 InGaN의 장벽층 각각이, In의 구체적인 조성을 달리하면서, 양자우물층과 장벽층이 반복되어 적층된다.
- [0027] 특히, 상기 시드층(14)과 활성층(15)의 계면에는 양자점(Quantum dot)이 형성되어 계면의 격자 부정합과, 발광효율을 높이도록 하고 있는데, 도면을 참조하여 상기 양자점에 대해서 설명하도록 한다.
- [0028] 도 3은 본 발명의 질화갈륨계 반도체 다이오드에서 시드층(14)과, 활성층(15)의 계면을 확대해서 보이고 있는 도면이다.
- [0029] 도 3을 참조하면, 상기 시드층(14)은 기 설명된 바와 같은 실리콘 도핑 시드층(141)과, 상기 실리콘 도핑 시드층(141)의 상측에서 다수의 양자점(S)을 형성하는 실리콘 도핑 양자점층(142)으로 분리 형성된다.
- [0030] 상기 실리콘 도핑 양자점층(142)의 상측에 형성되어 상기 활성층(15)의 최하면에서 첫번째 우물층을 이루는 첫번째 웰층(first well layer)(151)이 포함된다.
- [0031] 상기 첫번째 웰층(151)은 상기 실리콘 도핑 양자점층(142)의 개구된 스폿(spot)에 성장되어 스폿내에서 양자점(S)을 형성하게 된다. 상기 첫번째 웰층(151)은 기 설명된 바와 같이 InGaN(인듐갈륨나이트라이드)으로 구성되며, 활성층(15)내에는 다수의 웰층이 형성되는데, 장벽층과 활성층의 분리되는 인듐(In)과 갈륨(Ga)의 구성비에 의해서 조정될 수 있게된다.
- [0032] 상술된 질화갈륨계 반도체 다이오드의 구성을 형성하는 방법에 대해서 설명한다.
- [0033] 상기 실리콘 도핑 시드층(141)은 CVD(화학기상증착법)을 비롯한 다양한 방법에 의해서 형성될 수 있고, 성장에 사용되는 재료는 TMGa(Tri-methyl Gallium, 트리 메틸 갈륨), NH<sub>3</sub>(암모니아), Si<sub>2</sub>H<sub>6</sub>(다이싸일렌)이 사용될 수 있다. 그리고 상기 실리콘 도핑 시드층(141)의 성장이 완료된 후에는 양자점(S)이 포함되는 상기 실리콘 도핑 양자점층(142)을 형성한다.
- [0034] 상기 실리콘 도핑 양자점층(142)에서 스폿(S)이 포함되는 형상으로 형성되기 위해서는 CVD 공정에 첨가되는 상기 TMGa의 양을 극소화시키고, 그 온도를 상기 실리콘 도핑 시드층(141)이 형성되는 온도보다 높거나 같게 조정한다.
- [0035] 상세하게, 상기 실리콘 도핑 양자점층(142)이 증착되는 환경은 TMGa가 1-100 μmol, NH<sub>3</sub>가 1-100 ℓ, 실리콘(Si)이 1-1000cc주입되어 조성된 환경이다.
- [0036] 그리고, 증착이 실시되는 온도 범위는 1000~1500℃에서 이루어지도록 한다.
- [0037] 이러한 환경 및 온도에서 증착이 종결되는 양자점층에서의 스폿(S)의 크기는 직경이 1~1000Å이고, 실리콘 도핑 양자점층(142)의 두께는 1~1000Å의 범위에 이를 수 있다.
- [0038] 상술된 과정에 의해서 특정 형상의 양자점이 포함되는 실리콘 양자점층(142)이 형성된 뒤에는 양자점층(142)의 상측에 InGaN을 성장하게 되고, 성장된 InGaN은 스폿의 내에 증착되어 양자점을 이루게 된다.
- [0039] 상기된 바와 같은 양자점에 의해서 발광효율을 높일 수 있게 된다. 또한, 활성층(15)의 일 부분을 이루는 첫번째 웰층(151)과 실리콘 도핑 양자점층(142)사이 접면에서 격자의 부정합 없이 명확하게 성장될 수 있기 때문에, 누설 전류를 방지하고, 발광효율의 향상을 기할 수 있다. 또한, 활성층(15)이 안정적으로 성장가능하기 때문에, 발광 다이오드의 안정성을 기할 수도 있게 된다.
- [0040] 본 발명의 실시예는 상술된 구체적인 조건등에 한정되지 아니하며, 본 발명에 관한 당업자는 구성요소의 변경, 삭제등에 의해서 또 다른 실시예를 용이하게 만들어 낼 수 있다.

**발명의 효과**

- [0041] 본 발명에 의해서 양자점이 포함될 뿐만 아니라, 접면의 격자 부정합이 제거된 활성층을 형성할 수 있어, 누설 전류를 억제하고 발광효율을 향상시킬 수 있는 효과가 있다.
- [0042] 또한, 안정적인 구조로 인해서, 다이오드의 신뢰성을 한층 더 높일 수 있는 효과가 있다.

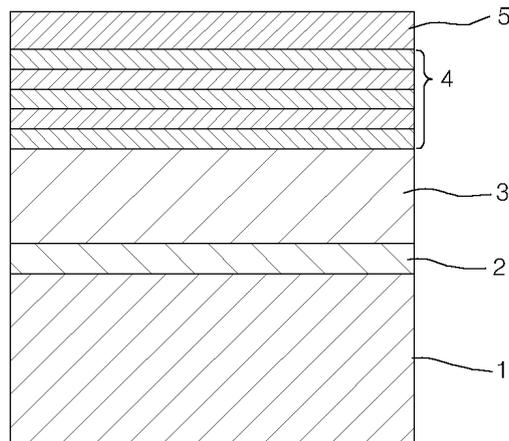
[0043] 결국, 활성층의 결정 격자 결함을 줄여 결정질의 특성이 우수하게 되기 때문에, 다이오드의 항복 전압이 높고, 고휘도와 고신뢰성을 구현할 수 있다.

**도면의 간단한 설명**

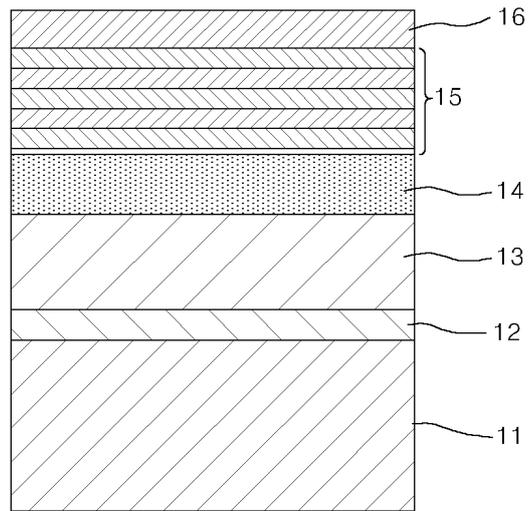
- [0001] 도 1은 종래 질화갈륨계 반도체 다이오드의 단면도.
- [0002] 도 2는 본 발명에 따른 질화갈륨계 반도체 다이오드의 단면도.
- [0003] 도 3은 본 발명의 질화갈륨계 반도체 다이오드에서 시드층과, 활성층의 계면을 확대도.
- [0004] <도면의 주요 부분에 대한 부호의 설명>
- [0005] 1, 11 : 사파이어 기판                      2, 12 : 버퍼층
- [0006] 3, 13 : n형 GaN(질화갈륨)층            4 : 다중 양자웰 층
- [0007] 5, 16 : p형 GaN(질화갈륨)층            14 : 시드(seed)층                      15 : 활성층
- [0008] 141 : 실리콘 도핑 시드층                142 : 실리콘 도핑 양자점층
- [0009] 151 : 첫번째 웰층

**도면**

**도면1**



도면2



도면3

