



[12] 发明专利申请公开说明书

[21]申请号 93106757.X

[51]Int.Cl⁵

G05F 1/10

[43]公开日 1994年1月12日

[22]申请日 93.5.29

[30]优先权

[32]92.5.30 [33]KR[31]9411/92

[71]申请人 三星电子株式会社

地址 韩国京畿道

[72]发明人 李升勋

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 吴增勇 叶恺东

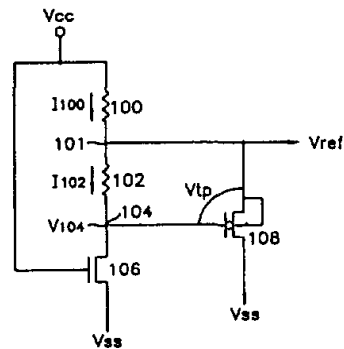
说明书页数:

附图页数:

[54]发明名称 使用CMOS晶体管的基准电压发生器

[57]摘要

一种将第一电源电压转变为第二电源电压的基准电压发生电路包括连接在第一电源电压和接地电压之间的具有正的热系数用以相对于温度变化正向地补偿第二电源电压的正热补偿电路和具有负热系数用以相对于温度变化负向地补偿第二电源电压并对正热补偿电路的输出作出响应的负热补偿电路,从而借助该正和负热系数的相互抵消,来稳定第二电源电压。



权 利 要 求 书

1. 一种用以产生比外电源电压低一个给定值的基准电压的基准电压发生电路, 包括:

供给所述外电源电压的电源电压端;

接地电压端;

输出所述基准电压的基准电压端;

连接在所述外电源和基准电压端之间以供给电流的第一电阻(100);

连接在所述基准电压端和节点(104)之间的第二电阻(102);

具有第一沟道导电率的第一MOS晶体管(106), 其沟道连接在所述节点(104)和接地电压端之间, 而栅极连接在所述电源, 即基准电压端; 和

具有第二沟道导电率的第二MOS晶体管(108), 其沟道连接在所述基准和接地电压端之间, 而栅极连接到所述节点(104)。

2. 如权利要求1规定的基准电压发生电路, 其特征在于: 还包括第三MOS晶体管(110), 其沟道连接在所述节点(104)和所述第一MOS晶体管(106)的漏极之间, 而栅极连接到所述基准电压端。

3. 如权利要求1规定的基准电压发生电路, 其特征在于: 还包括具有第一沟道导电率的第三MOS晶体管(110)其沟道与第一MOS晶体管(106)的沟道相关联, 而其栅极连接到所述基准电压端。

4. 如权利要求2或3规定的基准电压发生电路, 其特征在于: 还包括具有第二沟道导电率的第四MOS晶体管(108'), 其沟道与第二MOS晶体管(108)的沟道并联, 而其栅极连接到第一MOS晶体管(106)的漏极。

5. 如权利要求1规定的基准电压发生电路, 其特征在于: 所述第

一和第二沟道导电率分别为N型和P型。

6. 如权利要求4规定的基准电压发生电路，其特征在于：所述第二MOS晶体管(108)的基片连接至所述基准电压端。

7. 如权利要求2或3所规定的基准电压发生电路，其特征在于：所述第一和第三MOS晶体管(106, 110)的基片共同连接到或者接地电压，或者反向偏置电压上。

8. 如权利要求1所规定的基准电压发生电路，其特征在于：所述第一MOS晶体管(106)的沟道电阻具有正的热系数。

9. 如权利要求2或3所规定的基准电压发生电路，其特征在于：所述第二MOS晶体管(108)的阈值电压具有负的热系数。

10. 一种将第一电源电压转变为第二电源电压的基准电压发生电路，包括：

连接在所述第一电源电压和接地电压之间的具有正的热系数用以相对于温度变化正向地补偿所述第二电源电压的正热补偿装置；和

具有负热系数用以依据温度变化负向地补偿所述第二电源电压和对所述正热补偿装置的输出作出响应的负热补偿装置；

借助所述正和负热系数相互抵消，从而稳定所述第二电源电压。

11. 如权利要求10规定的基准电压发生电路，其特征在于：还包括将所述第二电源电压反馈至所述正热补偿装置的反馈装置，以促进所述第二电源电压的稳定。

12. 如权利要求11所规定的基准电压发生电路，其特征在于：所述正热补偿装置包括第一电阻，第二电阻和具有第一沟道导电率的第一MOS晶体管，所述第一电阻和第二电阻和所述第一MOS晶体管的沟道串联连接在所述第一电源电压和接地电压之间。

13. 如权利要求12所规定的基准电压发生电路，其特征在于：所述负热补偿装置包括具有第二沟道导电率的第二MOS晶体管，其沟道

连接在所述第二电源电压和接地电压之间，其栅极与所述第一MOS晶体管的漏极相连，而基片与基准电压端相连。

14. 如权利要求13所规定的基准电压发生电路，其特征在于：所述反馈装置包括具有第一沟道导电率的第三MOS晶体管，其沟道连接在所述第二MOS晶体管的栅极和所述第一MOS晶体管的漏极之间而栅极与所述第二电源电压相连。

15. 一种用以产生比外电源电压低一个给定值的基准电压的基准电压发生电路，包括：

连接在所述外电源和基准电压之间供以电流的第一电阻；

连接在所述基准电压和节点之间的第二电阻；

具有第一沟道导电率的第一MOS晶体管，其沟道连接在所述节点和接地电压之间，其栅极连接到所述外电源电压，所述沟道具有正热系数；

具有第二沟道导电率的第二MOS晶体管，其沟道连接在所述基准和接地电压之间，其栅极与所述节点相连，所述沟道具有为负热系数的阈值电压。

16. 如权利要求15所规定的基准电压发生电路，其特征在于：还包括具有第一沟道导电率的第三MOS晶体管，其沟道串联连接在所述节点和所述第一MOS晶体管的漏极之间，栅极与所述基准电压相连。

17. 如权利要求15所规定的基准电压发生电路，其特征在于：还包括具有第一沟道导电率的第三MOS晶体管，其沟道与所述第一MOS晶体管的沟道并联连接，而栅极与所述基准电压相连。

使用CMOS晶体管的基准电压发生器

本发明涉及使用CMOS晶体管以补偿由于温度和外电源电压变化引起基准电压输出波动的基准电压发生电路。

高度复杂的半导体存储器件的小型化要求基准电压发生电路供给比外电源电压小一个给定值的内电源电压。在这种情况下，要求基准电压发生电路被设计为能提供稳定的基准电压，而不受例如环境温度、外电源电压、工艺参数等各种变化的影响。为了达到这一点，有人已提出如图1所示的带隙基准电压发生电路。

参阅图1，带隙基准电压发生电路包括通过电流源电阻24供给电流的三个双极型晶体管14、20和22。第一晶体管14具有二极管接法的集电极—基极，被接在基准电压端V_{ref}和接地电压端V_{ss}之间。第二晶体管20的基极通过节点20与第一晶体管14的集电极相连。其集电极通过电阻16与基准电压端V_{ref}相连，发射极通过电阻21与接地电压端V_{ss}相接。在节点12和基准电压端V_{ref}之间还连接有电阻10。第三晶体管22的集电极与基准电压端相连，其发射极与接地电压相连，基极与第二晶体管20的集电极相连。这个电路使基极—发射极电压($\partial V_{BE} / \partial T \cong -2.2 \text{ mV} / ^\circ\text{C}$)具有负的热系数(thermal coefficient)，以抵消具有正的热系数的热电压($V_T = KT/q$, $\partial V_T / \partial T = 0.086 \text{ mV} / ^\circ\text{C}$)，从而在温度变化时产生稳定的基准电压输出。更详细地说，基准电压输出V_{ref}是电阻16上电压V_I和第三晶体管22的基极—发射极电压V_{BE22}之和。电压V_I取决于第二晶体管20的基极—发射极电压的变化 ΔV_{BE20} 。假定电阻16和21分别是R₁₆和R₂₁，而且通过电阻21和10的电流分别为I₁和I₂，则可获得下述的等式(1)和(2)：

$$\Delta V_{BE20} = I_1 \cdot R_{21} = V_{BE14} - V_{BE20} = V_T \ln(I_2 / I_1) \quad \dots (1)$$

$$V_1 = (R_{16} / R_{21}) \cdot \Delta V_{BE20} = V_T \cdot (R_{16} / R_{21}) \ln(I_2 / I_1) \quad \dots (2)$$

式中 $V_T (=KT/q)$ 是具有正的热系数的热电压、 K 是波尔兹曼常数、 T 是绝对温度和 q 是电荷量。因此，基准电压 V_{ref} 由具有负热系数的第三晶体管 22 的基极-发射极电压 V_{BE22} 和具有正热系数的热电压 V_T 所决定的，用等式 (3) 表示如下：

$$V_{ref} = V_{BE22} + V_T (R_{16} / R_{21}) \ln(I_2 / I_1) \quad \dots (3)$$

这样，基准电压输出 V_{ref} 相对于温度变化是稳定的。而且，双极型晶体管在饱和状态下依据相对稳定的基极-发射极电压 V_{BE22} 而工作，这样提供相对稳定的基准电压而不受外电源电压变化的影响。

然而 DRAM 器件使用的来自带隙基准电压发生电路的基准电压，要求反偏压发生器供给负衬底电压 V_{BB} ，以稳定衬底。只有当衬底电压 V_{BB} 超出给定值时反偏压发生器才起作用。衬底电压 V_{BB} 会不合要求地通过带隙基准电压发生电路的多晶硅电阻和在衬底上形成的寄生电容传输到各个电路连接处，从而改变基准电压输出 V_{ref} 。而且，电路中所使用的晶体管工作在饱和状态，这样增大备用电流。另外，假如带隙基准电压发生电路被用于 DRAM 器件，主要包括 MOS 晶体管的衬底要求附加的工艺步骤以形成双极型晶体管。再者，如图 6 中曲线 112 所示，带隙基准电压发生电路具有高建立电压（约 2.5V），在低的外电源电压时相对于温度变化显示出基准电压有大的波动。

图 2 表示包括若干个 PMOS (P 沟道 MOS 管) 晶体管的另一种传统的基准电压发生电路。PMOS 晶体管 26、28 和 32 的沟道串联相接，具有二极

管接法的栅极和漏极，在连接点30产生PMOS晶体管32的阈值电压 V_{tp} 。具有沟道串联相接形式的PMOS晶体管40和42有二极管接法的栅极和漏极，在基准电压端38产生输出基准电压 $2V_{tp}$ 。在连接点30处的电压 V_{tp} 加在具有沟道串联相连的PMOS晶体管34和36的栅极上，从而相对于外电源电压的变化稳定基准电压。然而，它不能抵消由于温度变化引起的基准电压的变化。

因此本发明的一个目的是提供使用CMOS晶体管相对于温度和外电源电压的变化产生稳定的基准电压的基准电压发生电路。

本发明的另一目的是提供使用CMOS晶体管产生稳定基准电压并具有低功耗和低建立电压的基准电压发生电路。

本发明的又一目的是提供具有易施加于DRAM器件的简单结构的基准电压发生电路。

依照本发明，将第一电源电压转变为第二电源电压的基准电压发生电路包括连接在第一电源电压和接地电压之间的具有正的热系数从而相对于温度变化正向补偿第二电源电压的正热补偿电路和具有负热系数用以响应正热补偿电路的输出依据温度变化负向补偿第二电源电压的负热补偿电路，利用正和负热系数的互相抵消，从而稳定第二电源电压。

就本发明的一个方面而言，基准电压发生电路还包括反馈电路，将第二电源电压反馈到正热补偿电路以协助稳定第二电源电压。

现在通过举例并结合附图更具体地说明本发明。

图1是传统的带隙基准电压发生电路的原理图；

图2是包括PMOS晶体管的另一传统基准电压发生电路的原理图；

图3是依照本发明的一个实施例的具有CMOS晶体管的基准电压发生电路的原理图；

图4是依照本发明的另一实施例的具有CMOS晶体管的基准电压发

生电路的原理图;

图5是依照本发明的又一实施例的具有CMOS晶体管的基准电压发生电路的原理图;

图6是本发明的基准电压发生电路与传统的带隙基准电压发生电路作比较,说明基准电压对电源电压的特性曲线的图表;和

图7A至7C分别是依照本发明的各个实施例具有CMOS晶体管的基准电压发生电路的原理图。

参阅图3,第一和第二电阻100和102和NMOS(N沟道MOS管)晶体管106的沟道串联连接在外电源电压端 V_{cc} 和接地电压端 V_{ss} 之间。NMOS晶体管106的栅极与电源电压端 V_{cc} 相连。PMOS晶体管108的沟道连接在基准电压端 V_{ref} 和接地电压端 V_{ss} 之间,而其栅极与第二电阻102和NMOS晶体管106的漏极的连接点104相连接。基准电压端 V_{ref} 还与第一和第二电阻100和102的连接点101相连,PMOS晶体管108的基片是与基准电压 V_{ref} 相连。而不是与电源电压 V_{cc} 相连。其理由在于防止若该基片与外电源电压 V_{cc} 相连接时外电源电压 V_{cc} 的增大会增大PMOS晶体管108的阈值电压,从而导致基准电压 V_{ref} 增大的“管体效应”(“body effect”)。

工作时,NMOS晶体管106由于栅极与外电源电压 V_{cc} 相连而处于正常导通,这样电流 I_{102} 流过由第一和第二电阻100和102和晶体管106的沟道构成的路径。那末连接点104具有电平足够低于使PMOS晶体管108导通的电压 V_{104} 。因此输出基准电压是电压 V_{104} 和PMOS晶体管108的导通电压 $V_{tp(on)}$ 之和。其中,假如外电源电压 V_{cc} 增大,由于栅极电压相应增大,NMOS晶体管106的互导 G_m 也增大。因而连接点104的电压 V_{104} 更低,从而更促使PMOS晶体管108导通,因此在第二电阻102上形成的PMOS晶体管108的阈值电压 V_{tp} 防止了基准电压输出 V_{ref} 的增大。或者反之,假如外电源电压减小,由于栅极电压的减小,NMOS晶体

管106的互导 G_m 也减小。因而，在连接点104的电压 V_{104} 增大，从而使PMOS晶体管108刚刚进入截止，因此可以防止基准电压输出值 V_{ref} 的减小。因此本发明电路相对于外电源电压 V_{cc} 的变化提供稳定的基准电压输出 V_{ref} 。

下文讨论本发明电路的热补偿功能。PMOS晶体管108在电路正常状态下处于导通，通过第二电阻 R_{102} 的电流 I_{102} 可以用等式(4)表示。

$$I_{102} = V_{tp} / R_{102} \quad \dots\dots(4)$$

式中， V_{tp} 表示PMOS晶体管108的阈值或导通电压，本领域中众所周知 V_{tp} 具有反比于温度变化的负热系数。相反，NMOS晶体管106的沟道电阻具有正热系数，因为由于沟道中载流子的迁移率的相应减小，沟道电阻是随温度而增大的。这样，当NMOS晶体管106的沟道电阻随温度而增大，导致在连接点104的电压 V_{104} 的增大，而PMOS晶体管108的阈值电压 V_{tp} 随温度而减小，由此提供稳定的恒定基准电压输出值 V_{ref} 。因此基准电压输出值 V_{ref} 可以相对于温度变化而保持基本不变。

此外，本发明电路包括显著减小备用电流的CMOS晶体管和当用于DRAM时不需要任何单独的复杂工艺步骤。本电路的建立电压电平由等式(5)和(6)所决定：

$$I_{100} > I_{102} \quad \dots\dots(5)$$

$$V_{cc} > (R_{100} / R_{102}) \cdot V_{tp} + V_{ref} \quad \dots\dots(6)$$

建立电压必须等于或大于基准电压 V_{ref} 和第一电阻 R_{100} 上的电压

V_{I00} 之和，它低于使用双极型晶体管的带隙基准电压发生电路的建立电压。特别是本发明的基准电压发生电路的建立电压可被设置在1.6V左右。

本发明的另一实施例示于图4中，该图中与图3电路中相对应的元件使用相同的标号标注。第一和第二电阻R100和R102和NMOS晶体管110的沟道串联连接在外电源电压 V_{cc} 和接地电压 V_{ss} 之间。NMOS晶体管110的栅极与第一和第二电阻100和102的连接点101相连。PMOS晶体管108的沟道连接在与连接点101相连的基准电压端 V_{ref} 和接地电压 V_{ss} 之间，其栅极与NMOS晶体管110的漏极相连。PMOS晶体管108的基片与图3中一样也与基准电压 V_{ref} 相连，以防止“管体效应”。从上述容易觉察到，本发明实施例与图3的上一实施例的区别在于NMOS晶体管110的栅极是与基准电压 V_{ref} 相连，从而将基准电压输出 V_{ref} 反馈至NMOS晶体管110的栅极。这样基准电压 V_{ref} 的变化可以被减至最小。

本发明的又一实施例示于图5中，该图中第一和第二电阻R100和R102和NMOS晶体管110和106的沟道串联连接在外电源电压 V_{cc} 和接地电压 V_{ss} 之间。NMOS晶体管106的栅极与电源电压 V_{cc} 相连，NMOS晶体管110的栅极与第一和第二电阻100和102的连接点101相连。该连接点101还与基准电压 V_{ref} 相连。PMOS晶体管108的沟道连接在基准电压 V_{ref} 和接地电压 V_{ss} 之间，其栅极与第二电阻102和NMOS晶体管110的漏极的连接点104相连。正如从上述容易觉察的，本实施例是通过将图3和4的实施例组合而得到的。附加的NMOS晶体管106有助于基准电压的稳定即使基片电压 V_{BB} 增大时也如此。即在图4的实施例中，假如外电源电压 V_{cc} 增大时，加在NMOS晶体管110基片上的基片电压 V_{BB} 也增大。那末，正如PMOS晶体管108的情况，“管体效应”增大NMOS晶体管110的电阻，由于在连接点104处电压被增大从而增大了基准电压。然而，外电源电压 V_{cc} 的增加使附加的NMOS晶体管106的沟道电阻减

小，从而在连接点104处电压保持不变，这样基准电压输出值 V_{ref} 的变化被减至最小。对产生相对低的基准电压电路而言，可省略该附加NMOS晶体管106。本实施例尤其在高电源电压区域中能有效地将基准电压 V_{ref} 的变化减至最小。

参阅图7A至7c，该图示出依照本发明的各种不同的实施例。如图所示，NMOS晶体管110和106可以相互并联，其基片可与接地电压或反偏压 V_{BB} 相连。而且，如图7c所示，PMOS晶体管108'可与PMOS晶体管108相关联，PMOS晶体管108'的栅极连接在NMOS晶体管106的漏极和电阻102'之间形成的连接点上。电阻102'连接在基准电压输出 V_{ref} 和NMOS晶体管106的漏极之间。

参阅图6，曲线112表示传统的带隙基准电压发生电路的特性，而曲线114表示本发明电路的特性。因而本发明电路需要低的建立电压，并相对于温度和外电源电压变化提供基本稳定的基准电压 V_{ref} ，传统电路需要高的建立电压，相对于温度和外电源电压变化提供不太稳定的基准电压 V_{ref} 。

尽管已在此用图表示和说明了本发明的特定结构，但并不打算将本发明局限于这些所公开的元件和结构。本领域技术人员容易认识到：还可以使用不脱离本发明的范围和精神的特定元件或子结构。

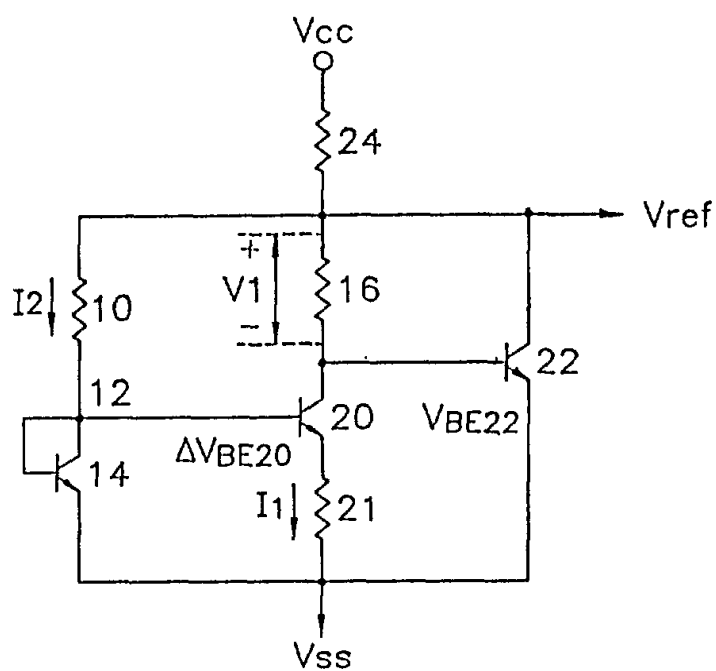


图 1

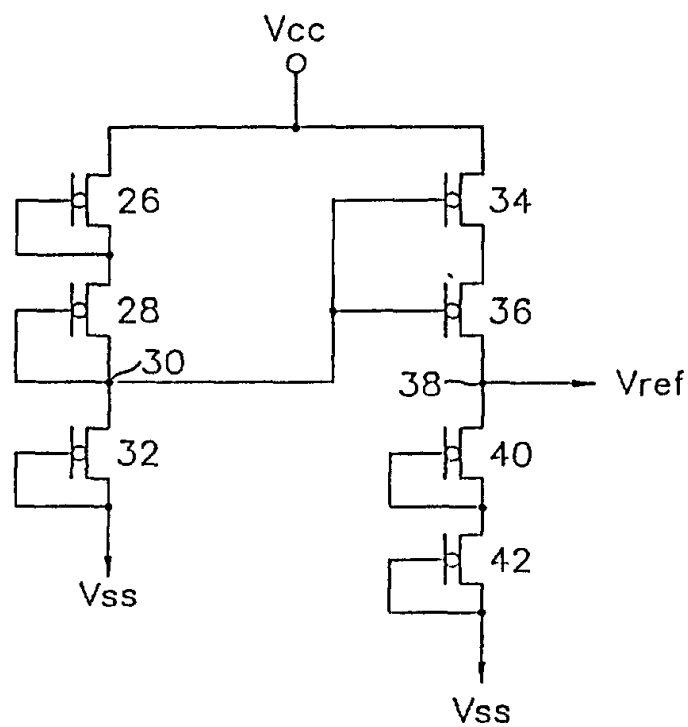
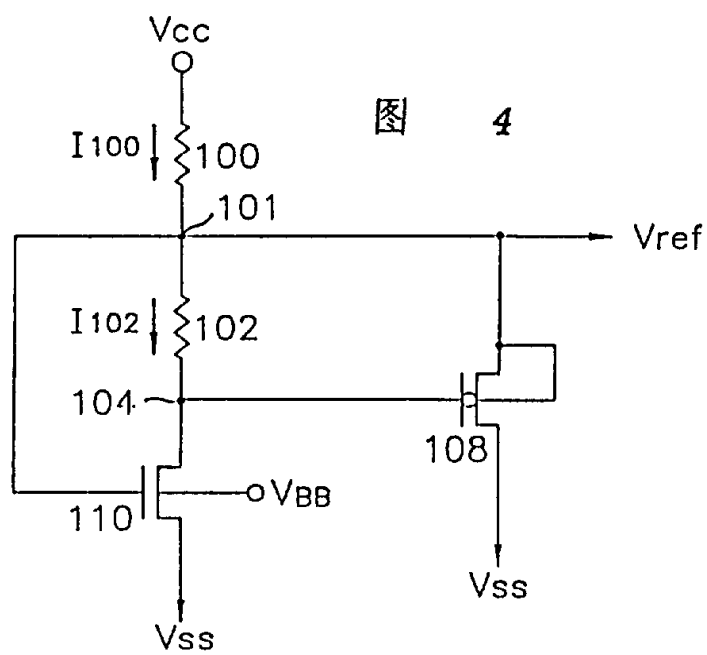
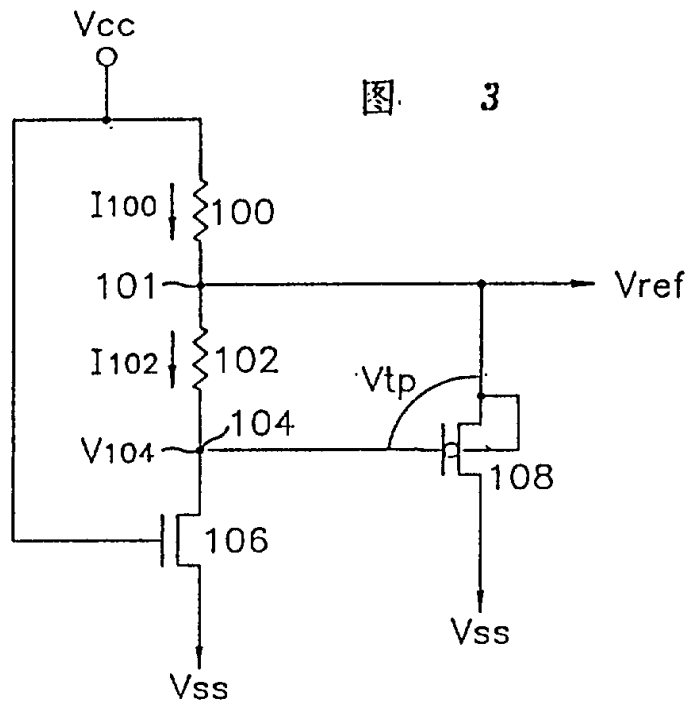


图 2



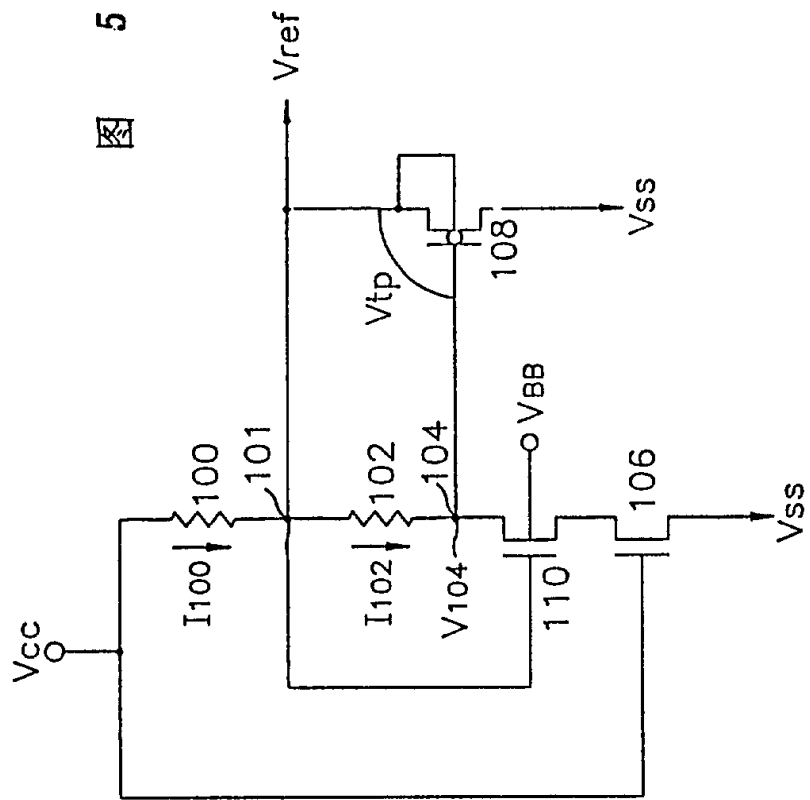
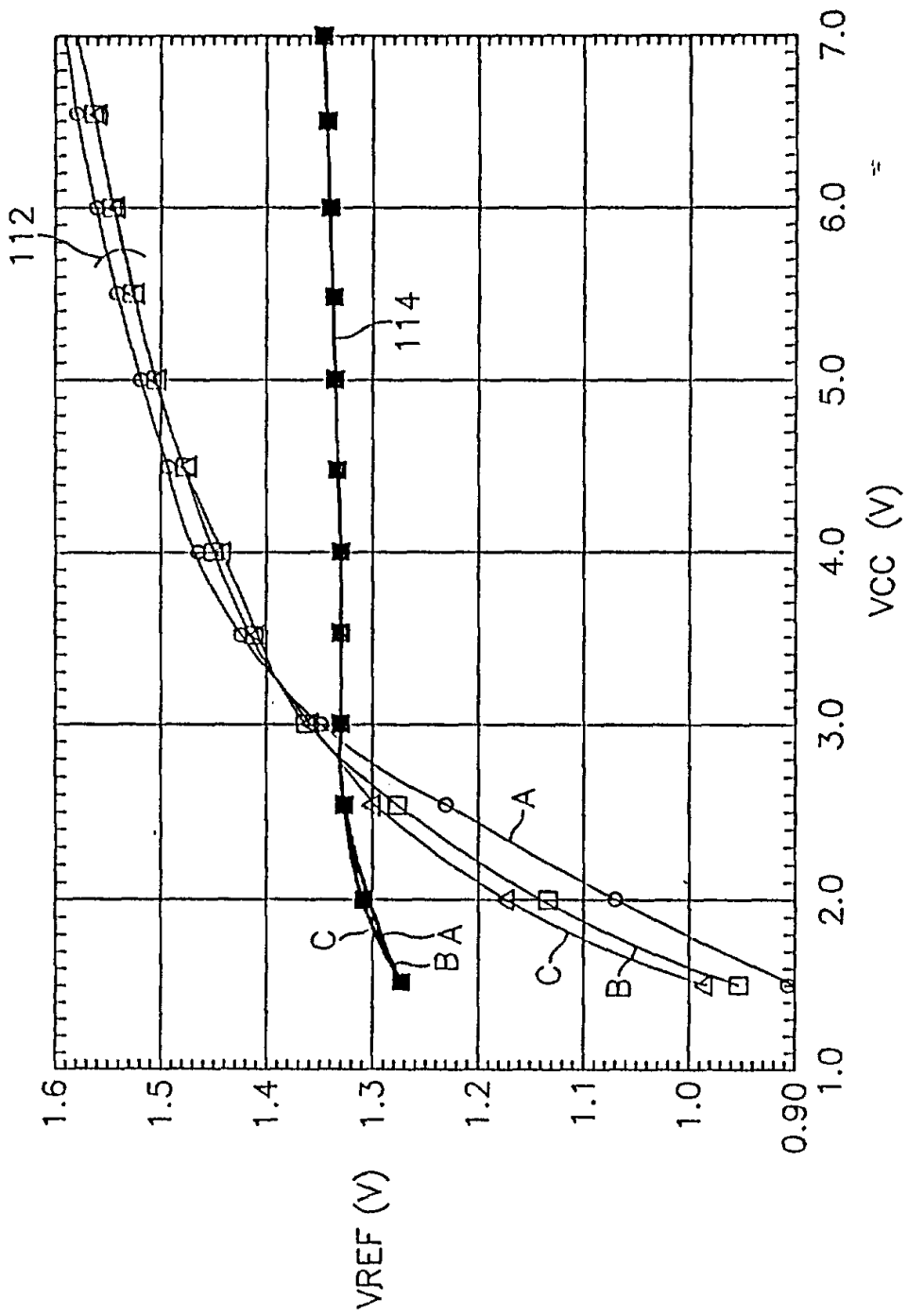


图 5



A: 80°C
 B: 25°C
 C: -5°C

图 6

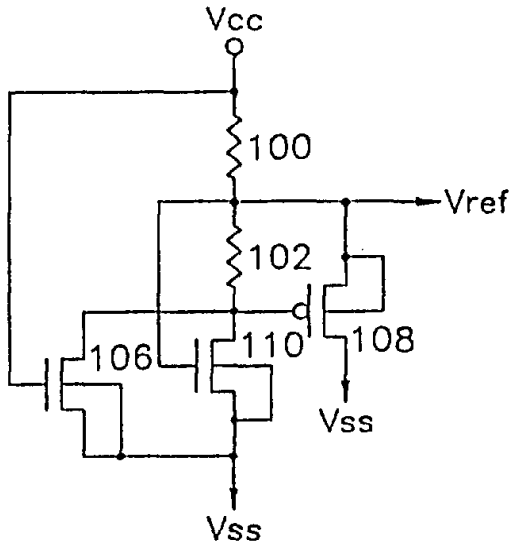


图 7A

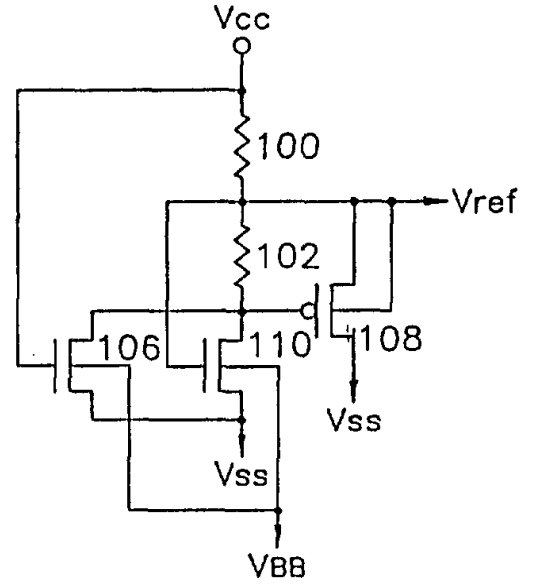


图 7B

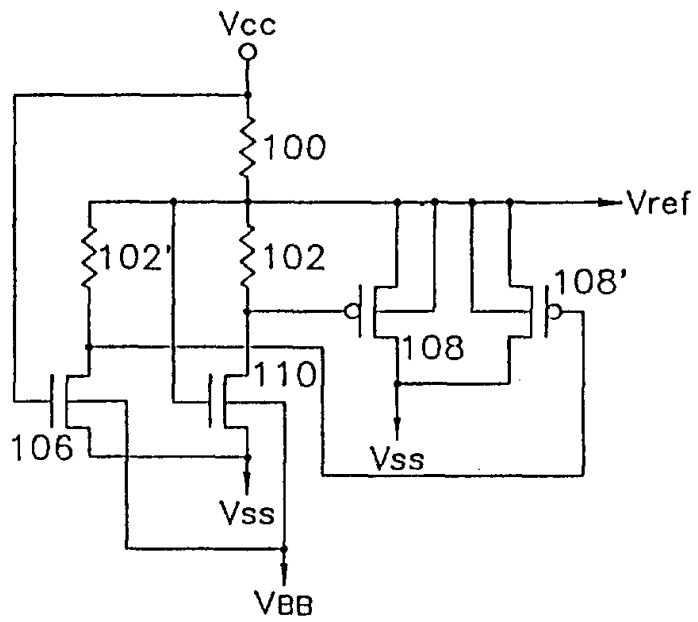


图 7C