



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I694431 B

(45) 公告日：中華民國 109 (2020) 年 05 月 21 日

(21) 申請案號：108100429

(22) 申請日：中華民國 108 (2019) 年 01 月 04 日

(51) Int. Cl. : G09G3/32 (2016.01)

(30) 優先權：2018/06/27 美國 62/690,547

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORPORATION (TW)
新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：林志隆 LIN, CHIH LUNG (TW)；陳力榮 CHEN, LI JUNG (TW)；陳福星 CHEN, FU HSING (TW)；張瑞宏 CHANG, JUI HUNG (TW)；鄭賢薰 CHENG, MAO HSUN (TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

TW 201432650A

TW 201643530A

CN 105679244A

CN 106057126A

US 2017/0061868A1

審查人員：林俊傑

申請專利範圍項數：23 項 圖式數：6 共 39 頁

(54) 名稱

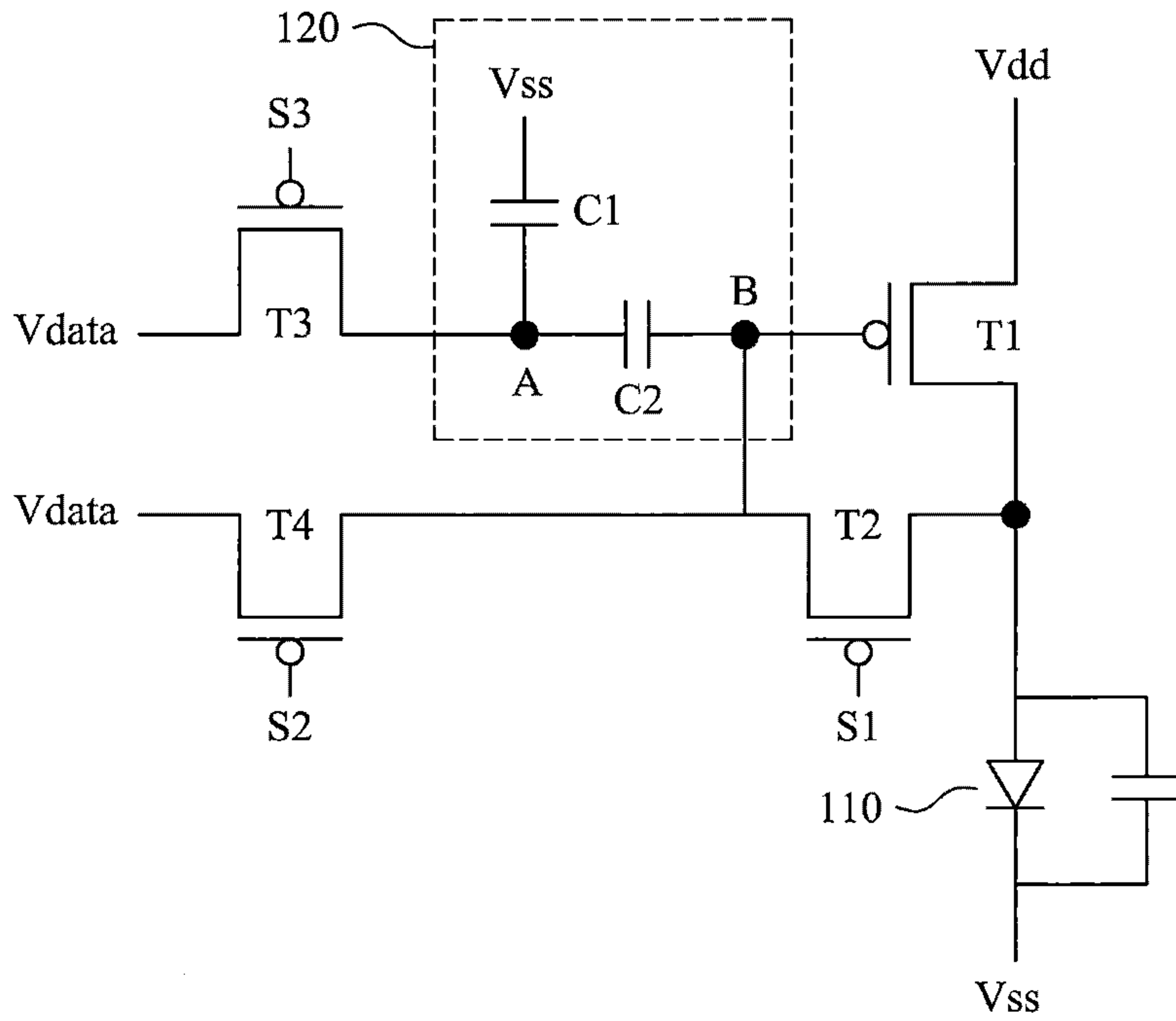
畫素電路與顯示裝置

(57) 摘要

一種畫素電路，包含發光二極體、驅動電晶體、補償電晶體、電容耦合電路及第一開關電晶體。驅動電晶體之第一端用以接收電源訊號，驅動電晶體之第二端電性連接發光二極體。補償電晶體電性連接驅動電晶體之第二端及控制端，並根據第一補償控制訊號導通或關閉。電容耦合電路具有第一端、第一節點及第二節點。第二節點電性連接於驅動電晶體之控制端。第一開關電晶體的第一端用以接收資料訊號，第一開關電晶體的第二端電性連接第一節點。

A pixel circuit includes a light emitting diode, a driving transistor, a compensation transistor, a capacitive coupling circuit, and a first switching transistor. A first terminal of the driving transistor is configured to receive a power signal, and the second terminal of the driving transistor is electrically coupled to the light emitting diode. The compensation transistor is electrically coupled to the second terminal and a control terminal of the driving transistor, and is turned on or turned off according to a first compensation control signal. The capacitive coupling circuit has a first terminal, a first node, and a second node. The second node is electrically coupled to the control terminal of the driving transistor. A first terminal of the first switch transistor is configured to receive a data signal, and a second terminal of the first switch transistor is electrically coupled to the first node.

指定代表圖：



第 1 圖

符號簡單說明：

- 100 . . . 畫素電路
- 110 . . . 發光二極體
- 120 . . . 電容耦合電路
- T1 . . . 驅動電晶體
- T2 . . . 補償電晶體
- T3 . . . 第一開關電晶體
- T4 . . . 第二開關電晶體
- C1 . . . 第一電容
- C2 . . . 第二電容
- S1 . . . 第一補償控制訊號
- S2 . . . 第二補償控制訊號
- S3 . . . 閘極訊號
- Vdd . . . 電源訊號
- Vdata . . . 資料訊號
- Vss . . . 參考電壓源
- A . . . 第一節點
- B . . . 第二節點

【發明摘要】

【中文發明名稱】 畫素電路與顯示裝置

【英文發明名稱】 PIXEL CIRCUIT AND DISPLAY
DEVICE

【中文】

一種畫素電路，包含發光二極體、驅動電晶體、補償電晶體、電容耦合電路及第一開關電晶體。驅動電晶體之第一端用以接收電源訊號，驅動電晶體之第二端電性連接發光二極體。補償電晶體電性連接驅動電晶體之第二端及控制端，並根據第一補償控制訊號導通或關閉。電容耦合電路具有第一端、第一節點及第二節點。第二節點電性連接於驅動電晶體之控制端。第一開關電晶體的第一端用以接收資料訊號，第一開關電晶體的第二端電性連接第一節點。

【英文】

A pixel circuit includes a light emitting diode, a driving transistor, a compensation transistor, a capacitive coupling circuit, and a first switching transistor. A first terminal of the driving transistor is configured to receive a power signal, and the second terminal of the driving transistor is electrically coupled to the light emitting diode. The compensation transistor is electrically coupled to the second

terminal and a control terminal of the driving transistor, and is turned on or turned off according to a first compensation control signal. The capacitive coupling circuit has a first terminal, a first node, and a second node. The second node is electrically coupled to the control terminal of the driving transistor. A first terminal of the first switch transistor is configured to receive a data signal, and a second terminal of the first switch transistor is electrically coupled to the first node.

【指定代表圖】 第1圖

【代表圖之符號簡單說明】

- 100 畫素電路
- 110 發光二極體
- 120 電容耦合電路
- T1 驅動電晶體
- T2 補償電晶體
- T3 第一開關電晶體
- T4 第二開關電晶體
- C1 第一電容
- C2 第二電容
- S1 第一補償控制訊號
- S2 第二補償控制訊號

S3 閘極訊號

Vdd 電源訊號

Vdata 資料訊號

Vss 參考電壓源

A 第一節點

B 第二節點

【特徵化學式】

無

【發明說明書】

【中文發明名稱】畫素電路與顯示裝置

【英文發明名稱】PIXEL CIRCUIT AND DISPLAY
DEVICE

【技術領域】

【0001】 本揭示內容關於一種畫素電路與顯示裝置，特別是一種可補償驅動電晶體的臨界電壓變異的畫素電路。

【先前技術】

【0002】 低溫多晶矽薄膜電晶體(low temperature poly-silicon thin-film transistor)具有高載子遷移率與尺寸小的特點，適合應用於高解析度、窄邊框以及低耗電的顯示面板。目前業界廣泛使用準分子雷射退火(excimer laser annealing)技術來形成低溫多晶矽薄膜電晶體的多晶矽薄膜。然而，由於準分子雷射每一發的掃描功率並不穩定，不同區域的多晶矽薄膜會具有晶粒尺寸與數量的差異。因此，於顯示面板的不同區域中，低溫多晶矽薄膜電晶體的特性便會不同。例如，不同區域的低溫多晶矽薄膜電晶體會有著不同的臨界電壓(threshold voltage)。

【0003】 目前業界廣泛使用畫素內補償之技術方案，以克服上述臨界電壓變異的問題。然而，具有畫素內補償功能之畫素電路具有複雜之電路結構，使得相關之顯示面

板的開口率低下。

【發明內容】

【0004】 本揭示內容之一態樣係一種畫素電路，包含發光二極體、驅動電晶體、補償電晶體、電容耦合電路及第一開關電晶體。驅動電晶體具有第一端、第二端與控制端。驅動電晶體的第一端用以接收電源訊號，驅動電晶體的第二端電性連接發光二極體。補償電晶體具有第一端、第二端與控制端。補償電晶體之第二端電性連接於發光二極體，補償電晶體之控制端用以接收第一補償控制訊號。電容耦合電路具有第一端、第一節點及第二節點。電容耦合電路之第一端電性連接參考電壓源，電容耦合電路之第二節點電性連接於驅動電晶體之控制端與補償電晶體之第一端。第一開關電晶體具有第一端、第二端與控制端。第一開關電晶體的第一端用以接收資料訊號，第一開關電晶體的第二端電性連接第一節點。第一開關電晶體的控制端用以接收閘極訊號。

【0005】 本揭示內容之另一態樣係一種畫素電路。畫素電路包含發光二極體、驅動電晶體、補償電晶體及電容耦合電路。驅動電晶體具有第一端、第二端與控制端。驅動電晶體的第一端用以接收電源訊號，驅動電晶體的第二端電性連接於發光二極體，驅動電晶體的控制端用以接收驅動電壓，以根據驅動電壓輸出電源訊號至發光二極體。在一重置期間中，驅動電晶體被關斷，使得發光二極體上的電壓放電。補償電晶體用以根據第一補償訊號選擇性地導通驅動電

晶體之控制端及第二端。電容耦合電路具有第一節點與第二節點。在補償期間，電容耦合電路之第一節點用以接收資料訊號，電容耦合電路之第二節點電性連接至驅動電晶體之控制端。當電容耦合電路之第一節點接收資料訊號時，驅動電壓的電壓準位相應於資料訊號的電壓準位變化而變化。

【0006】 本揭示內容之又一態樣係一種顯示裝置。顯示裝置包含複數條閘極線、複數條資料線、第一補償控制線及複數個畫素電路。該些閘極線用以分別傳送一閘極訊號。該些資料線用以分別傳送一資料訊號。第一補償控制線用以傳送一第一補償控制訊號。該些畫素電路分別排列為一陣列形狀，且該些畫素電路中的至少一個包含：發光二極體、驅動電晶體、補償電晶體、電容耦合電路及第一開關電晶體。驅動電晶體具有第一端、第二端與控制端，驅動電晶體的第一端用以接收電源訊號，驅動電晶體的第二端電性連接發光二極體。補償電晶體具有第一端、第二端與控制端，補償電晶體之第二端電性連接於發光二極體，補償電晶體之控制端電性連接至第一補償控制線，用以接收第一補償控制訊號。電容耦合電路具有第一端、第一節點及第二端，電容耦合電路之第一端電性連接參考電壓源，電容耦合電路之第二端電性連接於驅動電晶體之控制端與補償電晶體之第一端。第一開關電晶體具有第一端、第二端與控制端，第一開關電晶體的第一端電性連接至些資料線的其中一條，用以接收資料訊號。第一開關電晶體的第二端電性連接第一節點，第一開關電晶體的控制端電性連接於該些閘極線的其中一

條，用以接收閘極訊號。

【0007】 本揭示內容之畫素電路與顯示裝置，能透過電容耦合電路中多個電容間的電容耦合效應，對驅動電晶體之控制端進行補償，以克服驅動電晶體之臨界電壓變異的問題，且使畫素電路具有精簡的電路架構。

【圖式簡單說明】

【0008】

第1圖為根據本揭示內容之部分實施例所繪示的畫素電路的示意圖。

第2圖為根據本揭示內容之部分實施例所繪示的畫素電路的運作時序圖。

第3A~3D圖為本揭示內容之部分實施例中，畫素電路於不同運作時序中的示意圖。

第4A~4D圖為本揭示內容之部分實施例中，畫素電路於不同運作時序中的示意圖。

第5圖為根據本揭示內容之部分實施例所繪示的畫素電路的運作時序圖。

第6圖為根據本揭示內容之部分實施例所繪示的顯示裝置的示意圖。

【實施方式】

【0009】 以下將以圖式揭露本案之複數個實施方式，為明確說明起見，許多實務上的細節將在以下敘述中一

併說明。然而，應瞭解到，這些實務上的細節不應用以限制本案。也就是說，在本揭示內容部分實施方式中，這些實務上的細節是非必要的。此外，為簡化圖式起見，一些習知慣用的結構與元件在圖式中將以簡單示意的方式繪示之。

【0010】 於本文中，當一元件被稱為「連接」或「耦接」時，可指「電性連接」或「電性耦接」。「連接」或「耦接」亦可用以表示二或多個元件間相互搭配操作或互動。此外，雖然本文中使用了「第一」、「第二」、…等用語描述不同元件，該用語僅是用以區別以相同技術用語描述的元件或操作。除非上下文清楚指明，否則該用語並非特別指稱或暗示次序或順位，亦非用以限定本發明。

【0011】 請參閱第1圖所示，為根據本揭示內容之部分實施例所繪示的畫素電路100的示意圖。畫素電路100包含發光二極體110、驅動電晶體T1、補償電晶體T2、電容耦合電路120及第一開關電晶體T3。驅動電晶體T1具有第一端、第二端與控制端，其中，驅動電晶體T1的第一端用以接收電源訊號V_{dd}，驅動電晶體T1的第二端電性連接至發光二極體110。

【0012】 於本實施例中，補償電晶體T2具有第一端、第二端與控制端，其中，補償電晶體T2的第二端電性連接於發光二極體110，補償電晶體T2之控制端則用以接收第一補償控制訊號S1。另外，電容耦合電路120具有第一端、第一節點A及第二節點B，其中，電容耦合電路120的第一端電性連接參考電壓源V_{ss}，電容耦合電路120的第二節點B

電性連接於驅動電晶體T1之控制端與補償電晶體T2的第一端。

【0013】 於本實施例中，第一開關電晶體T3具有第一端、第二端與控制端，其中，第一開關電晶體T3的第一端用以接收資料訊號Vdata，第一開關電晶體T3的第二端電性連接第一節點A，而第一開關電晶體T3的控制端用以接收閘極訊號S3。於本實施例中，閘極訊號S3用以控制第一開關電晶體T3的導通或關斷。

【0014】 在前述實施例之電路架構中，畫素電路100能於重置期間中，預先提升第一節點A的電壓值，並於補償期間時，利用電容耦合電路120內多個電容的電容耦合效應，在驅動電晶體T1之源極與閘極間產生電位差。如此，即可補償臨界電壓的變異，使顯示面板產生均勻亮度。此外，在部分實施例中，可於重置期間中調整電源訊號，釋放發光二極體110的殘餘電壓，以防止顯示面板產生閃爍現象。

【0015】 在部分實施例中，電容耦合電路120至少包含第一電容C1及第二電容C2，其中，第一電容C1及第二電容C2相互串聯。具體而言，第一電容C1具有第一端與第二端，第一電容C1的第一端電性連接參考電壓源Vss。而第一電容C1的第二端則電性連接第一節點A。第二電容C2具有第一端與第二端，其中，第二電容C2的第一端電性連接該第一節點A，第二電容C2的第二端則電性連接於驅動電晶體T1的控制端。

【0016】 在部分實施例中，畫素電路100更包含第二

開關電晶體T4，且第二開關電晶體T4具有第一端、第二端與控制端，其中第二開關電晶體T4的第一端用以接收資料訊號Vdata，第二開關電晶體T4的第二端則電性連接於補償電晶體T2的第一端（或第二節點B），而第二開關電晶體T4的控制端用以接收第二補償控制訊號S2。於本實施例中，第二補償控制訊號S2用以控制第二開關電晶體T4導通或關斷。

【0017】 第2圖係根據本揭示內容之部分實施例繪製之運作時序圖。畫素電路100的工作週期包括重置期間P1、補償期間P2、資料寫入期間P3及發光期間P4。在部分實施例中，畫素電路100應用於顯示裝置，且顯示裝置之處理器會依序驅動每一排的畫素電路100（請參考第6圖之顯示裝置200示意圖）。第2圖中之S3[n]、S3[n+1]係代表用於驅動相鄰之畫素電路100之閘極訊號S3。

【0018】 請參閱第2及3A圖，在重置期間P1中，將電源訊號Vdd調降至第一低準位電壓Vdd1，使驅動電晶體T1關斷，如此，能確保發光二極體110在重置期間P1時不會有電流流過，且使發光二極體110的正極端的電壓被放電至低電位，避免顯示面板產生閃爍現象。同時，第一補償控制訊號S1為禁能準位，使補償電晶體T2被關斷。閘極訊號S3及第二補償控制訊號S2為致能準位，使第一開關電晶體T3與第二開關電晶體T4分別導通，且第一節點A與第二節點B分別接收資料訊號Vdata，在一實施例中，當重置期間P1，資料訊號Vdata為參考準位電壓Vref，且參考準位電壓Vref

為高電位，以抬升第一節點A及第二節點B之電壓值。舉例而言，在本實施例中，驅動電晶體T1、補償電晶體T2、第一開關電晶體T3及第二開關電晶體T4皆為P型 TFT（薄膜電晶體）。如第2圖所示，對於P型TFT而言，禁能準位為高電位、致能準位為低電位。反之，當驅動電晶體T1、補償電晶體T2、第一開關電晶體T3及第二開關電晶體T4皆為N型TFT時，禁能準位為低電位、致能準位為高電位。

【0019】 請參閱第2及3B圖，在補償期間P2，第一補償控制訊號S1及閘極訊號S3為致能準位，使補償電晶體T2及第一開關電晶體T3被導通。第二補償控制訊號S2為禁能準位，以關斷第二開關電晶體T4。資料訊號Vdata則保持在第二低準位電壓VL、電源訊號仍保持在第一低準位電壓Vdd1。在一實施例中，第二低準位電壓VL小於第一低準位電壓Vdd1。透過將資料訊號Vdata控制在較低的第二低準位電壓VL，將能調降第一節點A的電壓值。同時，透過電容耦合電路120內之電容耦合效應，使第二節點B之電壓值亦下降，如此一來，將可以拉開驅動電晶體T1之源極（第二端）與閘極（控制端）之間的電位差，確保驅動電晶體T1導通。此時，第二節點B的電壓值會被控制在 $Vdd1 - |V_{th}|$ （驅動電晶體T1之臨界電壓值），而第一節點A的電壓會被控制在第二低準位電壓VL。

【0020】 請參閱第2及3C圖，在資料寫入期間P3，第一補償控制訊號S1及第二補償控制訊號S2為禁能準位，以關斷補償電晶體T2及第二開關電晶體T4。閘極訊號S3為

致能準位，以維持第一開關電晶體T3的導通，在部分實施例中，閘極訊號S3之致能準位為低準位電壓。如第2圖所示，顯示裝置依序對相鄰之畫素電路100進行資料寫入之動作，因此，不同畫素電路100之閘極訊號S3（即，S3[n]、S3[n+1]）會依序被控制於低準位電壓。

【0021】 承上，在資料寫入期間P3，第一節點A透過第一開關電晶體T3的導通而接收資料訊號Vdata。資料訊號Vdata對應於一寫入電壓Vin，用以決定發光二極體110之發光強度。由於在資料寫入期間P3中，第一節點A的電壓值從原先的VL變化為Vin，因此，根據電容耦合效應，第二節點B上的電壓值會產生與第一節點A相同的變化幅度。第一節點的電壓變化幅度為「Vin-VL」，故，第二節點B的電壓值會變成「Vdd1-|Vth|+(Vin-VL)」。

【0022】 請參閱第2及3D圖，在發光期間P4，第一補償控制訊號S1、閘極訊號S3及第二補償控制訊號S2皆保持在禁能準位，使補償電晶體T2、第一開關電晶體T3及第二開關電晶體T4皆被關斷，且電源訊號為第一高準位電壓Vddh。此時，驅動電晶體T1能將電源訊號Vdd輸出至發光二極體110，使發光二極體110上流經一驅動電流Id，以產生預期之亮度。根據電晶體的電流公式「 $I = K \times (V_{sg} - |V_{th}|)^2$ 」，其中，K代表驅動電晶體T1的載子遷移率(carrier mobility)、閘極氧化層的單位電容大小以及閘極寬長比三者的乘積。Vsg為驅動電晶體T1之第二端（源極）及控制端之間的電壓差。|Vth|則為驅動電晶體T1的臨界電

壓值。由於在驅動電晶體T1導通時，其第一端及第二端可視為短路，因此，驅動電晶體T1之第二端（源極）可視為第一高準位電壓V_{ddh}。前述公式能被整理為「 $I = K \times (V_{ddh} - V_{ddl} + |V_{th}| - (V_{in} - V_L) - |V_{th}|)^2$ 」，由於電流與臨界電壓值無關，因此能確保發光二極體110的發光強度不會因為臨界電壓值的變異而受到影響。

【0023】 請參閱第4A~4D及5圖，係根據本揭示內容之其他實施例繪製之示意圖。請參閱第4A及5圖所示，在部分實施例中，驅動電晶體T1的第一端接收固定之電源訊號V_{dd}，且第二開關電晶體T4之第一端用以接收電源訊號V_{dd}。驅動電晶體T1的第二端透過發光二極體110電性連接於參考電壓源V_{ss}。

【0024】 在本實施例中，在重置期間P1時，參考電壓源V_{ss}為第二高準位電壓V_{ssh}，以使驅動電晶體T1及發光二極體110關斷，避免發光二極體110產生閃爍現象。第一補償控制訊號S1及閘極訊號S3為禁能準位，第二補償控制訊號S2為致能準位，該資料訊號V_{data}則為參考準位電壓V_{ref}。此時，第二節點B之電壓會被控制在電源訊號V_{dd}。

【0025】 請參閱第4B及5圖，在補償期間P2中，第一補償控制訊號S1及閘極訊號S3為致能準位，以導通補償電晶體T2及第一開關電晶體T3。第二補償控制訊號S2為禁能準位，以關斷第二開關電晶體T4。資料訊號V_{data}則為低電位之參考準位電壓V_{ref}。在一實施例中，第二高準位電壓V_{ssh}大於參考準位電壓V_{ref}。此時，第一節點A透過第一開

關電晶體 T3 接收資料訊號 V_{data} ，使電壓值被控制於低電位。透過電容耦合電路 120 之電容耦合效應，第二節點 B 之電壓將相應下降，使驅動電晶體 T1 能被導通。同時，由於驅動電晶體 T1 的閘極（控制端）與源極（第二端）透過補償電晶體 T2 導通，因此，第二節點 B 的電壓值會被控制在 $V_{dd}-|V_{th}|$ （驅動電晶體 T1 之臨界電壓值），而第一節點 A 的電壓會被控制在參考準位電壓 V_{ref} 。

【0026】 請參閱第 4C 及 5 圖所示，在資料寫入期間 P3 中，第一補償控制訊號 S1 及第二補償控制訊號 S2 為禁能準位，以關斷補償電晶體 T2 及第二開關電晶體 T4。該閘極訊號 S3 為該致能準位。此時，第一節點 A 透過第一開關電晶體 T3 接收資料訊號 V_{data} ，資料訊號 V_{data} 對應於寫入電壓 V_{in} ，用以決定發光二極體 110 後續之發光強度。由於在資料寫入期間 P3 中，第一節點 A 的電壓值從原先的 V_{ref} 變化為 V_{in} ，因此，根據電容耦合效應，第二節點 B 上的電壓值會產生與第一節點 A 相同的變化幅度。第一節點的電壓變化幅度為「 $V_{in}-V_{ref}$ 」，故，第二節點 B 的電壓值會變成「 $V_{dd}-|V_{th}|+(V_{in}-V_{ref})$ 」。

【0027】 請參閱第 4D 及 5 圖所示，在發光期間 P4 中，第一補償控制訊號 S1、閘極訊號 S3 及第二補償控制訊號 S2 為禁能準位，以關斷補償電晶體 T2、第一開關電晶體 T3 及第二開關電晶體 T4。參考電壓源 V_{ss} 變化為第三低準位電壓 V_{ss1} 。根據電容耦合效應，第一節點 A 及第二節點 B 會產生電壓值變化，且變化幅度與參考電壓源 V_{ss} 的電壓值變

化幅度「 $V_{ssh}-V_{ssl}$ 」將會一致，亦即，第二節點B的電壓值會變成「 $V_{dd}-|V_{th}|+(V_{in}-V_{ref})-(V_{ssh}-V_{ssl})$ 」。此時，驅動電晶體T1能將電源訊號Vdd輸出至發光二極體110，使發光二極體110發光。

【0028】 由於在驅動電晶體T1導通時，其第一端及第二端可視為短路，因此，驅動電晶體T1之第二端（源極）可視為第一高準位電壓Vddh。電晶體的電流公式能被整理為「 $I=K\times(V_{dd}-(V_{dd}-|V_{th}|+(V_{in}-V_{ref})-(V_{ssh}-V_{ssl})-|V_{th}|)^2$ 」，由於電流與臨界電壓值無關，因此能確保發光二極體110的發光強度不會因為臨界電壓值的變異而受到影響。

【0029】 在第3A~3D圖與第4A~4D圖中，分別說明了本揭示內容之二部分實施例，兩者的差異在於，第4A~4D圖之實施例係透過調整參考電壓源Vss之電壓值，控制驅動電晶體T1開啟或關斷，此外，第4A~4D圖之實施例中，第二開關電晶體T4電性連接於電源訊號Vdd，在重置期間P1的控制方式與第3A~3D圖之實施例不同。

【0030】 請參閱第6圖，係根據本揭示內容之部分實施例繪示之顯示裝置200。顯示裝置200中至少包含源極驅動器210、閘極驅動器220及補償電路230。顯示裝置200用以驅動顯示面板，以產生預期之影像。在部分實施例中，顯示面板包括顯示區201及非顯示區202，多個畫素電路100位於顯示區201內，多個補償電路230則位於非顯示區202內。

【0031】 在部分實施例中，顯示裝置200更包含多條

閘極線GL、多條資料線DL、至少一條第一補償控制線203及至少一條第二補償控制線204。該些閘極線GL電性連接閘極驅動器220及畫素電路100（如：電性連接至第一開關電晶體T3的控制端），用以分別傳送閘極訊號S3。該些資料線DL電性連接源極驅動器210及畫素電路100（如：電性連接至第一開關電晶體T3及第二開關電晶體T4），用以傳送資料訊號Vdata。第一補償控制線203電性連接補償電路230及畫素電路（如：電性連接至補償電晶體T2的控制端），用以傳送第一補償控制訊號S1。第二補償控制線204電性連接補償電路230及畫素電路（如：電性連接至第二開關電晶體T4的控制端），用以傳送第二補償控制訊號S2。

【0032】 在部分實施例中，多個畫素電路分別排列為陣列形狀。請參閱第1及6圖所示，畫素電路100包含發光二極體110、驅動電晶體T1、補償電晶體T2、電容耦合電路120、第一開關電晶體T3及第二開關電晶體T4。驅動電晶體T1具有第一端、第二端與控制端。驅動電晶體T1的第一端用以接收電源訊號Vdd該驅動電晶體T1的第二端電性連接於發光二極體110。驅動電晶體T1的控制端用以接收驅動電壓，以根據驅動電壓輸出電源訊號Vdd至發光二極體110。在部分實施例中，驅動電壓為前述資料寫入期間P3中的資料訊號Vdata（即，輸入電壓Vin）。在重置期間P1中，驅動電晶體T1被關斷，使得發光二極體110上的電壓放電。

【0033】 補償電晶體T2用以根據第一補償訊號S1選擇性地導通驅動電晶體T1之控制端及該第二端。在部分實施

例中，補償電晶體T2之控制端電性連接至第一補償控制線，以接收第一補償控制訊號S1。電容耦合電路120具有第一節點A與第二節點B。在補償期間P2中，電容耦合電路120之第一節點A用以接收資料訊號Vdata（即，前述之輸入電壓Vin），第二節點B電性連接至驅動電晶體T1之該控制端。電容耦合電路120中包含多個電容，以在第一節點A接收資料訊號Vdata時，驅動電晶體T1之控制端之驅動電壓的電壓準位相應於資料訊號Vdata的電壓準位變化而變化。

【0034】 在部分實施例中，第一開關電晶體T3的第一端電性連接至該些資料線DL的其中一條，用以接收資料訊號Vdata。第一開關電晶體T3的控制端電性連接於該些閘極線GL的其中一條，用以接收閘極訊號S3。第二開關電晶體T4的控制端電性連接於第二補償控制線，用以接收第二補償控制訊號S2。

【0035】 在本揭示內容之部分實施例中，顯示裝置200係控制所有畫素電路同時進行重置以及同時進行補償。接著，閘極驅動器220再控制每一列的畫素電路依序進行資料寫入。由於本領域人士能理解顯示面板驅動畫素電路的操作順序，故在此不另贅述。

【0036】 雖然本揭示內容已以實施方式揭露如上，然其並非用以限定本發明內容，任何熟習此技藝者，在不脫離本發明內容之精神和範圍內，當可作各種更動與潤飾，因此本發明內容之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0037】

- 100 畫素電路
- 110 發光二極體
- 120 電容耦合電路
- 200 顯示裝置
- 201 顯示區
- 202 非顯示區
- 210 源極驅動器
- 220 閘極驅動器
- 230 補償電路
- T1 驅動電晶體
- T2 補償電晶體
- T3 第一開關電晶體
- T4 第二開關電晶體
- C1 第一電容
- C2 第二電容
- I_d 驅動電流
- S1 第一補償控制訊號
- S2 第二補償控制訊號
- S3 閘極訊號
- V_{dd} 電源訊號
- V_{ddl} 第一低準位電壓

VL 第二低準位電壓

Vss1 第三低準位電壓

Vddh 第一高準位電壓

Vssh 第二高準位電壓

Vref 參考準位電壓

Vdata 資料訊號

Vin 輸入電壓

Vss 參考電壓源

A 第一節點

B 第二節點

P1 重置期間

P2 補償期間

P3 資料寫入期間

P4 發光期間

【發明申請專利範圍】

【第1項】一種畫素電路，包含：

一發光二極體；

一驅動電晶體，具有一第一端、一第二端與一控制端，其中該驅動電晶體的該第一端用以接收一電源訊號，該驅動電晶體的該第二端電性連接該發光二極體；

一補償電晶體，具有一第一端、一第二端與一控制端，其中該補償電晶體的該第二端電性連接於該發光二極體，該補償電晶體的該控制端用以接收一第一補償控制訊號；

一電容耦合電路，具有一第一端、一第一節點及一第二節點，其中該電容耦合電路的該第一端電性連接一參考電壓源，該電容耦合電路的該第二節點電性連接於該驅動電晶體的該控制端與該補償電晶體的該第一端；

一第一開關電晶體，具有一第一端、一第二端與一控制端，該第一開關電晶體的該第一端用以接收一資料訊號，該第一開關電晶體的該第二端電性連接該第一節點，該第一開關電晶體的該控制端用以接收一閘極訊號；以及

一第二開關電晶體，具有一第一端、一第二端與一控制端，該第二開關電晶體的該第一端用以接收該資料訊號，該第二開關電晶體的該第二端則電性連接於該補償電晶體的該第一端，且該第二開關電晶體的該控制端用以接收一第二補償控制訊號；

其中該電容耦合電路更包含：

一第一電容，具有一第一端與一第二端，該第一電容的

該第一端電性連接該參考電壓源，而該第一電容的該第二端則電性連接該第一節點；以及

一第二電容，具有一第一端與一第二端，該第二電容的該第一端電性連接該第一節點，該第二電容的該第二端則電性連接於該驅動電晶體的該控制端。

【第2項】如請求項1所述之畫素電路，其中於一重置期間，該電源訊號為一第一低準位電壓，該第一補償控制訊號為一禁能準位，該閘極訊號及該第二補償控制訊號為一致能準位，該資料訊號則為一參考準位電壓。

【第3項】如請求項2所述之畫素電路，其中於一補償期間，該第一補償控制訊號及該閘極訊號為該致能準位，該第二補償控制訊號為該禁能準位，該資料訊號則為一第二低準位電壓。

【第4項】如請求項3所述之畫素電路，其中該第二低準位電壓小於該第一低準位電壓。

【第5項】如請求項4所述之畫素電路，其中於一資料寫入期間，該第一補償控制訊號及該第二補償控制訊號為該禁能準位，該閘極訊號為該致能準位。

【第6項】如請求項5所述之畫素電路，其中於一發光期

間，該第一補償控制訊號、該閘極訊號及該第二補償控制訊號為該禁能準位。

【第7項】如請求項1所述之畫素電路，其中該驅動電晶體的該第二端電性連接於該參考電壓源，於一重置期間，該參考電壓源為一第一高準位電壓，該第一補償控制訊號及該閘極訊號為一禁能準位，該第二補償控制訊號為一致能準位，該資料訊號則為一參考準位電壓。

【第8項】如請求項7所述之畫素電路，其中於一補償期間，該第一補償控制訊號及該閘極訊號為一致能準位，該第二補償控制訊號為該禁能準位。

【第9項】如請求項8所述之畫素電路，其中該第一高準位電壓大於該參考準位電壓。

【第10項】如請求項9所述之畫素電路，其中於一資料寫入期間，該第一補償控制訊號及該第二補償控制訊號為該禁能準位，該閘極訊號為該致能準位。

【第11項】如請求項10所述之畫素電路，其中於一發光期間，該第一補償控制訊號、該閘極訊號及該第二補償控制訊號為該禁能準位。

【第12項】一種畫素電路，包含：

一發光二極體；

一驅動電晶體，具有一第一端、一第二端與一控制端，其中該驅動電晶體的該第一端用以接收一電源訊號，該驅動電晶體的該第二端電性連接於該發光二極體，該驅動電晶體的該控制端用以接收一驅動電壓，以根據該驅動電壓輸出該電源訊號至該發光二極體，其中於一重置期間，該驅動電晶體被關斷，使得該發光二極體上的電壓放電；

一補償電晶體，用以根據一第一補償訊號選擇性地導通該驅動電晶體的該控制端及該第二端；以及

一電容耦合電路，具有一第一節點與一第二節點，且該電容耦合電路的該第一節點用以於一補償期間接收一資料訊號，該電容耦合電路的該第二節點電性連接至該驅動電晶體的該控制端；

其中當該電容耦合電路的該第一節點接收該資料訊號時，該驅動電壓的電壓準位相應於該資料訊號的電壓準位變化而變化。

【第13項】如請求項12所述之畫素電路，其中該電容耦合電路包含：

一第一電容，具有一第一端與一第二端，其中該第一電容的該第一端電性連接一參考電壓源，該第一電容的該第二端電性連接該第一節點；及

一第二電容，具有一第一端與一第二端，其中該第二電

容的該第一端電性連接該第一節點，該第二電容的該第二端電性連接該驅動電晶體的該控制端。

【第14項】如請求項12所述之畫素電路，更包含：

一第一開關電晶體，具有一第一端、一第二端與一控制端，其中該第一開關電晶體的該第一端用以於該補償期間接收該資料訊號，該第一開關電晶體的該第二端電性連接至該第一節點，其中，當該第一開關電晶體導通時，該第一節點透過該第一開關電晶體接收該資料訊號。

【第15項】如請求項14所述之畫素電路，更包含：

一第二開關電晶體，具有一第一端、一第二端與一控制端，且該第二開關電晶體的該第一端用以接收該資料訊號，該第二開關電晶體的該第二端電性連接該第二節點。

【第16項】如請求項15所述之畫素電路，其中於該重置期間，該第一開關電晶體與該第二開關電晶體分別導通，使得該第一節點與該第二節點分別接收一參考準位訊號。

【第17項】如請求項14所述之畫素電路，其中於一補償期間，該第一開關電晶體及該補償電晶體導通。

【第18項】如請求項14所述之畫素電路，更包含：

一第二開關電晶體，具有一第一端、一第二端與一控制

端，其中該第二開關電晶體之該第一端用以接收該電源訊號，該第二開關電晶體之該第二端電性連接該第二節點。

【第19項】一種顯示裝置，包含：

複數條閘極線，用以分別傳送一閘極訊號；

複數條資料線，用以分別傳送一資料訊號；

一第一補償控制線，用以傳送一第一補償控制訊號；

一第二補償控制線，用以傳送一第二補償控制訊號；以

及

複數個畫素電路，分別排列為一陣列形狀，該些畫素電路中的至少一個包含：

一發光二極體；

一驅動電晶體，具有一第一端、一第二端與一控制端，其中該驅動電晶體的該第一端用以接收一電源訊號，該驅動電晶體的該第二端電性連接該發光二極體；

一補償電晶體，具有一第一端、一第二端與一控制端，其中該補償電晶體的該第二端電性連接於該發光二極體，該補償電晶體的該控制端電性連接至該第一補償控制線，用以接收該第一補償控制訊號；

一電容耦合電路，具有一第一端、一第一節點及一第二端，其中該電容耦合電路的該第一端電性連接一參考電壓源，該電容耦合電路的該第二端電性連接於該驅動電晶體的該控制端與該補償電晶體的該第一端；

一第一開關電晶體，具有一第一端、一第二端與一控制

端，該第一開關電晶體的該第一端電性連接至該些資料線的其中一條，用以接收該資料訊號，該第一開關電晶體的該第二端電性連接該第一節點，該第一開關電晶體的該控制端電性連接於該些閘極線的其中一條，用以接收該閘極訊號；以及

一第二開關電晶體，具有一第一端、一第二端與一控制端，該第二開關電晶體的該第一端用以接收該資料訊號，該第二開關電晶體的該第二端則電性連接於該補償電晶體的該第一端，且該第二開關電晶體的該控制端電性連接於該第二補償控制線，用以接收該第二補償控制訊號。

【第20項】如請求項19的顯示裝置，其中於一重置期間，該第一補償控制訊號為一禁能準位，該第二補償控制訊號為一致能準位。

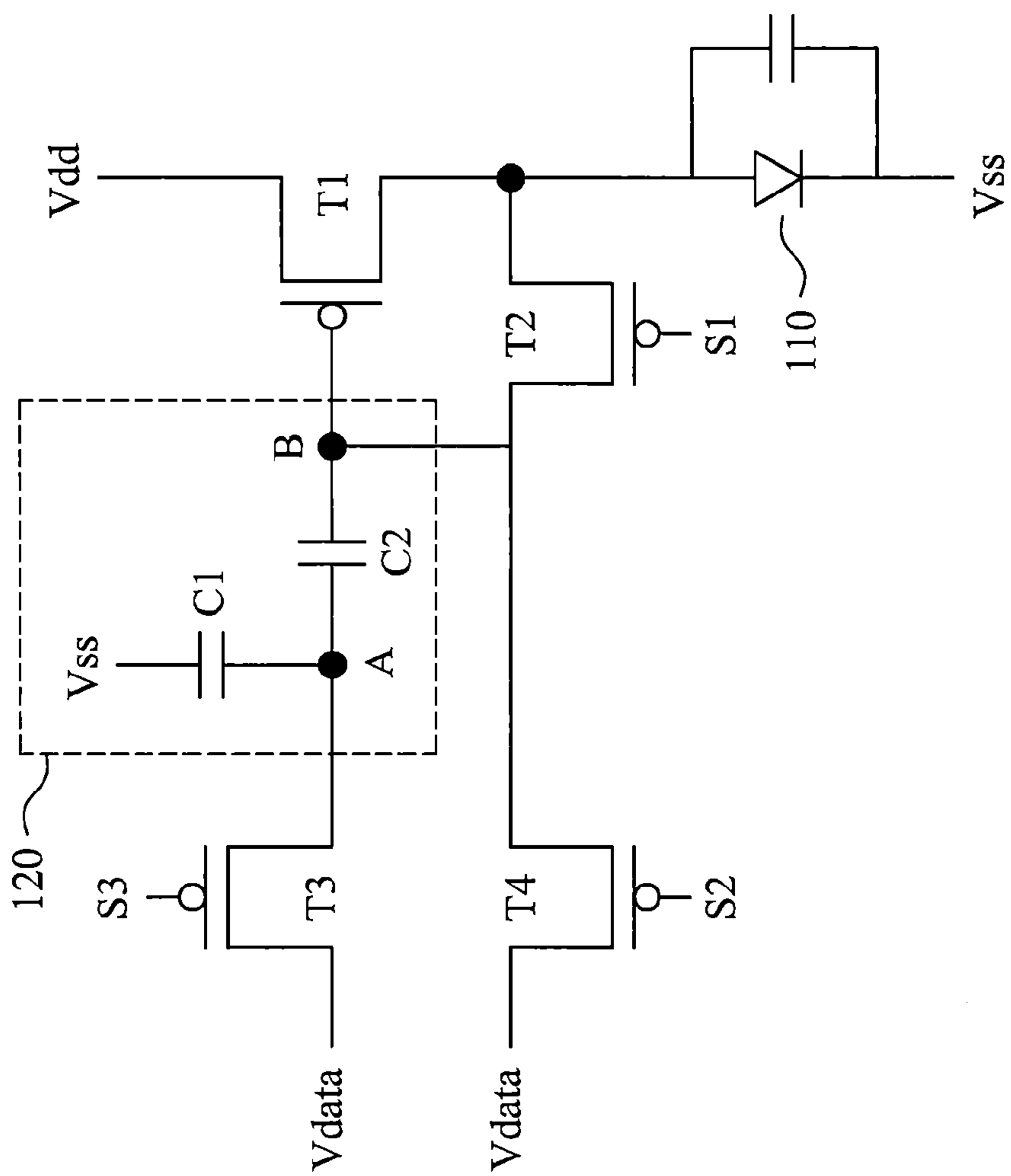
【第21項】如請求項20的顯示裝置，其中於一補償期間，該第一補償控制訊號為該致能準位，該第二補償控制訊號為該禁能準位。

【第22項】如請求項21的顯示裝置，其中於一資料寫入期間，該第一補償控制訊號及該第二補償控制訊號為該禁能準位。

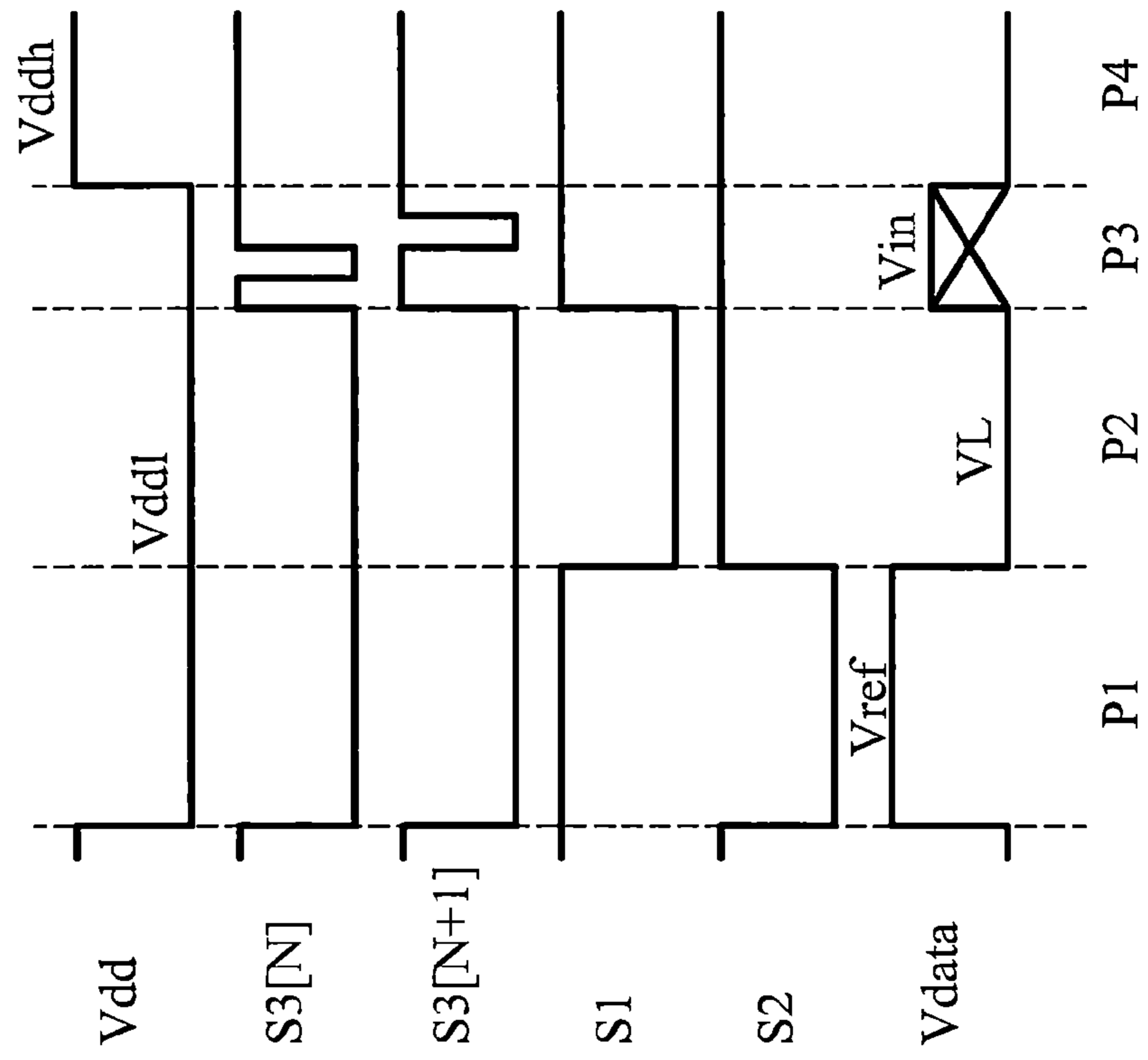
【第23項】如請求項22的顯示裝置，其中於一發光期間，

該第一補償控制訊號及該第二補償控制訊號為該禁能準位。

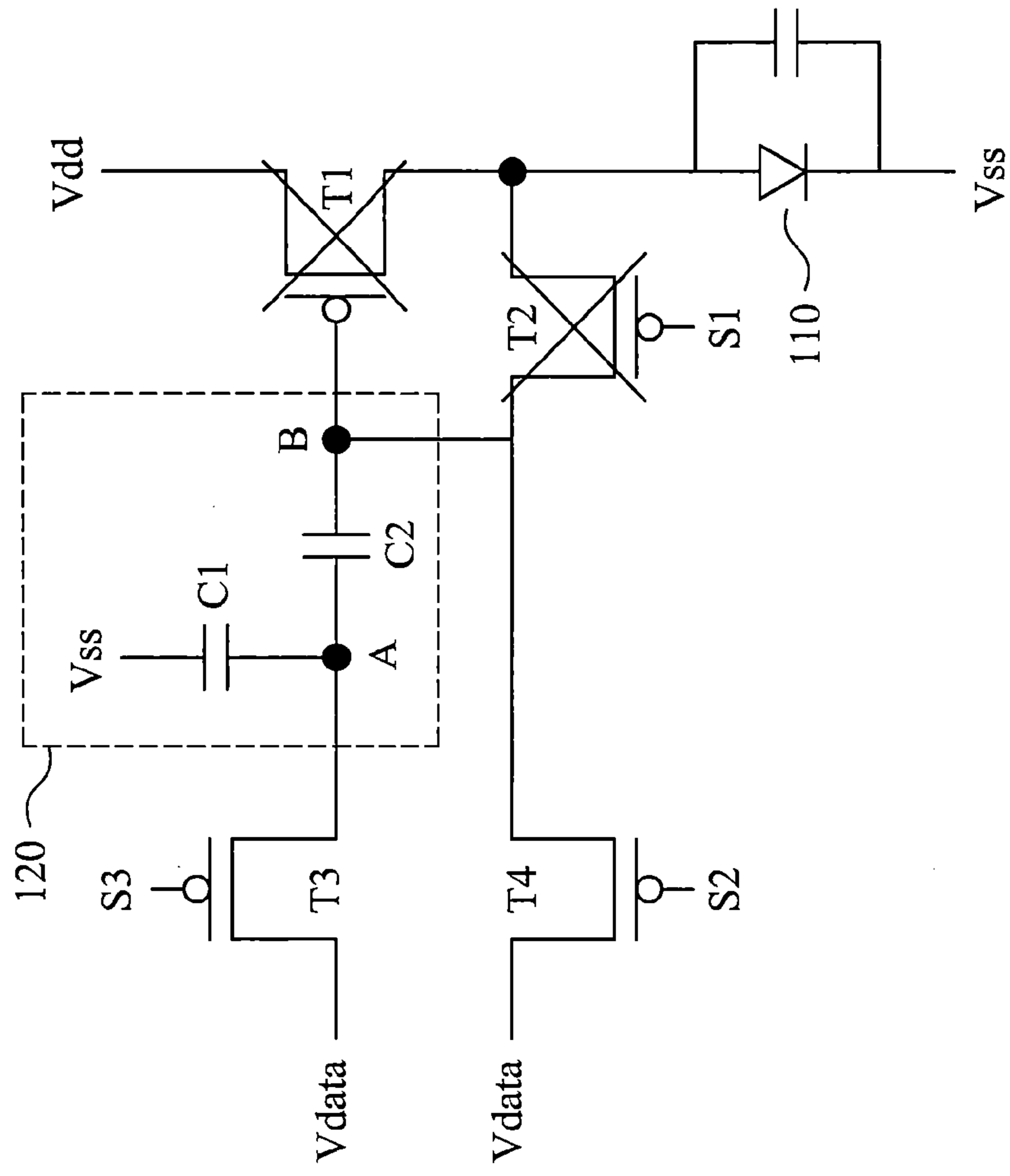
圖式



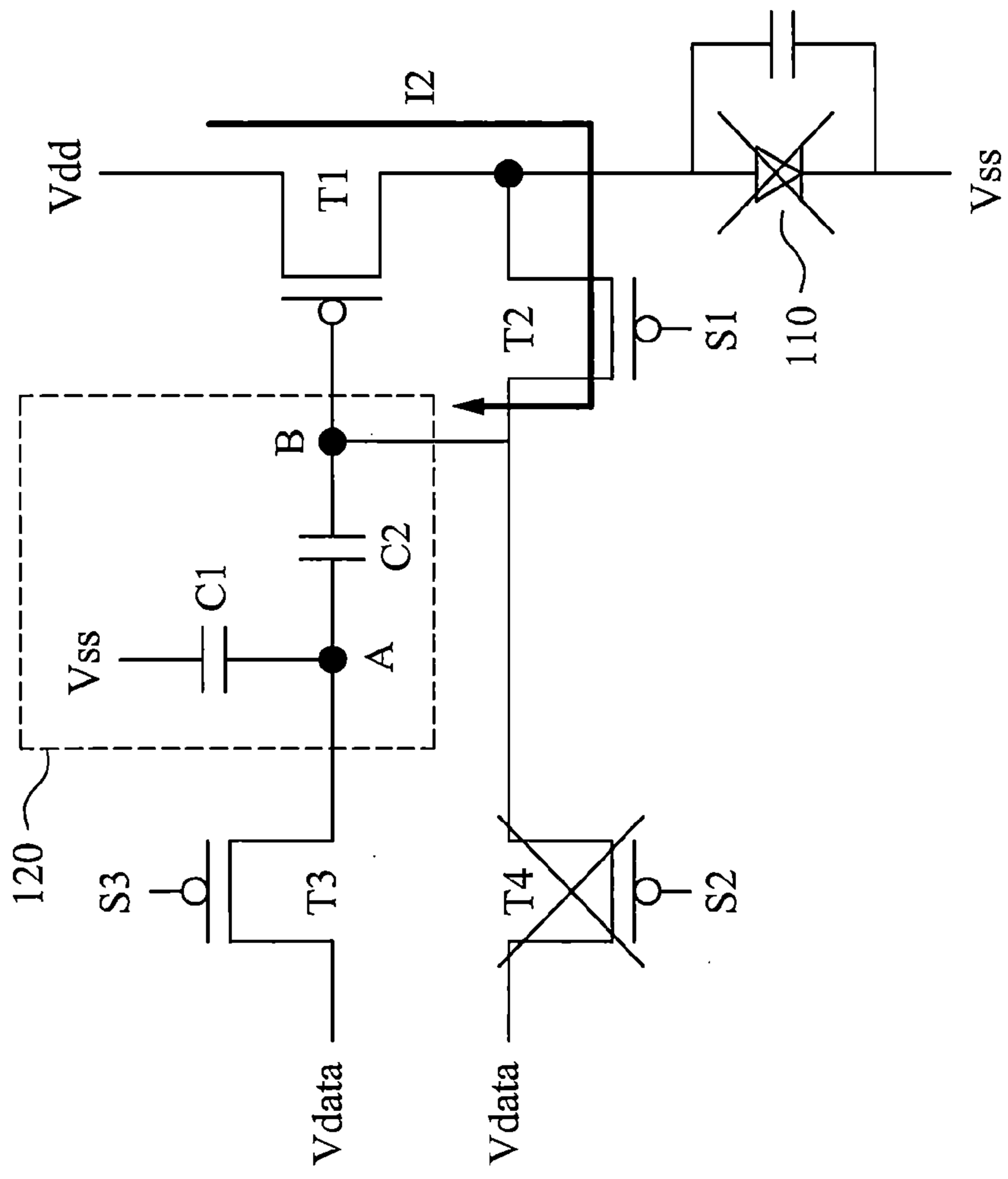
第1圖



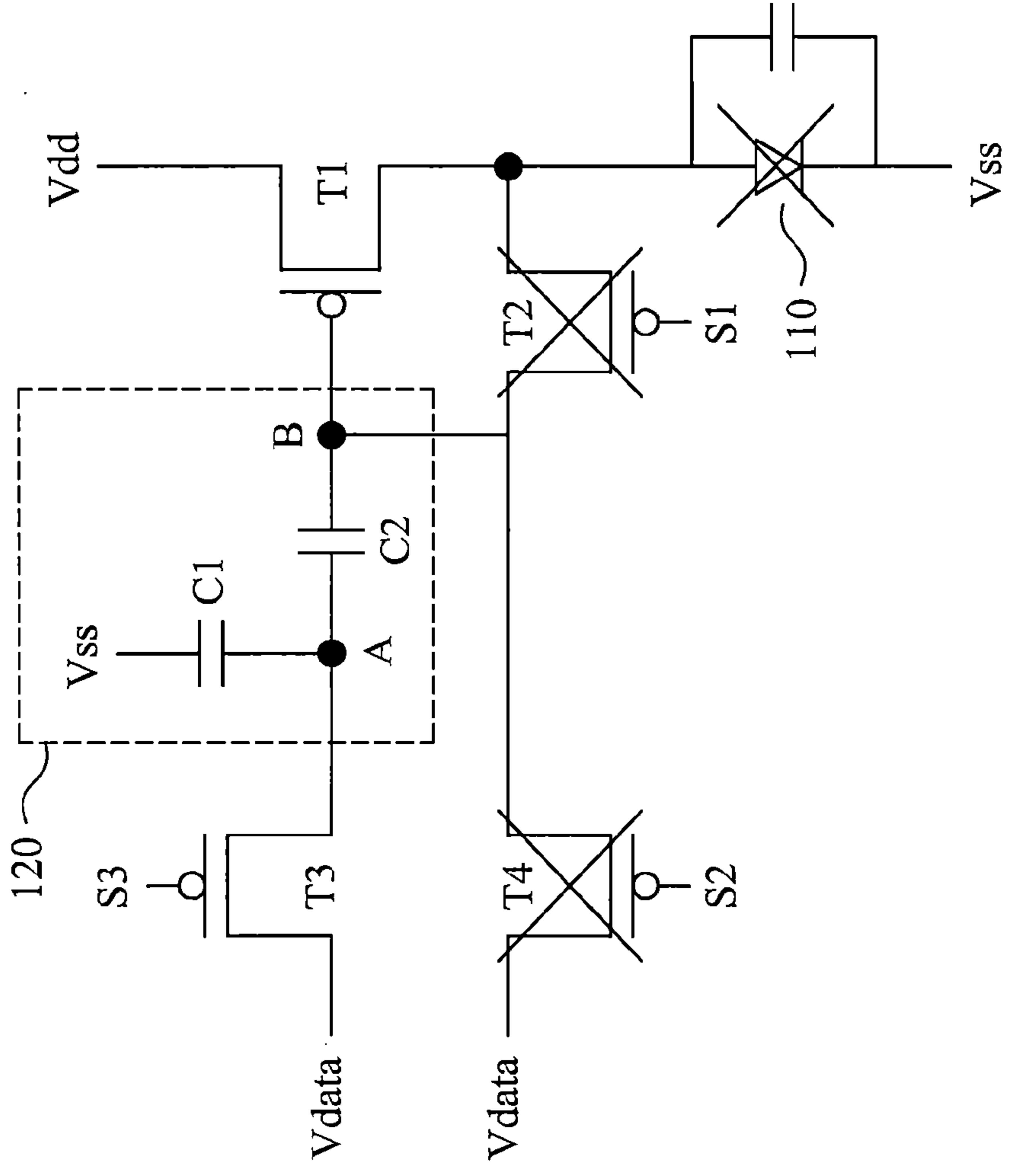
第 2 圖



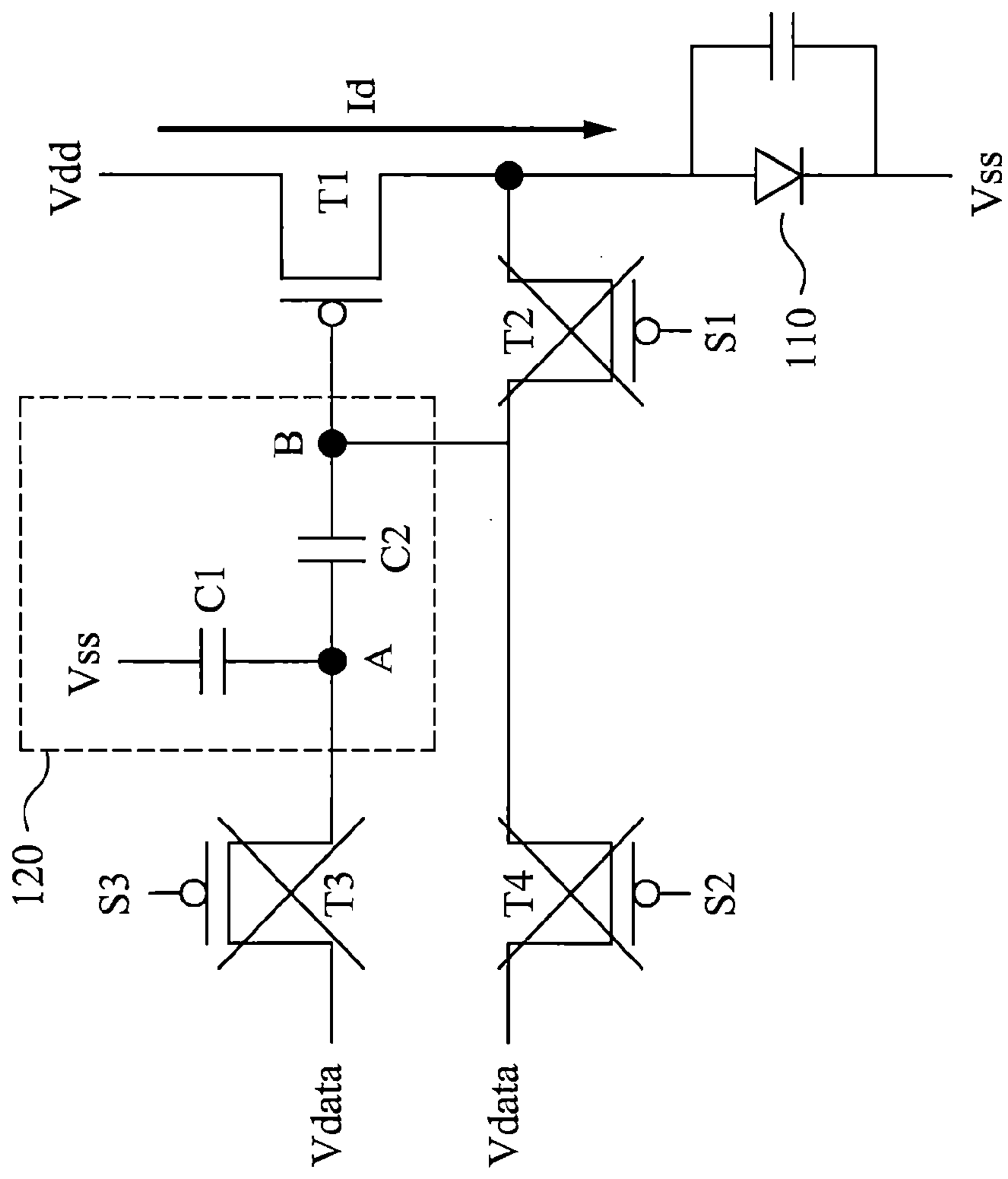
第3A圖



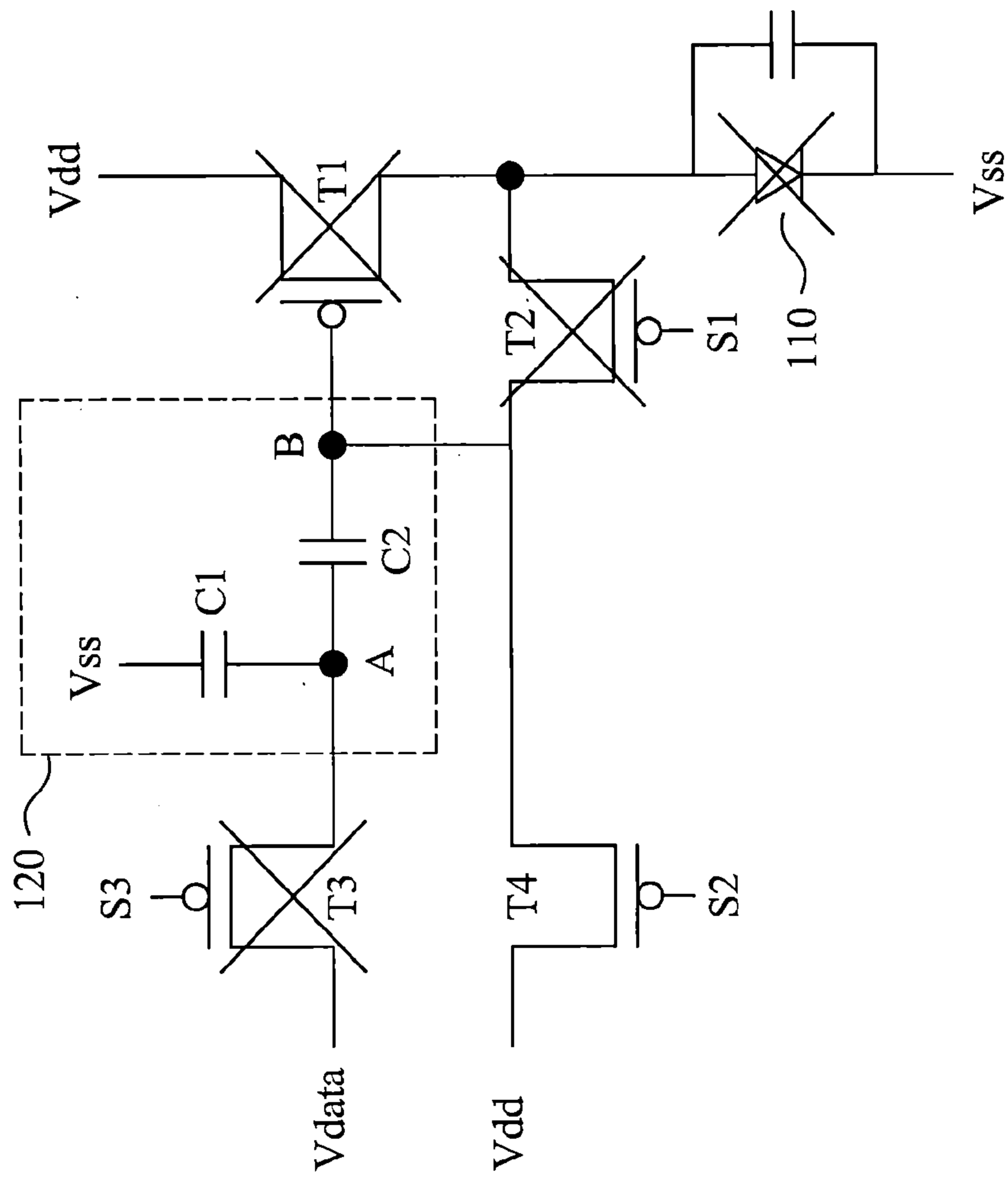
第 3B 圖



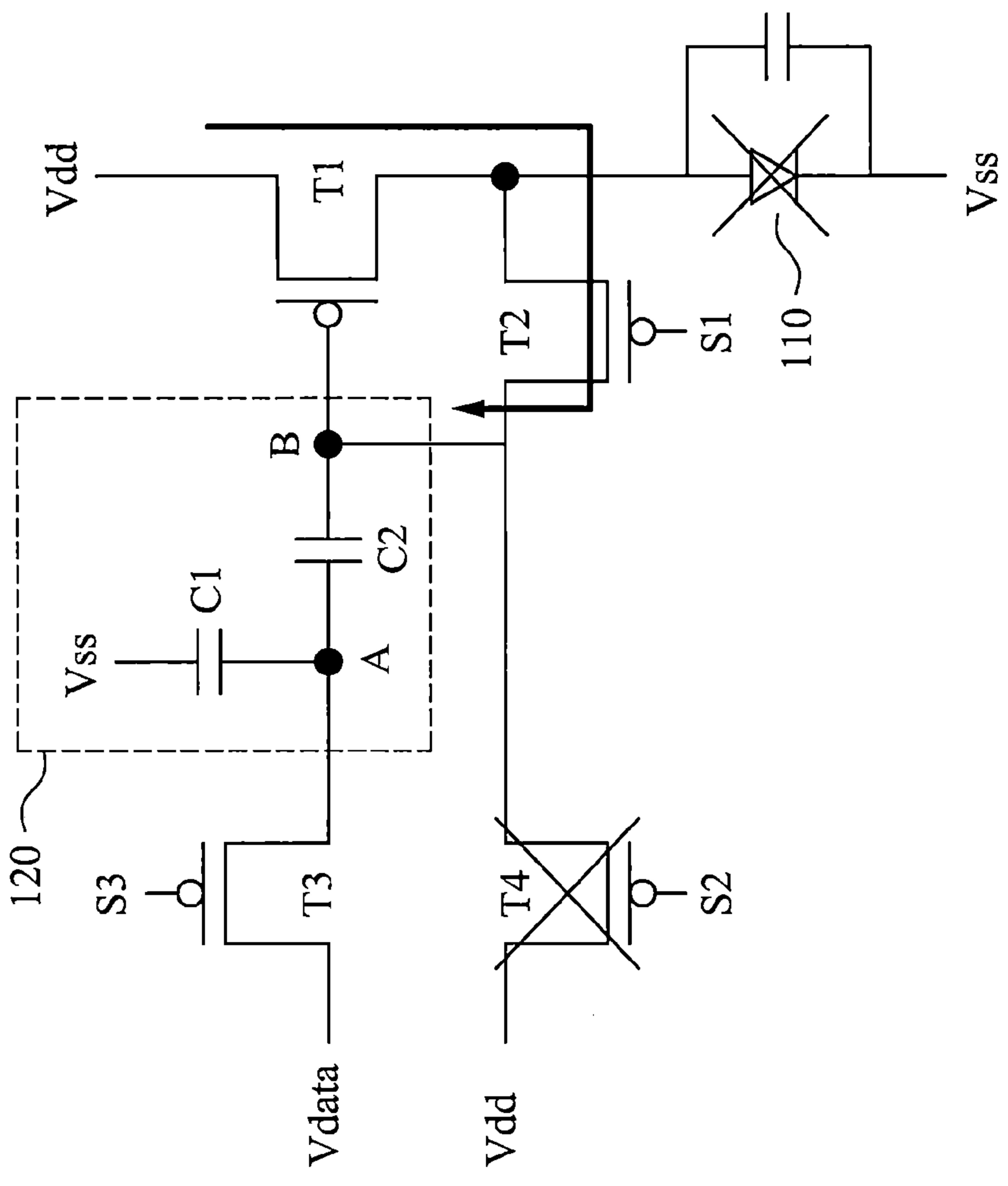
第3C圖



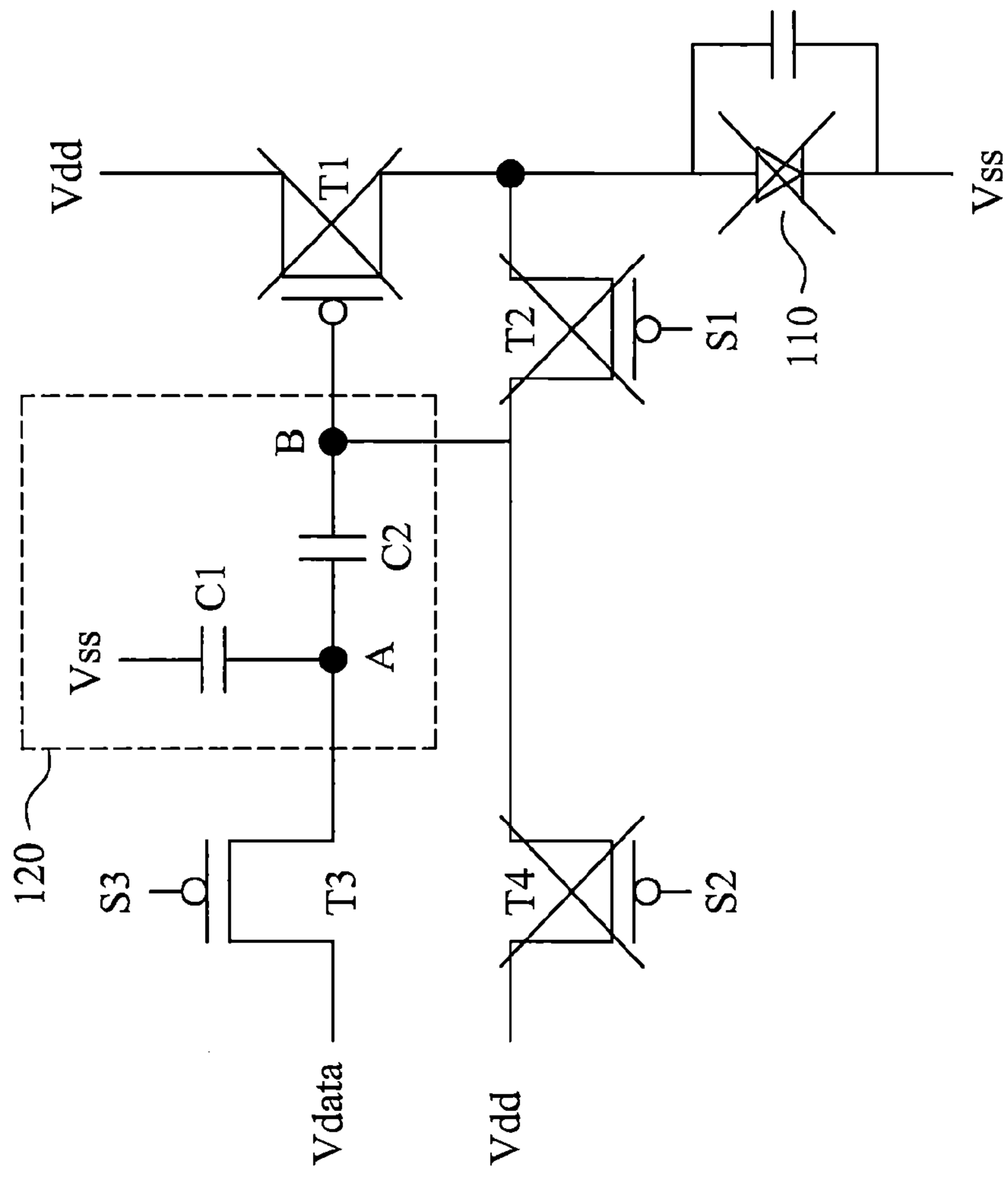
第3D圖



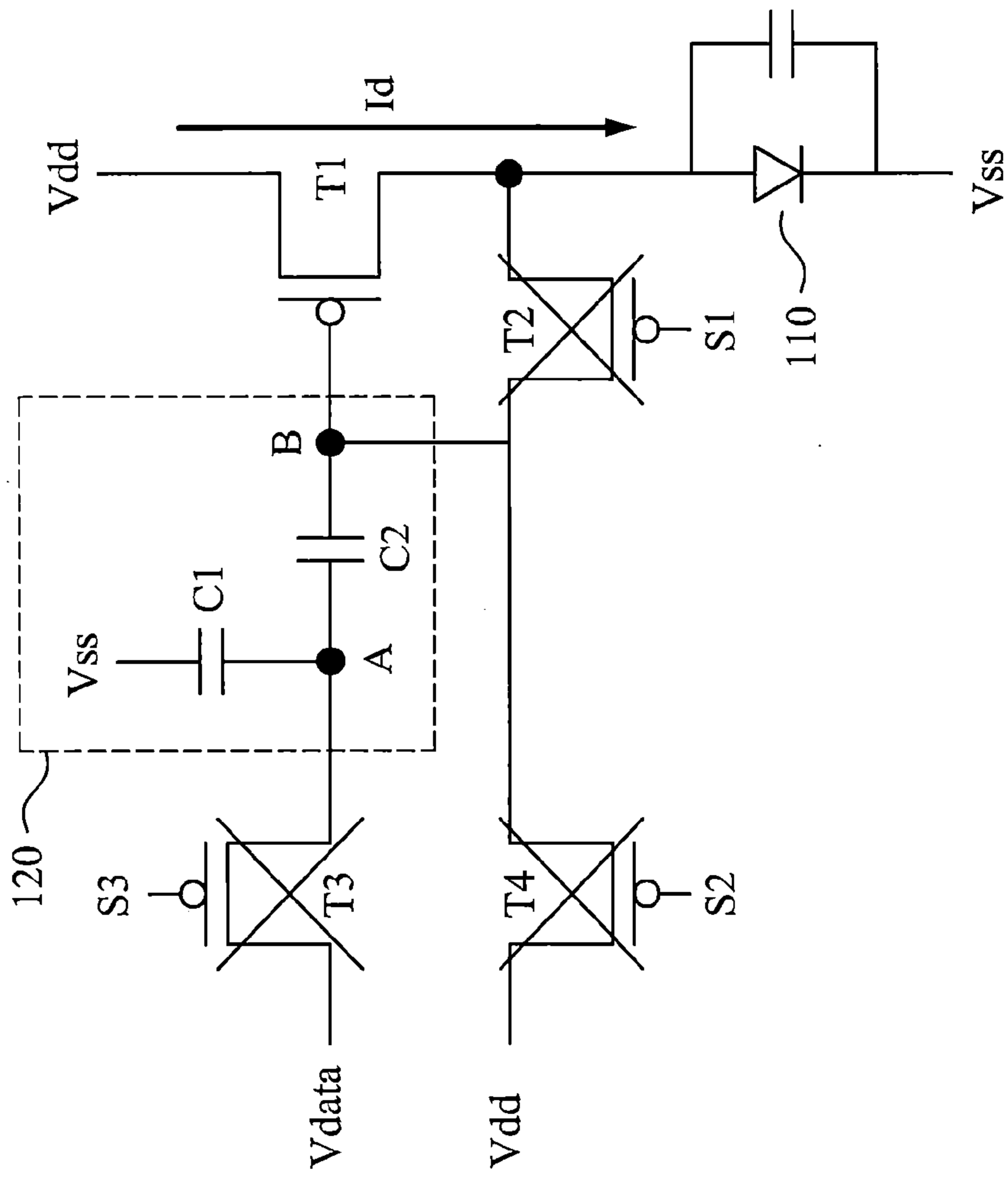
第4A圖



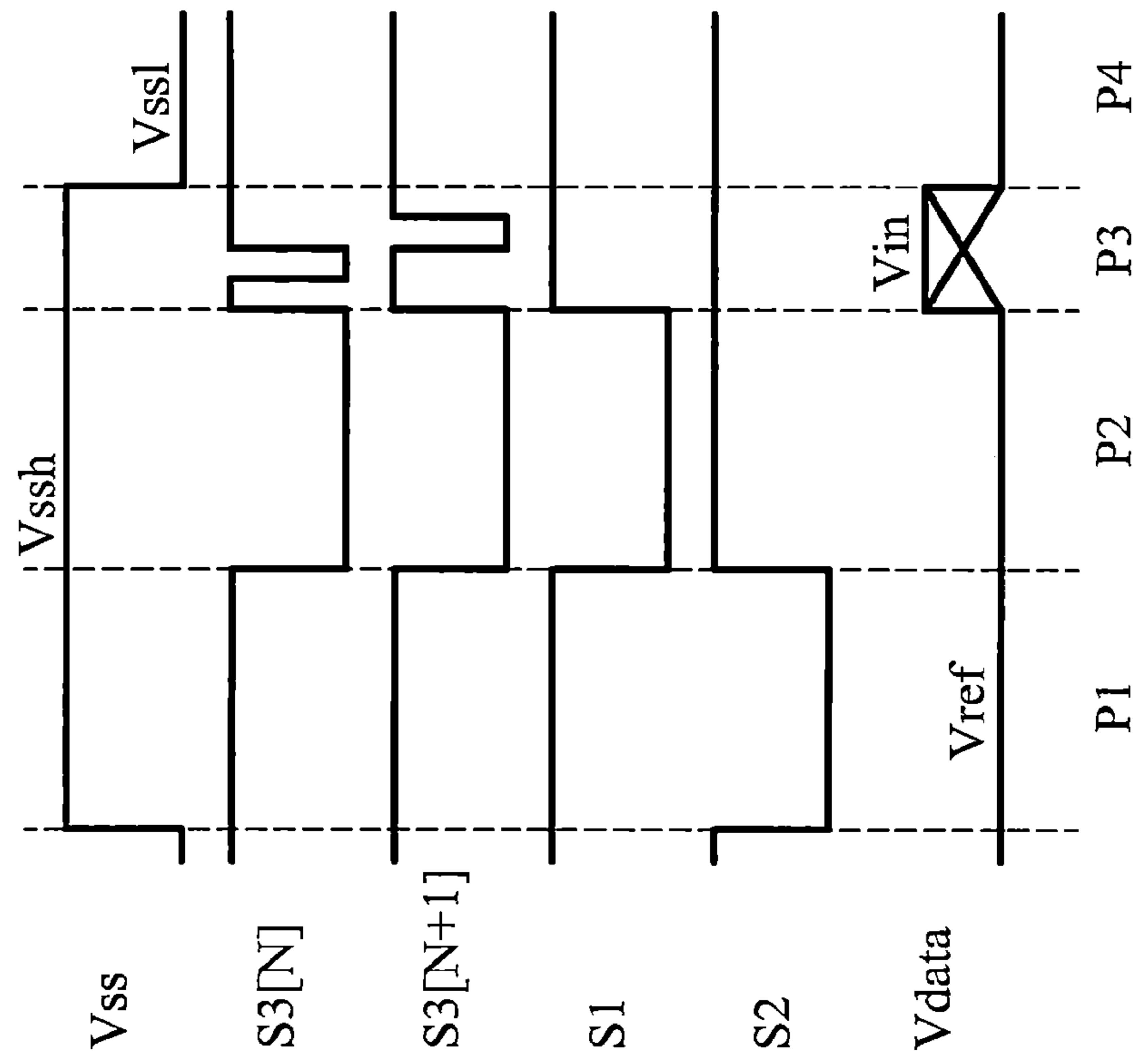
第4B圖



第4C圖

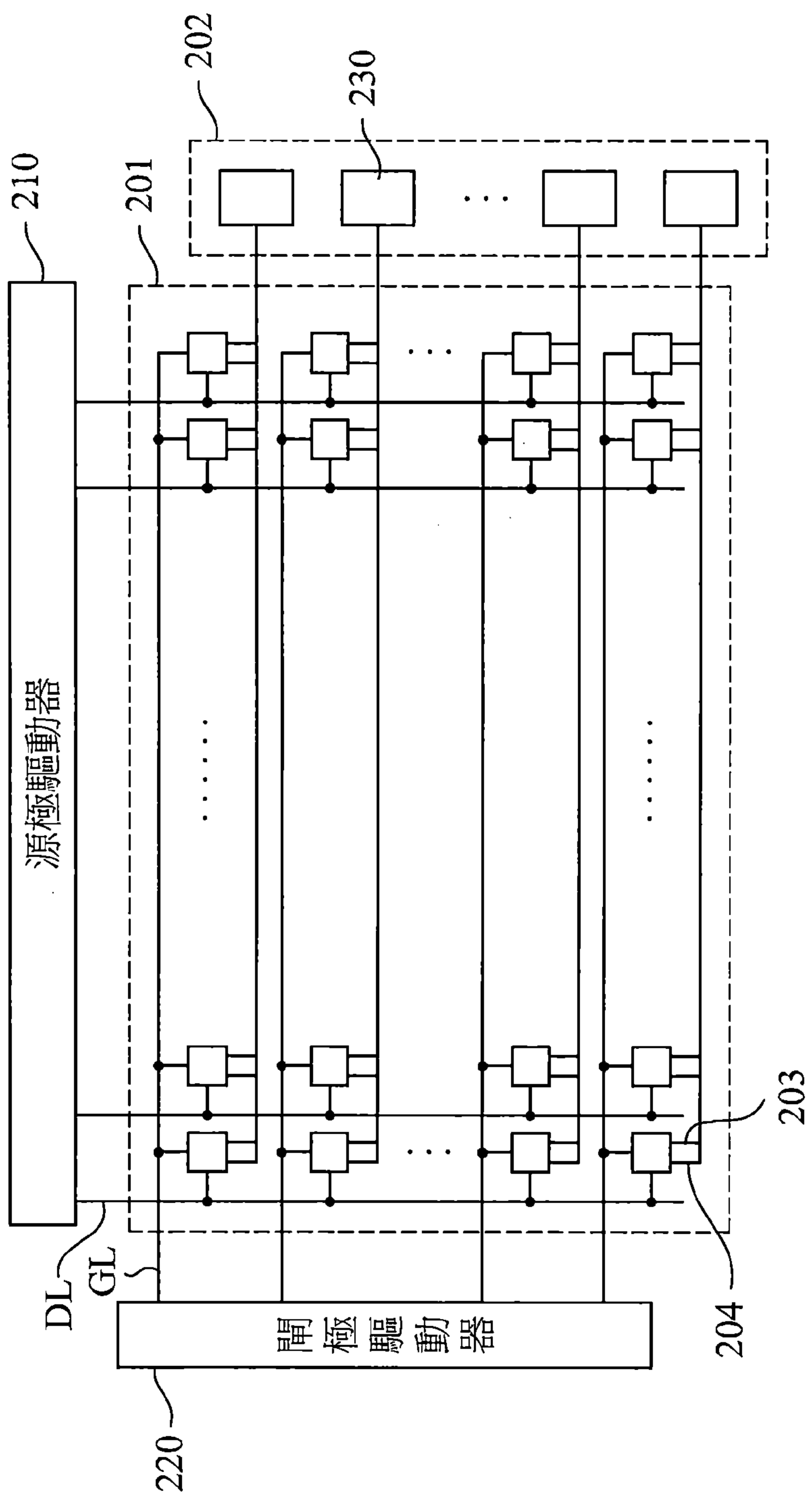


第4D圖



第 5 圖

200



第6圖