

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 23/00002	(11) 공개번호 특 1996-0002762	(43) 공개일자 1996년 01월 26일
(21) 출원번호 특 1994-0012951		
(22) 출원일자 1994년 06월 09일		
(71) 출원인 삼성전자 주식회사 김광호		
(72) 발명자 권영도	경기도 수원시 팔달구 매탄동 416번지 우:441-370	
(74) 대리인 조용식	서울특별시 노원구 상계동 주공아파트 1608동 1404호	

심사청구 : 있음

(54) 노이즈가 적은 적층 멀티칩 패키지

요약

적층 멀티칩 패키지에 있어서, 노이즈를 줄이기 위하여 감결합 커패시터를 사용하는 경우에는 한정된 표면적에 별도의 커패시터를 배치하는 공간을 마련해야 하므로 실장밀도를 높이는 데 한계가 있다. 따라서 적층 멀티칩 패키지의 노출된 칩의 하면 전체에 접지를 위한 도전성 필름들을 접착시키고, 도전성 필름들에 형성된 접지 단자와 하층의 칩에 형성된 리드 또는 프레임의 엣지부에 마련된 접지단자와 각각 연결시킨 후 프레임의 관통공을 통하여 인쇄회로기판의 접지선과 연결함으로써 패키지의 노이즈를 최소화하였다. 따라서 접지에 의한 노이즈 제거방식을 패키지의 칩이 몰드의 표면에 노출되는 모든 3차원 적층 멀티칩 패키지에 노이즈를 제거하기 위해 적용될 수 있다.

대표도

도 3

명세서

[발명의 명칭]

노이즈가 적은 적층 멀티칩 패키지

[도면의 간단한 설명]

제3도는 (가),(나)는 이 발명에 따른 적층 멀티칩 패키지의 일 실시예를 나타낸 단면도,

제4도는 는 이 발명에 따른 멀티칩 패키지의 일 실시예를 나타낸 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

필름 캐리어의 절연필름상에 형성된 다수개의 내부 리드 하면에 범프에 의해 반도체칩이 실장되며, 상기 반도체 칩이 연결 노출되도록 한 적어도 하나 이상의 반도체 패키지와; 상기 반도체 패키지의 외부리드를 랜드 패턴상에 프레임으로 실장하며, 패키지 적층에 따른 노이즈를 방지하는 커패시터가 탑재된 인쇄회로기판과; 상기 반도체 패키지의 외부 리드상에 개재하며 또 다른 반도체 패키지가 3차원으로 실장된 적층형 반도체 패키지에 있어서; 상기 반도체 패키지들의 연결 노출된 상기 칩의 하면에 접지를 위한 도전성 필름들을 접착시키고, 상기 도전성 필름들은 상기 프레임의 엣지부에 마련된 접지단자와 각각 연결시킨 후, 상기 접지단자들은 프레임의 일측에 형성된 관통공을 통하여 상기 인쇄회로기판의 접지선과 연결됨을 특징으로 하는 노이즈가 적은 적층 멀티칩 패키지.

청구항 2

제1항에 있어서, 상기 반도체 칩이 실리콘 기판인 것을 특징으로 하는 노이즈가 적은 적층 멀티칩 패키지.

청구항 3

제1항에 있어서, 상기 도전성 필름 및 접지단자가 구리, 금, 은, 알루미늄, 주석 또는 이들 합금중의 하

나로 이루어진 것을 특징으로 하는 노이즈가 적은 적층 멀티칩 패키지.

청구항 4

필름 캐리어의 절연필름상에 형성된 다수개의 내부 리드 하면에 범프에 의해 반도체칩이 실장되며, 상기 반도체 칩이 연결 노출되도록 한 적어도 하나 이상의 반도체 패키지와; 상기 반도체 패키지의 외부리드를 랜드 패턴상에 프레임으로 실장하며, 패키지 적층에 따른 노이즈를 방지하는 캐패시터가 탑재된 인쇄회로기판과; 상기 반도체 패키지의 외부 리드상에 개재하며 또 다른 반도체 패키지가 3차원으로 실장된 적층형 반도체 패키지에 있어서; 상기 반도체 패키지들의 연결 노출된 상기 칩의 하면에 접지를 위한 도전성 필름들을 접착시키고, 상기 칩의 도전성 필름의 하면과 하층의 다른 반도체 패키지의 상면사이에 절연성 필름을 개재시키고, 상기 칩에 부착된 도전성 필름들에 형성된 접지단자와 각각 연결시킨 후, 상기 접지단자들은 프레임의 일측에 형성된 관통공을 통하여 상기 인쇄회로기판의 접지선과 연결됨을 특징으로 하는 노이즈가 적은 적층 멀티칩 패키지.

청구항 5

제4항에 있어서, 상기 반도체 칩이 실리콘 기판인 것을 특징으로 하는 노이즈가 적은 적층 멀티칩 패키지.

청구항 6

제4항에 있어서, 상기 도전성 필름 및 접지단자가 구리, 금, 은, 알루미늄, 주석 또는 이들 합금중의 하나로 이루어진 것을 특징으로 하는 노이즈가 적은 적층 멀티칩 패키지.

청구항 7

반도체 칩이 범프에 의해 리드가 연결되고, 상기 반도체 칩은 상기 리드를 공통단자로 묶어 외부 인쇄회로기판의 랜드패턴 상에 실장되는 초박형 소형 패키지의 3차원 적층 멀티칩 패키지에 있어서; 상기 반도체 칩의 하면에 접지를 위한 도전성 필름을 접착시키고, 상기 칩의 도전성 필름의 하면과 하층의 다른 반도체 패키지의 상면사이에 절연성 필름을 개재시키고, 상기 상면 칩에 부착된 도전성 필름들에 형성된 접지단자와 하층의 칩에 형성된 리드를 전기적으로 연결하여 상기 인쇄회로기판의 접지선과 전기적으로 연결되어 접지시킨 것을 특징으로 하는 노이즈가 적은 적층 멀티칩 패키지.

청구항 8

제7항에 있어서, 상기 반도체 칩이 실리콘 기판인 것을 특징으로 하는 노이즈가 적은 적층 멀티칩 패키지.

청구항 9

제7항에 있어서, 상기 도전성 필름 및 접지단자가 구리, 금, 은, 알루미늄, 주석 또는 이들 합금중의 하나로 이루어진 것을 특징으로 하는 노이즈가 적은 적층 멀티칩 패키지.

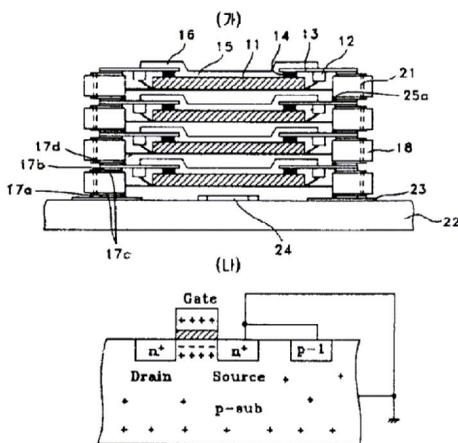
청구항 10

제7항에 있어서, 상기 반도체 패키지가 에스-오-제이형 또는 티-에스-오-피형 패키지중의 하나인 것을 특징으로 하는 노이즈가 적은 적층 멀티칩 패키지.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면3



도면4

