



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년04월30일
(11) 등록번호 10-0955735
(24) 등록일자 2010년04월23일

(51) Int. Cl.

H01L 27/146 (2006.01)

(21) 출원번호 10-2003-0027884
(22) 출원일자 2003년04월30일
심사청구일자 2008년04월29일
(65) 공개번호 10-2004-0093993
(43) 공개일자 2004년11월09일

(56) 선행기술조사문헌
JP평성09321269 A
JP2003092396 A

전체 청구항 수 : 총 10 항

(73) 특허권자

크로스텍 캐피탈, 엘엘씨

미합중국 델라웨어 19808 윌밍톤 스위트 400 센터 빌 로드 2711

(72) 발명자

이원호

서울특별시동작구사당동105 번지신동아아파트407-1408

(74) 대리인

남상선

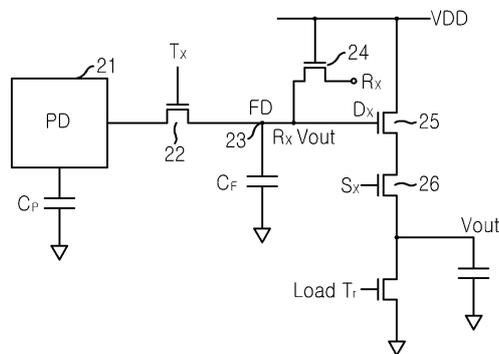
심사관 : 한지혜

(54) 씨모스 이미지 센서의 단위화소

(57) 요약

본 발명은 포토다이오드의 리셋효율이 저하되는 것을 방지하는데 적합한 씨모스 이미지 센서의 단위화소를 제공하기 위한 것으로, 포토다이오드, 상기 포토다이오드와 플로팅노드 사이에 소스-드레인 경로가 형성되며 게이트로 제어신호 Tx를 인가받는 트랜스퍼트랜지스터, 상기 플로팅노드와 전원전압단 사이에 소스-게이트 경로가 형성되며 드레인으로 제어신호 Rx를 인가받는 리셋트랜지스터, 게이트가 상기 플로팅노드에 접속되고 드레인이 상기 전원전압단에 접속된 드라이브트랜지스터, 및 게이트에 제어신호 Sx를 인가받으며 드레인이 상기 드라이브트랜지스터의 소스에 접속되고 자신의 소스는 출력단에 접속된 셀렉트트랜지스터를 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

포토다이오드;

상기 포토다이오드와 플로팅노드 사이에 소스-드레인 경로가 형성되며 게이트로 제어신호 Tx를 인가받는 트랜스퍼트랜지스터;

상기 플로팅노드와 전원전압단 사이에 소스-게이트 경로가 형성되며 드레인으로 제어신호 Rx를 인가받는 리셋트랜지스터;

게이트가 상기 플로팅노드에 접속되고 드레인이 상기 전원전압단에 접속된 드라이브트랜지스터; 및

게이트에 제어신호 Sx를 인가받으며 드레인이 상기 드라이브트랜지스터의 소스에 접속되고 자신의 소스는 출력단에 접속된 셀렉트트랜지스터

포함하는 이미지센서의 단위화소.

청구항 2

제1항에 있어서,

상기 리셋트랜지스터는 상기 드라이브트랜지스터 및 상기 셀렉트트랜지스터와 동일한 문턱전압을 갖고 상기 트랜스퍼트랜지스터보다 높은 문턱전압을 갖는 것을 특징으로 하는 이미지센서의 단위화소.

청구항 3

제1항에 있어서,

상기 제어신호 Rx는 금속선을 통해 상기 리셋트랜지스터의 드레인으로 인가되는 것을 특징으로 하는 이미지센서의 단위화소.

청구항 4

제1항에 있어서,

상기 리셋트랜지스터가 형성된 활성영역과 상기 드라이브트랜지스터가 형성된 활성영역은 필드산화막에 의해 격리되는 것을 특징으로 하는 이미지센서의 단위화소.

청구항 5

제1항에 있어서,

상기 리셋트랜지스터의 게이트는 폴리실리콘막이고, 상기 게이트는 상기 전원전압단과 버핑콘택구조로 연결되는 것을 특징으로 하는 이미지센서의 단위화소.

청구항 6

포토다이오드;

상기 포토다이오드와 플로팅노드 사이에 소스-드레인 경로가 형성되며 게이트로 제어신호 Tx를 인가받는 트랜스퍼트랜지스터;

상기 포토다이오드와 전원전압단 사이에 소스-게이트 경로가 형성되며 드레인으로 제어신호 Rx를 인가받는 리셋

트랜지스터;

게이트가 상기 플로팅노드에 접속되고 드레인이 상기 전원전압단에 접속된 드라이브트랜지스터; 및
 게이트에 제어신호 Sx를 인가받으며 드레인이 상기 드라이브트랜지스터의 소스에 접속되고 자신의 소스는 출력
 단에 접속된 셀렉트트랜지스터
 포함하는 이미지센서의 단위화소.

청구항 7

제6항에 있어서,
 상기 리셋트랜지스터는 상기 드라이브트랜지스터 및 상기 셀렉트트랜지스터와 동일한 문턱전압을 갖고 상기 트
 랜스퍼트랜지스터보다 높은 문턱전압을 갖는 것을 특징으로 하는 이미지센서의 단위화소.

청구항 8

제6항에 있어서,
 상기 제어신호 Rx는 금속선을 통해 상기 리셋트랜지스터의 드레인으로 인가되는 것을 특징으로 하는 이미지센
 서의 단위화소.

청구항 9

제6항에 있어서,
 상기 리셋트랜지스터가 형성된 활성영역과 상기 드라이브트랜지스터가 형성된 활성영역은 필드산화막에 의해 격
 리되는 것을 특징으로 하는 이미지센서의 단위화소.

청구항 10

제6항에 있어서,
 상기 리셋트랜지스터의 게이트는 폴리실리콘막이고, 상기 게이트는 상기 전원전압단과 버핑콘택구조로 연결되는
 것을 특징으로 하는 이미지센서의 단위화소.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0016] 본 발명은 씨모스 이미지 센서에 관한 것으로, 특히 리셋 효율을 개선시킨 씨모스 이미지 센서에 관한 것이다.

[0017] 씨모스 이미지 센서(CMOS image sensor)는 CMOS 제조 기술을 이용하여 광학적 이미지를 전기적신호로 변환시키
 는 소자로서, 빛에 반응하여 생성된 전자를 전압으로 변환하고 신호처리 과정을 거쳐 화상정보를 재현한다. 씨
 모스 이미지 센서는 각종 카메라, 의료장비, 감시용 카메라, 위치확인 및 감지를 위한 각종 산업 장비, 장난감
 등 화상신호를 재현하는 모든 분야에 이용 가능하며, 저전압 구동과 단일 칩화가 가능하여 점점 활용범위가 확
 대되고 있는 추세이다.

- [0018] 일반적으로 씨모스 이미지 센서는 화소수 만큼 MOS 트랜지스터를 만들고 이것을 이용하여 차례차례 출력을 검출하는 스위칭 방식을 채용하고 있다. 이와 같은 씨모스 이미지 센서는, 종래 이미지센서로 널리 사용되고 있는 CCD(Charge Coupled Device) 이미지센서에 비하여 구동 방식이 간편하고 다양한 스캐닝 방식의 구현이 가능하며, 신호처리 회로를 단일칩에 집적할 수 있어 제품의 소형화가 가능할 뿐만 아니라, 호환성의 CMOS 기술을 사용하므로 제조 단가를 낮출 수 있고, 전력 소모 또한 크게 낮다는 장점을 지니고 있다.
- [0019] 도 1은 종래 기술에 따른 씨모스 이미지센서의 단위화소를 나타낸 등가회로도이다. 여기서, 도 1은 4개의 트랜지스터와 2개의 캐패시턴스 구조로 이루어지는 씨모스 이미지센서의 단위화소를 보이고 있다.
- [0020] 도 1에 도시된 바와 같이, 광감지 수단인 포토다이오드(PD)와 4개의 NMOS 트랜지스터로 구성되며, 4개의 NMOS 트랜지스터 중 트랜스퍼트랜지스터(Tx)는 포토다이오드(PD)에서 생성된 광전하를 플로팅 확산영역(FD)으로 운송하는 역할을 하고, 리셋트랜지스터(Rx)는 신호검출을 위해 플로팅 확산영역(FD)에 저장되어 있는 전하를 배출하는 역할을 하고, 드라이브트랜지스터(Dx)는 소스팔로워(Source Follower)로서 역할하며, 셀렉트트랜지스터(Sx)는 스위칭(Switching) 및 어드레싱(Addressing)을 위한 것이다. 도 1에서 'Cf'는 플로팅 확산영역이 갖는 캐패시턴스를 나타내고, 'Cp'는 포토다이오드가 갖는 캐패시턴스를 나타내고, 'Vout'은 단위화소출력단을 나타낸다.
- [0021] 도 2는 도 1의 리셋트랜지스터의 게이트전압에 따른 출력전압의 특성을 나타낸 도면이다. 도 2에서 가로좌표는 리셋트랜지스터의 게이트에 인가되는 게이트전압(V_g)을 나타내고, 세로좌표는 리셋트랜지스터의 출력전압(V_{out})을 나타낸다.
- [0022] 도 2에 도시된 바와 같이, 게이트전압(V_g)이 증가할수록 출력전압(V_{out})이 증가하는 특성을 보이다가 소정 게이트전압에서는 일정한 출력전압을 갖는 예컨대, 바디효과(Body effect)에 의한 포화(saturation) 현상이 나타나는 특성을 보인다. 그리고, 리셋트랜지스터가 갖고 있는 문턱전압에 의해 래그(lag) 현상이 발생한다.
- [0023] 위와 같은 종래 기술에서는 리셋트랜지스터의 리셋효율을 극대화시키기 위해서 리셋트랜지스터의 문턱전압(V_{th})을 최대한 감소시켜야만 한다. 이는 리셋트랜지스터를 네이티브 NMOSFET로 형성하는 이유가 되기도 한다.
- [0024] 따라서 리셋트랜지스터의 문턱전압 감소에 따라 게이트전압이 상승하게 된다. 도 2에서 ΔV_g 는 문턱전압 감소에 따른 게이트전압의 상승폭을 나타낸다.
- [0025] 도 3은 도 1의 리셋트랜지스터의 드레인전압에 따른 출력전압의 특성을 나타낸 도면이다.
- [0026] 도 3에 도시된 바와 같이, 특정 드레인전압에서 출력전압은 게이트전압이 증가함에 따라 커지며 각 커브간 차이는 게이트전압의 상승폭(ΔV_g)에 의해 결정된다.
- [0027] 그러나, 종래기술은 리셋 트랜지스터의 드레인단에 전원전압(VDD)이 공급되고 게이트가 입력단이 되므로 문턱전압을 보다 낮게 제어하는 것이 어렵고, 문턱전압을 낮게 제어하지 못하는 경우 문턱전압에 의해 출력전압의 래그(lag) 현상이 발생하는 문제가 있다.
- [0028] 이와 같은 출력전압의 래그 현상은 리셋트랜지스터의 출력 성능을 저하시키는 원인이 되며, 리셋트랜지스터의 출력 성능이 저하되는 경우에는 포토다이오드의 리셋 효율이 저하된다.
- [0029] 따라서, 리셋트랜지스터의 문턱전압을 최대한 감소시켜 포토다이오드의 리셋효율을 증가시킬 수 있는 방법이 요구된다.

발명이 이루고자 하는 기술적 과제

- [0030] 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 포토다이오드의 리셋효율이 저하되는 것을 방지하는데 적합한 씨모스 이미지 센서의 단위화소를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- [0031] 상기 목적을 달성하기 위한 본 발명의 이미지센서의 단위화소는 포토다이오드, 상기 포토다이오드와 플로팅노드 사이에 소스-드레인 경로가 형성되며 게이트로 제어신호 Tx를 인가받는 트랜스퍼트랜지스터, 상기 플로팅노드와

전원전압단 사이에 소스-게이트 경로가 형성되며 드레인으로 제어신호 Rx를 인가받는 리셋트랜지스터, 게이트가 상기 플로팅노드에 접속되고 드레인이 상기 전원전압단에 접속된 드라이브트랜지스터, 및 게이트에 제어신호 Sx를 인가받으며 드레인이 상기 드라이브트랜지스터의 소스에 접속되고 자신의 소스는 출력단에 접속된 셀렉트트랜지스터를 포함하는 것을 특징으로 하며, 상기 리셋트랜지스터는 상기 드라이브트랜지스터 및 상기 셀렉트트랜지스터와 동일한 문턱전압을 갖고 상기 트랜스퍼트랜지스터보다 높은 문턱전압을 갖는 것을 특징으로 하고, 상기 제어신호 Rx는 금속선을 통해 상기 리셋트랜지스터의 드레인으로 인가되는 것을 특징으로 한다.

[0032] 또한, 본 발명의 이미지센서의 단위화소는 포토다이오드, 상기 포토다이오드와 플로팅노드 사이에 소스-드레인 경로가 형성되며 게이트로 제어신호 Tx를 인가받는 트랜스퍼트랜지스터, 상기 포토다이오드와 전원전압단 사이에 소스-게이트 경로가 형성되며 드레인으로 제어신호 Rx를 인가받는 리셋트랜지스터, 게이트가 상기 플로팅노드에 접속되고 드레인이 상기 전원전압단에 접속된 드라이브트랜지스터, 및 게이트에 제어신호 Sx를 인가받으며 드레인이 상기 드라이브트랜지스터의 소스에 접속되고 자신의 소스는 출력단에 접속된 셀렉트트랜지스터를 포함하는 것을 특징으로 한다.

[0033] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0034] 도 4는 본 발명의 제1실시예에 따른 씨모스 이미지 센서의 단위화소를 나타낸 등가회로도이다.

[0035] 도 4에 도시된 바와 같이, 1개의 포토다이오드(21)와 4개의 NMOS 트랜지스터(22, 24, 25, 26)로 구성되어 있다. 4개의 NMOS 트랜지스터는 포토다이오드(21)에서 모아진 광전하를 플로팅확산노드(23)로 운송하기 위하여 포토다이오드(21)와 플로팅확산노드(23) 사이에 소스-드레인 경로가 형성되며 게이트로 제어신호 Tx를 인가받는 트랜스퍼트랜지스터(22), 원하는 값으로 플로팅확산노드(23)의 전위를 세팅하고 전하를 배출하여 플로팅확산노드(23)를 리셋시키기 위하여 플로팅확산노드(23)와 전원전압(VDD) 사이에 소스-게이트 경로가 형성되며 드레인으로 제어신호 Rx를 인가받는 리셋트랜지스터(24), 소스 팔로워 버퍼 증폭기 역할을 하기 위하여 게이트가 플로팅확산노드(23)에 접속되고 드레인이 전원전압(VDD)에 접속된 드라이브트랜지스터(25), 스위칭 역할로 어드레싱을 할 수 있도록 게이트에 제어신호 Sx를 인가받으며 드레인이 드라이브트랜지스터의 소스에 접속되고 소스는 출력단(Vout)에 접속된 셀렉트트랜지스터(26)를 포함하여 구성된다. 도 4에서 'Cf'는 플로팅확산노드가 갖는 캐패시턴스를 나타내고, 'Cp'는 포토다이오드가 갖는 캐패시턴스를 나타내며, Load Tr은 로드 트랜지스터를 나타낸다.

[0036] 도 5는 도 3에 도시된 리셋트랜지스터의 드레인전압에 따른 출력전압의 특성을 나타낸 도면이다.

[0037] 도 5에 도시된 바와 같이, 입력단이 게이트가 아닌 드레인단이 되므로 리셋트랜지스터가 가지는 문턱전압에 의한 래그현상이 없다. 이는 리셋트랜지스터에 의한 플로팅확산노드의 리셋효율을 증가시키는 효과를 얻는다.

[0038] 도 6a는 도 4의 단위화소의 평면도이고, 도 6b는 도 6a의 A-A'선에 따른 단면도이다.

[0039] 도 6a에 도시된 바와 같이, 제1실시예에 따른 단위화소는 포토다이오드(21)가 형성될 제1활성영역(201), 제1활성영역(201)으로부터 면적이 좁아지는 병목효과를 주면서 일측 방향으로 뻗어 플로팅확산노드(23)과 리셋트랜지스터가 형성될 제2활성영역(202), 제2활성영역(202) 및 제1활성영역(201)과 소정 거리를 두고 이격되면서 제1활성영역(201)의 일측 주변에 위치하여 드라이브트랜지스터 및 셀렉트트랜지스터가 형성될 제3활성영역(203)을 포함한다. 여기서, 도 1의 종래 기술과 다른 점은 리셋트랜지스터가 형성될 활성영역과 드라이브트랜지스터가 형성될 활성영역이 서로 분리되어 있는 점이다.

[0040] 자세히 살펴보면, 제1활성영역(201)과 제2활성영역(202)의 접합부분 상부에 트랜스퍼트랜지스터의 게이트전극(Tx)이 위치하고, 제2활성영역(202)의 상부를 전원전압(VDD)이 공급되는 리셋트랜지스터의 게이트전극(RG)이 가로지르며, 드라이브트랜지스터의 게이트전극(Dx)과 셀렉트트랜지스터의 게이트전극(Sx)이 소정 거리를 두고 제3활성영역(203) 상부를 가로지르면서 형성된다. 여기서, 각 트랜지스터의 게이트전극(Tx, Dx, Sx)은 폴리실리콘막이다.

[0041] 그리고, 제2활성영역(202)의 끝단에는 리셋트랜지스터의 드레인에 제어신호 Rx를 입력하기 위한 입력단(204)이 입력단콘택(Rx CT)을 통해 연결되며, 입력단콘택에 근접하는 제3활성영역(203)의 일측 끝단에 전원전압 콘택(VDD CT)이 연결된다. 여기서, 리셋트랜지스터의 입력단(204)은 금속선을 이용하여 제2활성영역(202)과 콘택되며, 전원전압콘택(VDD CT)과 리셋트랜지스터의 게이트전극(RG)이 연결되어 리셋트랜지스터의 게이트전극(RG)으로 전원전압(VDD)이 공급되도록 한다. 이때, 도 6c에서 설명하겠지만, 전원전압 콘택(VDD CT)과 리셋트랜지스터

의 게이트전극(RG)은 버팅콘택(Butting contact) 구조이다.

- [0042] 한편, 도 6a에는 도시되지 않았지만, 도 4에 의해 플로팅확산노드와 드라이브트랜지스터의 게이트전극이 연결되며, 제3활성영역의 타측 끝단에는 출력단콘택이 연결된다.
- [0043] 위에서 살펴 본 바와 같이, 제1실시예에 따른 단위화소는 도 1의 통상적인 단위화소 구조와 달리 리셋트랜지스터가 형성될 제2활성영역(202)과 드라이브트랜지스터가 형성될 제3활성영역(203)이 분리되어 있으며, 리셋트랜지스터의 게이트전극(RG)에 전원전압(VDD)이 인가되고 있다. 또한, 제어신호 Rx의 입력단(204)이 폴리실리콘막으로 형성되어 인접 단위화소와 연결되어 있던 종래 기술과 달리 금속선을 통해 드레인에 제어신호 Rx가 공급되고 있다. 이와 같이, 금속선을 통해 제어신호 Rx를 리셋트랜지스터의 드레인에 인가하면 라인(line) 저항이 폴리실리콘막에 비해 현저히 감소하는 장점이 있다. 그리고, 전원전압 콘택(VDD CT)이 연결되는 제3활성영역(203)이 필드산화막을 사이에 두고 리셋트랜지스터 및 트랜스퍼트랜지스터가 형성될 제2활성영역(202)과 분리되어 있으므로 전원전압 콘택에 의한 포토다이오드의 누설전류를 감소시키는 장점이 있다.
- [0044] 도 6b에 도시된 바와 같이, p형 기판(31) 상에 p형 에피층(32)이 성장되고, p형 에피층(32)의 소정 부분에 드라이브트랜지스터와 셀렉트트랜지스터를 내포하는 p형 웰(33)이 형성된다.
- [0045] 그리고, p형 웰(33)의 소정 부분에 필드산화막(34a, 34b)이 형성되는데, 여기서 하나의 필드산화막(34b)은 리셋트랜지스터와 드라이브트랜지스터를 분리하기 위한 필드산화막이다.
- [0046] 그리고, p형 에피층(32)의 선택된 영역 상에 트랜스퍼트랜지스터의 게이트전극(Tx), 리셋트랜지스터의 게이트전극(RG)이 소정 거리를 두고 형성되고, p형 웰(33)이 형성된 p형 에피층(32)의 선택된 영역 상에 드라이브트랜지스터의 게이트전극(Dx)과 셀렉트트랜지스터의 게이트전극(Sx)이 소정 거리를 두고 형성된다. 이때, 각 게이트전극은 폴리실리콘막이며, 양측벽에 스페이서(35)가 구비된다.
- [0047] 그리고, 트랜스퍼트랜지스터의 게이트전극(Tx) 일측 아래의 p형 에피층(22)내에 포토다이오드(PD)가 형성되며, 트랜스퍼트랜지스터의 게이트전극(Tx) 타측과 리셋트랜지스터의 게이트전극(RG) 일측 사이의 p형 에피층(32)내에 플로팅확산노드(FD)가 형성된다. 그리고, 리셋트랜지스터의 게이트전극(RG) 타측 아래의 p형 에피층(32)내에 제어신호 Rx가 입력되는 리셋트랜지스터의 드레인(36)이 형성된다.
- [0048] 그리고, p형 웰(32)에 내포되는 드라이브트랜지스터의 소스/드레인(37)과 셀렉트트랜지스터의 소스/드레인(38)이 LDD 구조를 가지면서 p형 웰(33)내에 형성된다. 여기서, 셀렉트트랜지스터의 일측 소스/드레인(38)은 단위화소의 출력단(Vout)을 겸한다.
- [0049] 도 6b에서 리셋트랜지스터의 게이트전극(RG)은 전원전압이 공급되는 드라이브트랜지스터의 일측 소스/드레인 상부까지 연장되어 형성되는데, 이는 금속선(39)을 통해 전원전압(VDD)을 리셋트랜지스터의 게이트전극(RG)으로 인가하기 위함이다. 한편, 도 4에 의해 플로팅확산노드(FD)와 드라이브트랜지스터의 게이트전극(Dx)은 다른 금속선(40)을 통해 연결된다.
- [0050] 도 6c는 전원전압 콘택을 상세히 도시한 도면이다.
- [0051] 도 6c에 도시된 바와 같이, 리셋트랜지스터 게이트전극(RG)의 연장부 및 드라이브트랜지스터 게이트전극(Dx)을 포함한 전면에 중간절연막(41)을 형성하고, 중간절연막(41)을 식각하여 리셋트랜지스터 게이트전극(RG)의 연장부의 일측끝단과 드라이브트랜지스터의 소스/드레인(37)을 동시에 노출시키는 콘택홀을 형성한다. 이와 같은 구조를 버팅콘택 구조라고 한다.
- [0052] 다음에, 콘택홀을 포함한 전면에 금속막을 증착한 후 선택적으로 패터닝하여 전원전압을 공급하기 위한 금속선(39)을 형성한다. 이때, 금속선(39)은 리셋트랜지스터 게이트전극의 연장부 및 드라이브트랜지스터의 소스/드레인에 공통으로 연결된다.
- [0053] 도 7a는 본 발명의 제2실시예에 따른 등가회로도이다.
- [0054] 도 7a에 도시된 바와 같이, 광감지 수단인 포토다이오드(PD)와 4개의 NMOS 트랜지스터로 구성되며, 4개의 NMOS 트랜지스터 중 트랜스퍼트랜지스터(Tx)는 포토다이오드(PD)에서 생성된 광전하를 플로팅 확산영역(FD)으로 운송하는 역할을 하고, 리셋트랜지스터(Rx)는 신호검출을 위해 플로팅 확산영역(FD)에 저장되어 있는 전하를 배출하는 역할을 하고, 드라이브트랜지스터(Dx)는 소스팔로워(Source Follower)로서 역할하며, 셀렉트트랜지스터(Sx)는 스위칭(Switching) 및 어드레싱(Addressing)을 위한 것이다. 도 4에서 'Cf'는 플로팅 확산영역이 갖는 캐패시턴스를 나타내고, 'Cp'는 포토다이오드가 갖는 캐패시턴스를 나타낸다.

- [0055] 자세히 살펴보면, 트랜스퍼트랜지스터는 게이트에 Tx 신호를 인가받고 포토다이오드(PD)의 일측에 자신의 일측 전극이 연결되고 플로팅확산영역(FD)에 자신의 타측전극이 연결된다.
- [0056] 그리고, 리셋트랜지스터는 게이트에 전원전압(VDD)을 공급받고 일측전극이 입력단이 되며 타측전극이 플로팅확산영역(FD)에 연결되는 것이 아니라 포토다이오드에 연결된다. 여기서, 리셋트랜지스터는 도 1의 리셋트랜지스터와 달리, 게이트에 일정한 전원전압(VDD)이 연결되고 드레인단에 입력전압(V_a)이 공급되는 구조이고, 도 4의 리셋트랜지스터와 달리, 타측전극이 포토다이오드에 직접 연결되고 있다.
- [0057] 그리고, 드라이브트랜지스터는 게이트에 플로팅확산영역(FD)과 리셋트랜지스터의 출력단이 공통으로 연결되고 드레인에 전원전압(VDD)이 공급된다.
- [0058] 그리고, 셀렉트트랜지스터는 도 1 및 도 4의 구조와 동일하므로 생략한다.
- [0059] 도 7b는 도 7a의 단위화소의 평면도이고, 도 7c는 도 7b의 B-B' 선에 따른 단면도이다.
- [0060] 도 7b에 도시된 바와 같이, 본 발명의 단위화소는 포토다이오드가 형성될 제1영역(301), 제1영역(301)의 일측 모서리로부터 확장되어 플로팅확산영역(FD)이 형성될 제2영역(302) 및 제1영역(301)의 타측 모서리로부터 확장되어 리셋트랜지스터가 형성될 제3영역(303)으로 구성된 제1활성영역, 제1활성영역과 소정 거리를 두고 이격되면서 드라이브트랜지스터 및 셀렉트트랜지스터가 형성될 제2활성영역(304)을 포함한다.
- [0061] 자세히 살펴보면, 제1활성영역의 제1영역(301)과 제2영역(302)의 접합부분 상부에 트랜스퍼트랜지스터의 게이트 전극(Tx)이 위치하고, 플로팅확산영역이 형성될 제1영역(302)에 플로팅확산영역콘택(FD CT)이 연결된다.
- [0062] 그리고, 제1활성영역의 제1영역(301)과 제3영역(303)의 접합부분 상부에 리셋트랜지스터의 게이트전극(Rx)이 위치하고, 리셋트랜지스터의 일측 전극이 형성될 제3영역(303)의 끝단에는 입력전압을 공급하기 위한 입력단콘택(305)이 연결된다.
- [0063] 그리고, 제1활성영역과 필드산화막(FOX)을 두고 이격되는 제2활성영역(304)은 제1활성영역의 제3영역(303)과 마주보는 돌출부분(304a)을 갖는데, 이 돌출부분(304a)은 전원전압 콘택(VDD CT, 306)이 연결될 부분이다. 따라서, 도 8의 등가회로도에 의해 리셋트랜지스터의 게이트전극(Rx)은 그 길이가 연장되어 전원전압 콘택(306)과 연결된다. 또한, 제2활성영역(304)의 상부에 제2활성영역(304)과 교차하는 방향으로 드라이브트랜지스터의 게이트전극(Dx)과 셀렉트트랜지스터의 게이트전극(Sx)이 소정 거리를 두고 위치하며, 제2활성영역(304)의 타측 끝단에는 단위화소의 출력단을 위한 출력단콘택(output CT, 307)이 형성된다. 여기서, 드라이브트랜지스터의 게이트전극(Dx)은 플로팅확산영역콘택(FD CT)을 통해 플로팅확산영역과 연결되는 길이를 갖는다.
- [0064] 도 7b에서, 리셋트랜지스터의 입력단콘택(305)은 금속선을 이용하여 제1활성영역의 제3영역(303)과 콘택되며, 전원전압콘택(306)과 리셋트랜지스터의 게이트전극(Rx)이 연결됨에 따라 리셋트랜지스터의 게이트전극(Rx)으로 전원전압이 공급되도록 한다. 이때, 도 7c에서 설명하겠지만, 전원전압콘택(306)과 리셋트랜지스터의 게이트전극(Rx)은 버딩콘택 구조이다.
- [0065] 위에서 살펴 본 바와 같이, 제2실시예에 따른 단위화소는 제1실시예와 달리 리셋트랜지스터와 플로팅확산영역이 직접 연결되지 않으며, 리셋트랜지스터가 형성될 제1활성영역과 드라이브트랜지스터가 형성될 제2활성영역(304)이 분리되어 있고, 리셋트랜지스터의 게이트전극(Rx)이 전원전압콘택(306)과 연결되고 있다. 또한, 리셋트랜지스터의 입력단이 폴리실리콘막으로 형성되어 인접 단위화소와 연결되어 있던 도 1의 종래 기술과 달리 금속선을 통해 드레인에 리셋트랜지스터의 입력전압이 공급되고 있다. 이와 같이, 금속선을 통해 입력전압을 공급하면 라인저항이 폴리실리콘막에 비해 현저히 감소하는 장점이 있다. 그리고, 전원전압 콘택(306)이 연결되는 제2활성영역(304)이 필드산화막(FOX)을 사이에 두고 리셋트랜지스터 및 트랜스퍼트랜지스터가 형성될 제1활성영역과 분리되어 있으므로 전원전압 콘택(306)에 의한 포토다이오드로의 누설전류를 감소시키는 장점이 있다.
- [0066] 도 7c에 도시된 바와 같이, p형 기판(31) 상에 p형 에피층(32)이 성장되고, p형 에피층(32)의 소정 부분에 드라이브트랜지스터와 셀렉트트랜지스터를 내포하는 p형 웰(33)이 형성된다.
- [0067] 그리고, p형 웰(33)의 소정 부분에 단위화소간 분리를 위한 필드산화막(34a)과 리셋트랜지스터와 드라이브트랜지스터를 분리하기 위한 필드산화막(34b)이 형성된다.
- [0068] 그리고, p형 에피층(32)의 선택된 영역 상에 트랜스퍼트랜지스터의 게이트전극(Tx), 리셋트랜지스터의 게이트전극(RG)이 소정 거리를 두고 형성되고, p형 웰(33)이 형성된 p형 에피층(32)의 선택된 영역 상에 드라이브트랜지스터의 게이트전극(Dx)과 셀렉트트랜지스터의 게이트전극(Sx)이 소정 거리를 두고 형성된다. 이때, 각 게이트전

극은 폴리실리콘막이며, 양측벽에 스페이서(35)가 구비된다. 한편, 드라이브트랜지스터의 게이트전극(Dx)은 플로팅확산영역콘택을 통해 플로팅확산영역(FD)과 직접 연결된다.

[0069] 그리고, 트랜스퍼트랜지스터의 게이트전극(Tx)과 리셋트랜지스터의 게이트전극(RG) 사이의 p형 에피층(32)내에 포토다이오드(PD)가 형성되며, 플로팅확산영역(FD)이 트랜스퍼트랜지스터의 게이트전극(Tx)과 필드산화막(34a) 사이에 형성되고, 리셋트랜지스터의 입력단(36)이 리셋트랜지스터의 게이트전극(RG)과 필드산화막(34b) 사이에 형성된다. 따라서, 리셋트랜지스터와 플로팅확산영역이 직접 접하지 않는다.

[0070] 그리고, p형 웰(33)에 내포되는 드라이브트랜지스터의 소스/드레인(37)과 셀렉트트랜지스터의 소스/드레인(38)이 LDD 구조를 가지면서 p형 웰(33)내에 형성된다. 여기서, 셀렉트트랜지스터의 일측 소스/드레인은 단위화소의 출력단(Vout)이다.

[0071] 도 7c에서 리셋트랜지스터의 게이트전극(RG)은 전원전압(VDD)이 공급되는 드라이브트랜지스터의 일측 소스/드레인(37) 상부까지 연장되어 형성되는데, 이는 금속선(39)을 통해 전원전압을 리셋트랜지스터의 게이트전극(RG)으로 인가하기 위함이다.

[0072] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

[0073] 전술한 바와 같은 본 발명은 문턱전압에 의한 출력전압의 래그현상을 제거하므로써 낮은 입력전압에서도 리셋효율을 증대시킬 수 있는 효과가 있다.

[0074] 또한, 단위화소내에 형성되는 금속콘택을 보다 큰 중횡비의 버딩콘택으로 대체시키므로써 공정을 안정화시킬 수 있다.

[0075] 그리고, 리셋트랜지스터의 입력단으로 금속선을 이용하므로써 입력단의 라인저항을 감소시켜 신호지연을 개선시킬 수 있다.

[0076] 그리고, 리셋트랜지스터 및 트랜스퍼트랜지스터가 형성될 활성영역과 드라이브트랜지스터 및 셀렉트트랜지스터가 형성될 활성영역을 분리시키므로써 인접 단위화소 및 포토다이오드에 미치는 전원전압에 의한 누설을 억제할 수 있다.

[0077] 리셋트랜지스터의 문턱전압 감소를 위해 네이티브 NMOS를 적용하지 않아도 된다. 리셋트랜지스터의 소자특성 마진이 커진다.

도면의 간단한 설명

[0001] 도 1은 종래 기술에 따른 씨모스 이미지 센서의 단위화소를 나타낸 등가회로도,

[0002] 도 2는 도 1의 리셋트랜지스터의 게이트전압에 따른 출력전압의 특성을 나타낸 도면,

[0003] 도 3은 도 1의 리셋트랜지스터의 드레인전압에 따른 출력전압의 특성을 나타낸 도면,

[0004] 도 4는 본 발명의 제1실시예에 따른 씨모스 이미지 센서의 단위화소를 나타낸 등가회로도,

[0005] 도 5는 도 3에 도시된 리셋트랜지스터의 드레인전압에 따른 출력전압의 특성을 나타낸 도면,

[0006] 도 6a는 도 4의 단위화소의 평면도,

[0007] 도 6b는 도 6a의 A-A'선에 따른 단면도,

[0008] 도 6c는 전원전압 콘택을 상세히 도시한 도면,

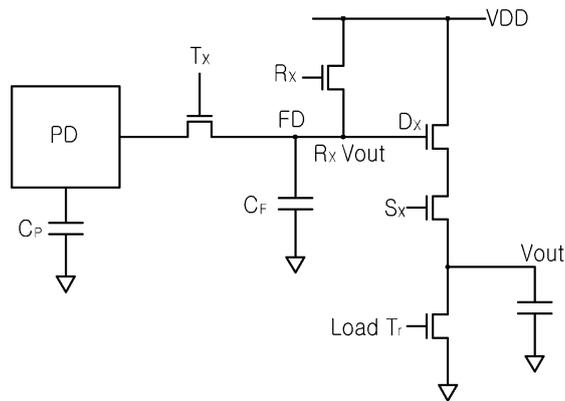
[0009] 도 7a는 본 발명의 제2실시예에 따른 등가회로도,

[0010] 도 7b는 도 7a에 도시된 단위화소의 평면도,

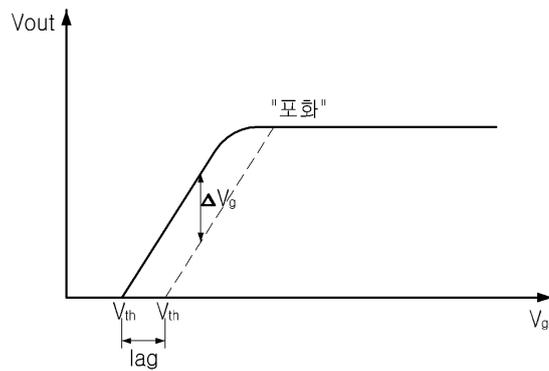
- [0011] 도 7c는 도 7a의 B-B'선에 따른 단면도.
- [0012] *도면의 주요 부분에 대한 부호의 설명
- [0013] 21 : 포토다이오드 22 : 트랜스퍼트랜지스터
- [0014] 23 : 플로팅확산노드 24 : 리셋트랜지스터
- [0015] 25 : 드라이브트랜지스터 26 : 셀렉트트랜지스터

도면

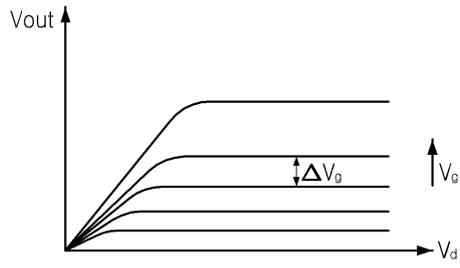
도면1



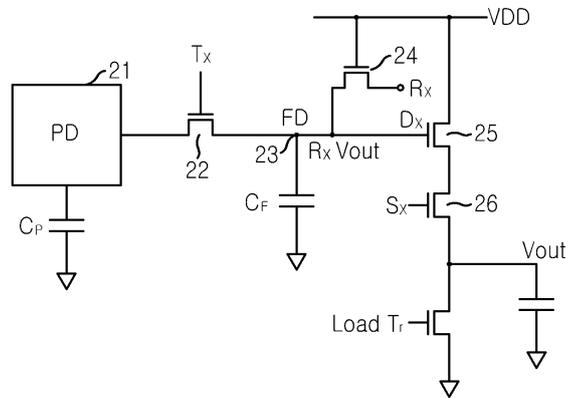
도면2



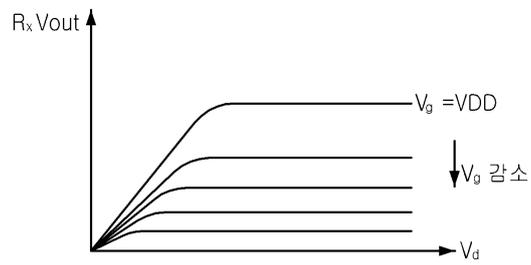
도면3



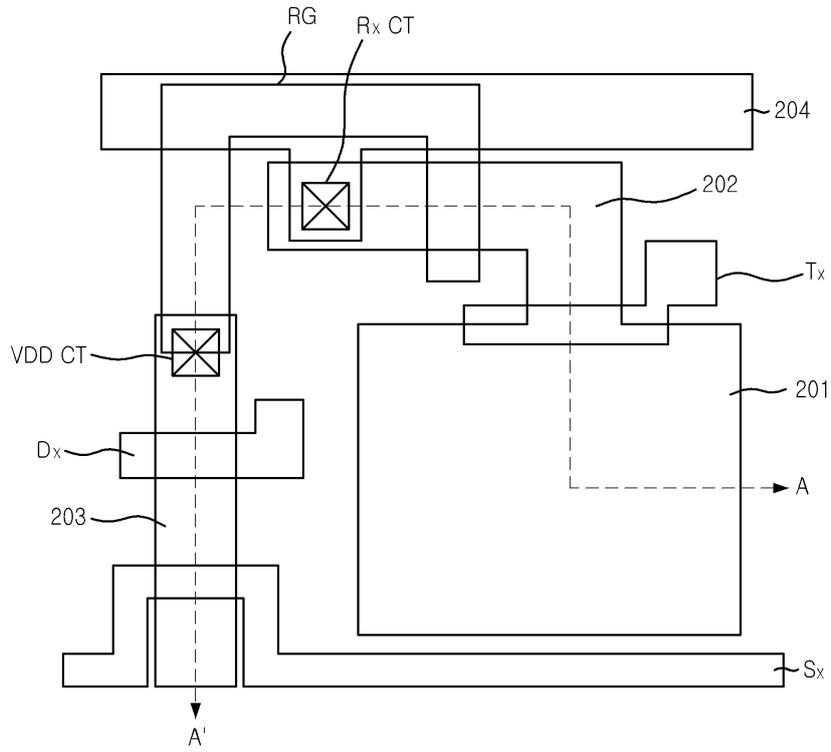
도면4



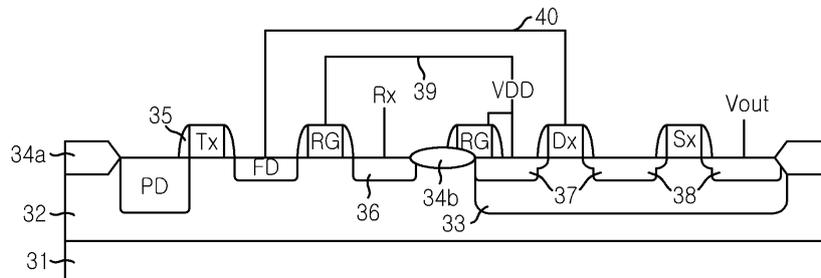
도면5



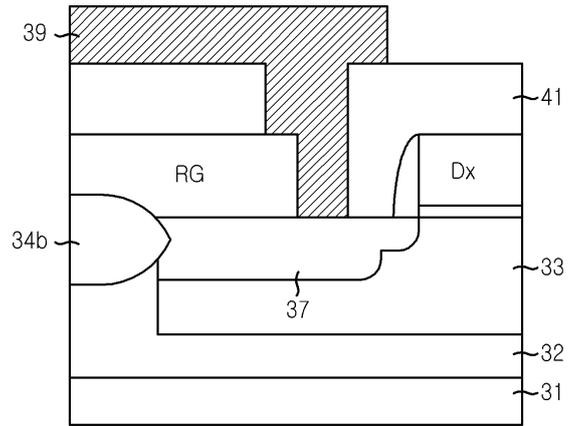
도면6a



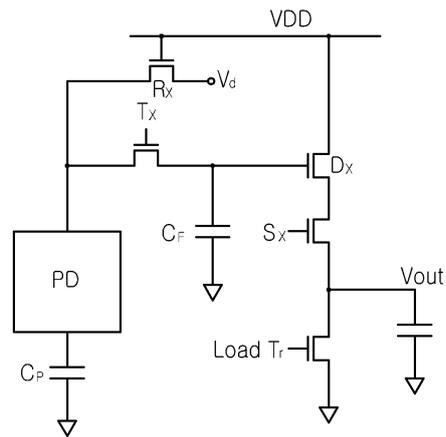
도면6b



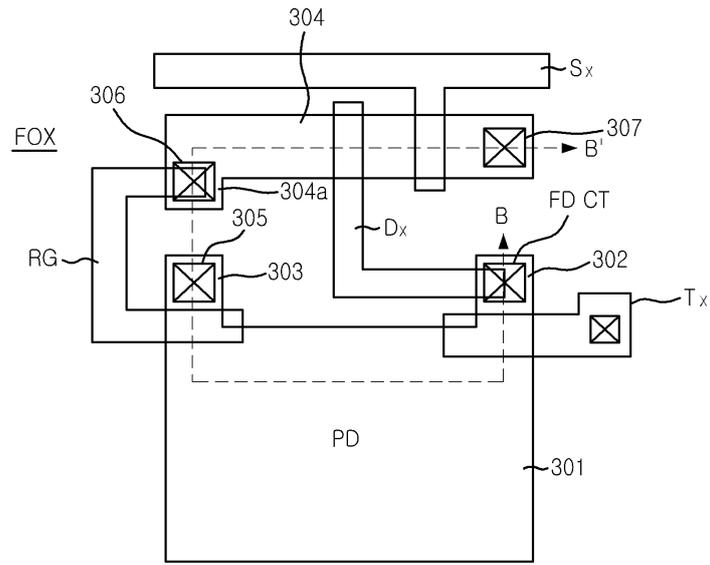
도면6c



도면7a



도면7b



도면7c

