

299505

申請日期	85. 7 15
案 號	85108571
類 別	H01L 29/00

A4
C4

公告本

299505

(以上各欄由本局填註)

發 明 專 利 說 明 書
新 型

一、發明 名稱	中 文	毫微結構記憶體裝置
	英 文	"NANO-STRUCTURE MEMORY DEVICE"
二、發明 人	姓 名	1.陳偉 2.泰倫·波理·史密斯三世 3.珊狄·狄瓦
	國 籍	1.中國大陸 2.3.均美國
	住、居所	1.美國紐約州柯頓-翁-休森市科學路29號L室 2.美國紐約州夏伯歐克市坎拜瑞巷3789號 3.美國紐約州奧辛市皮尼伯吉路791號
三、申請人	姓 名 (名稱)	美商萬國商業機器公司
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市
	代 表 人 姓 名	費 羅 普

-1-

299505

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 美 1995.9.29 08/536510

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明範疇

本發明係有關於半導體記憶體及裝置，特別有關於一種具有：汲極、源極、通道以及一用以儲存零、壹或更多電子的區域之半導體裝置毫微結構，藉此，本裝置具有一對應的個別臨限電壓。

發明背景

當裝置的尺寸接近在100毫微米(nm)的範圍內時，不出現在現今所製造的ULSI及VLSI積體電路中的功能問題就會出現在該裝置中。

就邏輯上而言，這些問題包括：次臨限效應、輸出導通性、以及裝置的功率增益。就記憶性而言，可消散性(volatile)的，例如動態隨機存取記憶體(DRAM)，而不可消散性的(non-volatile)，例如電子可抹除程式化隨機存取記憶體(EEPROM)，它們的問題包括：導致所儲存之電荷洩露或明確界定臨限值損失之次臨限導通。為了改進每單位區域的性能及功能，習知的大型化設計之路徑有必要有取代方案並做技藝上改良。

庫倫阻礙(Coulomb blockade)是一個目前在觀念上為人所瞭解的主題，例如在馬蘇歐克(H. Matsuoak)等人所寫之文章"具有雙閘結構之矽金屬氧化物半導體場效電晶體的反置層中之庫倫阻礙"(書號：Appl. Phys. Lett. 64, 586, 1994年版)中所描述的。

庫倫阻礙在尼可里安(E.H. Nicollian)與族(R. Tsu)兩位先生所寫之文章"矽量子點二極體之電氣性質"(書號：J. Appl.

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

Phys., 74, 4020, 1993年版)中亦有討論。

此行業人士曾企圖利用庫倫阻礙來製造記憶體結構，例如：由雅諾(K.Yano)等人所寫之文章"利用細粒多晶矽的室溫單電子記憶體裝置"(書號：Dig. of Int. Electron Dev. Mtg., Dec. 1993, Washington D.C. p. 541)中有述及，以及波克(K. Bock)等人所寫之文章"對基於室溫下庫倫阻礙而來之超密集積體記憶體觀念之提議"(書號：Electron. Lett., 29, 2228, 1993年版)中亦有述及。

然而，以上的例子及企圖都是利用導通性對庫倫阻礙之路徑中導通的效應。

在賴克哈瑞福(K.K. Likharev)等人所寫之文章"單一電子裝置"(書號：Scientific American June 1992, pp. 80-85)中有述及穿過隧道接合面之單一電子隧通(SET)振盪。在85頁，第1直行中，該文說：「在單一電子裝置的電路中，多個位元的資訊可表示成個別電子裝置的存在或缺乏。」

在1991年10月8日授予兜森(L.R. Dawson)等人的美國第5,055,890號專利中，所述之揮發性三次元記憶體具有可儲存電荷載體的儲存通道。電荷載體從源極橫越該儲存通道而流至汲極。電荷可藉由量子井而被限制在化合物半導體中，例如：砷化鎵或砷化銦中，該量子井是由例如：砷化鋁或銻化鋁之相鄰層的不同能帶間隙所形成的。

1994年9月13日授與海拉伊(Y. Hirai)等人的美國第5,347,140號專利中，所描述的是一種電子轉移裝置，其使用交錯放置的量子點結構與量子線結構，以及複數個用以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

控制各別量子線與點之內部電位的電極，其中彼此相鄰的量子線之一與量子點之一係經由一電位障礙物加以連接，而該障礙物能產生隧道效應於其間。

發明概述

根據本發明，一種製造用以儲存 k 個電子或電洞的儲存裝置之裝置及方法被加以描述，其中 k 是整數0或大於0之整數，而 k 個電子或電洞代表著數據，該裝置包括：一半導體通道；形成在該半導體通道上的第一絕緣物層；一形成在該第一絕緣物層上的毫微結晶(量子點)，其藉由庫倫阻礙來電氣浮動並電容性地耦合至該半導體通道；在該毫微結晶上的第二絕緣物層；以及一形成在該第二絕緣物層上的開電極。

本發明尚提供一種具有複數個毫微結晶的記憶體裝置，該等毫微結晶彼此以側邊並列地隔開置於該第一絕緣物層上，或者由個別的絕緣物層加以隔離並垂直疊置起來。

本發明尚提供一種包含複數個毫微結晶的記憶體裝置，該等毫微結晶被一絕緣物材料所隔開並放置在水平方向或垂直方向，以便在該第一絕緣物層上形成三維的毫微結晶陣列。

本發明尚提供一種多個儲存裝置互連的陣列，以便形成記憶體。該記憶體可以是連成多行及列的記憶體裝置所形成的記憶體裝置陣列。在一行中的多個汲極可連至一共用的行導線。一系列中的多個閘極可連至一共用的列導線。用以偵測電流的電路可連至第二行導線或連接至與該行中該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

等源極相連的導線。

本發明尚提供一種具有各別臨限電壓移動的記憶體裝置，以供儲存在該裝置之毫微結晶中每一電子之用。

本發明尚提供一種可儲存多位元字組(words)的記憶體裝置，該字組的值對應於該裝置的毫微結晶中所儲存的電子之數目。

本發明尚提供一種記憶體單元，其可在攝氏23度或室溫下運作。

本發明尚在通道的兩側提供汲極與源極區，以使電流通過通道並將電壓施加至汲極與源極區。

本發明尚提供一種具有庫倫障礙效應(在毫微結晶中)的儲存裝置，其電容性地耦合至一場效電晶體的通道，以便控制該通道。

本發明尚提供一種具有個別臨限電壓的儲存裝置，該等電壓大於每一所儲存之電子的室溫(23°C)熱電壓(kT/q , 0.0259伏特)。

本發明尚提供一種用以形成儲存裝置的方法，其步驟為：選擇一絕緣基質；形成一層半導體於該基質上；形成一層具有厚度的絕緣物，以便形成一突出的絕緣物；形成一毫微結晶於該第一層絕緣物上；形成第二層絕緣物於該毫微結晶上，作為一控制絕緣物；形成一閘電極層於該第二層絕緣物上；以及蝕刻該第一層、毫微結晶、第二層及閘電極層，以便形成一閘極堆疊於該層半導體之一區域(通道)上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

本發明的特徵、目的及優點可從以下的說明及附圖得知。

圖示簡要說明

圖1係沿圖2之剖面線1-1切開所得的橫剖面圖。

圖2係本發明之一實施例的上視圖。

圖3係一顯示導電帶底端電子能量的線圖，其中之線段是圖1的實施例中之垂直距離的函數，其情況是沒有電子儲存在毫微結晶中。

圖4係一顯示導電帶底端電子能量的線圖，其中之線段是圖1的實施例中之垂直距離的函數，其情況是有一電子儲存在毫微結晶中。

圖5是本發明的第二實施例，其利用了圖1及圖6至圖9的實施例。

圖6係本發明第三實施例的橫剖面圖。

圖7係本發明第四實施例的橫剖面圖。

圖8係本發明第五實施例的上視圖。

圖9係沿圖8中剖面線9-9剖開的橫剖面圖。

圖10係圖8及9中之實施例的汲極電流對開極至源極電壓的線圖。

圖11係圖8及9中第五實施例的臨限電壓對開電極的線圖。

圖12係本發明第六實施例，其利用圖1及圖6至圖9的各別實施例。

本發明的詳細說明

請參考圖式，圖1顯示著沿圖2中記憶體單元或儲存裝置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

10之剖面線1-1剖開的橫剖面圖，該裝置用以儲存k個電子或電洞，其中之k就每一個毫微結晶而言是整數0或大於10或小於10的整數。圖2顯示著記憶體單元10的上視圖，該記憶體單元10具有汲極14、控制閘16及源極18。請參考圖1，基質20可以是一絕緣物，例如絕緣物上矽(SOI)，其中之絕緣物是二氧化矽，其具有上表面21。在上表面21上，形成著一半導體層22，其可被圖案化以形成具有上表面24的小島23，並可被摻雜成p型或n型。半導體層22可以是矽、鍺化矽、鍺、碳化矽、砷化鎵、砷化銦、以及週期表中形成半導體或半導體合金的其他第IV族、第III至V族及第II至VI族元素。小島23被摻雜成n型或p型，以形成兩個相隔的區域：汲極14及源極18。通道26是介於汲極14與源極18間的區域。如同場效電晶體(FET)一樣，源極與汲極可互換。小島23與通道26的厚度範圍為4至30 nm。

閘極堆疊28係形成在上表面24之上，該上表面包含一具有上表面31的障礙層或凸出層30，而上表面31的厚度範圍為1至4 nm。毫微結晶34可以是，例如，形成在上表面31上的量子點。毫微結晶34的功能為儲存k個電子或電洞，該等電子或電洞是由通過障礙層30的電子或電洞獲得的。在毫微結晶34上，控制絕緣物層38形成著一上表面39。障礙層30及控制絕緣物層38的厚度範圍是2至3 nm。控制絕緣物層38可以是矽氧化物、矽氮化物或鈣氟化物，而且其功用是作為一種障礙層，以防堵毫微結晶34中的電子或電洞。如果毫微結晶34是砷化鎵，則較寬的帶隙材料，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

例如：GaAlAs或GaInAs，可當障礙物層30及控制絕緣物層38來用。毫微結晶34可以是得自週期表IV族的半導體，或者半導體化合物具有得自III族及V族或II至VI族之一的元素。毫微結晶34可以是適合於半導體層22之相同材料中之一，亦即矽、鍺化矽、碳化矽、砷化鎵及砷化銦以及其他IV、III-V與II-VI族半導體及其半導體合金。毫微結晶34不同於半導體材料共同或通類層之處在：毫微結晶只限於三維尺寸，其高、寬及深各尺寸都是等於或小於40 nm。

間隔物40及41是一種絕緣材料，例如：氮化矽或氧化矽，並且可以放在閘極堆疊28的任一側，以及最好是放在閘極堆疊28的每一側，以便提供障礙物來防堵毫微結晶34中的電子或電洞。

使用庫倫阻礙原理之毫微結晶34是電容性耦合至記憶體單元10的通道26。記憶體單元10呈現各別的臨限電壓，該等電壓可以被製成大於室溫熱電壓 V_T ，如公式1所示：

$$V_T = \frac{kT}{q} = 0.0259 \text{ 伏特} \quad (1)$$

在公式1中，T是溫度而其單位是度K，k是波茨曼(Boltzmann)常數，q是電子或電洞電荷。當通道26的長度及寬度是大約30 nm時，大於室溫電壓的各別臨限電壓是可行的，而且會進一步減小各通道尺寸。

假如嵌入控制閘極結構或閘極堆疊28中的毫微結晶34中之電子或電洞不存在的話，則記憶體單元10會呈現典型的臨限電壓，此電壓是藉由考慮感應該島23之通道26中之基

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

於反轉的導通通道而決定的。對於矽通道而言，這些考慮吾人已相當熟悉會反映在大約0.25微米的尺寸上，而且需要一些修正，以便併合短通道、隧道以及準轟擊(Quasi-ballistic)效應。用例如絕緣物上矽(SOI)來限制通道26的三維尺寸，次臨限電流效應會被減少。

在圖1及圖2中，小厚度的矽通道26是由閘極堆疊28中的毫微結晶34所控制。矽氧化物的絕緣物30可以是例如2.5 nm厚或者是厚度範圍是2-3 nm。毫微結晶34可以是1-2 nm厚的矽量子點。矽氧化物的控制絕緣物38之厚度可以是利用2.5 nm厚度或者厚度範圍是2-3 nm。控制閘16可以是多晶矽。

記憶體單元10的自然臨限電壓 V_{th} 是大約0.2伏特。一個電子或電洞可以射入毫微結晶34或量子點中，而其法是施加一正或負的偏壓分別給源極18及汲極14有關的閘極。或者，源極及/或汲極電壓可以升高以便將電子或電洞射入毫微結晶34中。由於毫微結晶34中電子或電洞的存在或在毫微結晶34中電子或電洞數目的改變，所以臨限電壓會移動，而其大小如公式2所示：

$$\Delta V_{th} = \frac{q}{C_g} \quad (2)$$

在公式2中， C_g 是至通道的閘極電容，而 q 是電子電荷的大小。閘極電容的大小可由公式3求得。

$$C_g = \frac{\epsilon A}{t} \quad (3)$$

在公式3中， ϵ 是介電常數， A 是面積， t 是層30及38的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

厚度。

藉由插入典型的值於公式(3)，電容 C_g 的值如公式4所示：

$$C_g = \frac{8.86 \times 10^{-4} \times 4 \times 80 \times 10^{-8} \times 200 \times 10^{-8}}{60 \times 10^{-8}} = 9.45 \times 10^{-19} \text{ F} \quad (4)$$

最後的臨限值移動量可由公式(5)得到：

$$\Delta V_{th} = \frac{1.6 \times 10^{-19}}{9.45 \times 10^{-19}} = 0.17 \text{ 伏特} \quad (5)$$

公式5所得的0.17伏特比公式1所得的0.0259伏特大，而且可由電氣的方式加以偵知。電子或電洞電荷一旦被放入毫微結晶34中，不會洩漏，蓋有關於毫微結晶34中電子電荷的靜電能是高的。靜電能可由公式6求得：

$$U = \frac{q^2}{2C_t} = 0.042 \text{ eV} \quad (6)$$

在公式6中， C_t 是由障礙物層30之障礙物厚度所決定的至通道26之毫微結晶34的電容量。由公式6所得的靜電能比室溫熱能大得多。因此，放在毫微結晶34中的電子或電洞不會洩漏，除非施加足夠的偏壓，以提供將其除去之能量。

如圖1所示之毫微結構記憶體裝置可允許至少一個電子或電洞儲存在記憶體單元10中。毫微結晶34中的每一個電子或電洞會引起記憶體單元10的臨限電壓移動大約0.17伏特，如公式4及5所示。因此，儲存電子或電洞會引起臨限電壓移動1.7伏特。如上所述的，此一裝置的主要特性是：它可儲存至少兩個字元寬的字組(word)於一個記憶體單元中，而做為所儲存之電子的數目之函數，並導致字元封裝密度的明顯增加。當然，與記憶體單元有關的讀寫電子元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(10)

及其對應的感測放大器電路必須具有對應的解析度，以便偵測該0.17伏特的增量。

圖3是一線圖，用以顯示在導電帶底部的電子能量，其是沒有儲存電子於毫微結晶34中之記憶體單元10之閘極16下方距離的函數。在圖3中，縱座標代表在導電帶底部單一電子的能量，而橫座標代表閘極16之下的距離。圖3中參考線48代表菲爾明(Fermi)能量 E_F 。曲線42顯示導電帶能量。曲線部分43顯示控制閘16的能量。曲線部分44顯示控制絕緣物38的能量。曲線部分45顯示毫微結晶34內沒有電子時的能量。曲線46顯示障礙物絕緣物30的能量。曲線部分47顯示通道46的能量。如曲線部分45所示的，毫微結晶34內沒有電子。電子必須克服如曲線部分42及46所示之絕緣物障礙物能量，以便達到或射入毫微結晶34中。

圖4是一線圖，其顯示在導電帶底部的電子能量，其是通過記憶體單元10之距離的函數，該單元具有毫微結晶34中所儲存之一個電子。在圖4中，縱座標代表在導電帶底部處單一電子的能量，而橫座標代表閘極16之下的距離。參考線59代表菲爾明能量 E_F 。曲線52顯示導電帶能量。曲線部分53顯示控制閘16的能量。曲線部分54顯示控制絕緣物38的能量。曲線部分55顯示內部存有一個電子51的毫微結晶34的能量。曲線部分56顯示障礙物絕緣物30的能量。曲線部分57顯示通道26的能量。如曲線部分55所示的，其內存有一個電子的毫微結晶34的能量比圖3中所示的曲線部分45要高。曲線部分54及56顯示：在曲線部分55的任一側

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (11)

具有能障可防止電子流進或流出毫微結晶34。曲線部分57代表在記憶體單元10之通道中的導通帶邊緣能量。

圖5係記憶體68的示意圖，記憶體68包括儲存裝置71-76所成的陣列70，該等裝置可被排列成列或行。在圖5中，相同的標號用來代表和圖1及圖2之裝置中有相同的功能者。儲存裝置71-76與圖1及圖2中所顯示的儲存裝置10相同或者與圖6至圖9中所顯示的記憶單元104、114、及128相同。可連接一記憶體68以便形成如圖5中所示的隨機存取記憶體(RAM)。藉著在寫入資料之後而使寫入模式無法作動，記憶體68也就可成為唯讀記憶體(ROM)。在圖5中，字組線解碼器78被耦合至字組線79及80，而字元線解碼器81被耦合至字元線82-84。在線86及87上的位址信號A1及A2被耦合至字組線解碼器78，而在線88及89上的位址信號A3及A4被耦合至位元線解碼器81。字組線79被耦合至儲存裝置71-73的閘極16。字組線80被耦合至儲存裝置74-76的閘極16。字元線82被耦合至儲存裝置71及74的源極18。字元線83被耦合至儲存裝置72及75的源極。字元線84被耦合至儲存裝置73及76的源極。感測線91被耦合至儲存裝置71至74的汲極14，並耦合至感測放大器92的輸入。感測線93被耦合至儲存裝置72及75的汲極14，並耦合至感測放大器94的輸入。感測線95被耦合至儲存裝置73至76的汲極14，並耦合至感測放大器96的輸入。感測放大器92、94及96是用來偵測分別在感測線91、93及95的電壓或電流，並分別提供輸出於線97-99上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(12)

爲了操作記憶體68而使資料寫入其內，在線86-89上的位址信號A1-A4被驅動以便選擇字組線，例如字組線79，以及選擇字元線，例如字元線83。當WRITE信號在線101上變爲"高"時，在字組線79上的電壓變成第一電壓。在字元線83上的電壓變成第一或第二電壓是視待寫在導線102上的資料是一或零而定。在線79及83間的電壓是用來引起一個或某一定數量的電子或電洞穿通障礙層30而進或出儲存裝置72的毫微結晶34。相對於線79的線82及84上的電壓不足以引起電子或電洞進或出儲存裝置71及73的毫微結晶。相對於線80之線82-84上的電壓不足以使電子或電洞穿進或穿出儲存裝置74-76的毫微結晶34。

爲了操作記憶體68以便自其中讀取資料，在線86-89上的位址信號A1-A4被驅動或定址。藉著將第一電壓施加於其上，字組線79會被選中。然後，在導線103上的讀取信號會變"高"。字元線82-84會成爲第一電壓，例如2伏特。在導線91、93及95上的電壓或電流會被感測放大器92、94、96感測到，以分別提供輸出信號於導線97-99上，以顯示儲存在儲存裝置71-73的毫微結晶34中的電子之數目。

圖6顯示記憶體單元104的橫剖面圖，其中閘極堆疊106具有複數個毫微結晶層34、34'及34"，這些毫微結晶層被障礙物層30、30'及30"分別隔開後垂直相疊起來，而這堆疊係在通道26及控制絕緣物層38之間。在圖6及圖9中，相同的標號用來表示圖1、2及圖6至圖8中之裝置中有相同之功能者。藉由施加一偏壓於通道26及閘極16之間，各個電子

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(13)

或電洞可以插入或移出各別的毫微結晶34、34'及34"。再者，電子或電洞會自一個毫微結晶移至另一個毫微結晶，以便提供一臨限電壓漸增的增量或一漸減的減量，而該臨限電壓係顯示著記憶體單元104中所儲存的資料。

圖7顯示記憶體單元114的橫剖面圖，其中閘極堆疊116具有複數個毫微結晶34、34'、117及118，這些毫微結晶隔開來以水平方式或邊靠邊地放置，以形成至少一維的毫微結晶34、34'、34"、117及118的陣列於障礙物層30及控制絕緣物層38之間。藉由施加一偏壓於通道26與閘極16之間，電子或電洞可插入或自毫微結晶34、34'、34"、117及118移出。

圖8顯示記憶體單元128的上視圖，其中二或三維的隔開的毫微結晶34之陣列可以位於圖7所示單一層中或圖9所示複數層中之障礙層30與控制絕緣物層38之間。

圖9顯示沿圖8之線9-9剖開的橫剖面圖。在圖9中所顯示的是二維的複數個相隔的且具有障礙物層30、30'及30"之毫微結晶。在圖8中，閘極16的尺寸可以是 $0.4\mu\text{m}$ 乘以 $20\mu\text{m}$ 。在二維陣列中的毫微結晶或量子點34的密度是每平方公分 10^{12} 個。

圖10是用實驗室所取得的量測值繪成線圖，其顯示汲極電流對圖8中所示之記憶體單元128之閘極至源極電壓的關係。在圖10中，縱座標代表汲極電流，而橫座標代表閘極至源極電壓。這些量測值是自300度K下的記憶體單元128取得的。曲線136代表供記憶體單元128用之由圈圈137所示之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(14)

數據點，該記憶體單元128具有完全放電或不帶電子的毫微結晶34。曲線138代表供記憶體單元128用之由方框139所示之數據點，該記憶體單元128具有完全充有電子的毫微結晶34，該等電子是由通道26(經由源極18或汲極14)與閘極16之間所施加的1.25伏特電壓所達成的。10 μ A的汲極電流的電壓移動量的大約0.255伏特，如圖10之箭頭140所示。

圖11是由實驗室中所得的量測值所形成的線圖，其顯示臨限電壓對圖8及圖9中所示之記憶體單元128之閘極電壓間之關係。在圖11中，縱座標代表臨限電壓，而橫座標代表閘極電壓。這些量測值是對77 K溫度下的記憶體單元128而取得的。曲線146是由圈圈147所示之數據點互連而成的。參考線151-154代表記憶體單元128的臨限電壓，其為各別的毫微結晶34中所存的零到參個電子的函數。

圖12是記憶體168的示意圖，此記憶體包括多個可排列成列或行的儲存裝置171-179所形成的陣列170。在圖12中，相同的標號用來代表對應於圖1及圖5至圖9中具有相同功能者。儲存裝置171-179可以是如圖1及圖2中所示之儲存裝置10，亦可以是如圖6至圖9中所示之記憶體單元104、114及128。記憶體168可以相互連接起來，以形成如圖12中所示之隨機存取記憶體。

在圖12中，字組線解碼器78係耦合至字組線79、80及180。汲極/源極解碼器187是經由導線188而連接至驅動器/感測放大器190。驅動器/感測放大器190具有資料輸入/輸出導線192。儲存裝置171、174及177的源極係經由導線195而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (15)

連接至驅動器/感測放大器190。儲存裝置171、174及177的汲極是經導線196而耦合至驅動器/感測放大器190。儲存裝置172、175及178的源極經由導線197而耦合至驅動器/感測放大器190。儲存裝置172、175及178的汲極是經導線198而耦合至驅動器/感測放大器190。儲存裝置173、176及179的源極是經導線199而耦合至驅動器/感測放大器190。儲存裝置173、176及179的汲極是經導線200而耦合至驅動器/感測放大器190。

靠著將陣列170中每一個儲存裝置的源極與汲極透過導線而耦合至驅動器/感測放大器190，在源極及汲極上的電位才可以被短路在一起或者才可以有各自的電位。通過儲存裝置171-179的電流可以由驅動器/感測放大器190偵測，該驅動器/感測放大器具有在第一電位的閘極、在第二電位的源極以及在第三電位的汲極。未被選出的儲存裝置之閘極可以在第四電位，其中無電流流過各別的儲存裝置。

控制信號"讀/寫"(Read/Write)是經由導線202而耦合至記憶體控制器204的輸入。信號"抹除"(Erase)是透過導線206而耦合至記憶體控制器204的第二輸入。

位址信號"A1-A4"是透過導線207-210而耦合至記憶體控制器204，而此控制器是經由導線211及212而耦合至位址驅動器214。位址驅動器214是透過導線216而耦合至汲極/源極解碼器187。記憶體控制器204是藉由用以耦合控制信號、"寫"、"讀"及"抹除"的導線219而耦合至字組線驅動器78。記憶體控制器204是藉由用以耦合控制信號、"寫"、"讀"及"抹除"的導線220而耦合至汲極/源極解碼器187。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (16)

雖然本發明中所描述的是一包含至少一毫微結晶或量子點的記憶體單元及包括多個記憶體單元的記憶體，吾人將會明白熟習此項技術之人士可對它們做一些修飾或變動而不會脫離本發明之精神，而本發明之範圍如所附之申請專利範圍所示。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱: 毫微結構記憶體裝置)

所描述的是一種記憶體裝置及包含複數個記憶體裝置的記憶體，其中每一個記憶體裝置已隔開：源極與汲極區域、通道、障礙絕緣層、一毫微結晶或複數個毫微結晶、控制障礙層、以及閘電極。可以是電子點的毫微結構會以室溫來儲存一電子或電洞或一部分電子或電洞，以便提供超過熱電壓的臨限電壓移動，俾使所儲存的電子或電洞各有變化。本發明利用庫倫阻礙於電氣地將至少一儲存起來的電子或電洞耦合至一通道，而避免掉用以偵知儲存電荷的路徑中庫倫阻礙所控制之導通。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱: "NANO-STRUCTURE MEMORY DEVICE")

A memory device and memory incorporating a plurality of the memory devices is described wherein each memory device has spaced apart source and drain regions, a channel, a barrier insulating layer, a nanocrystal or a plurality of nanocrystals, a control barrier layer, and a gate electrode. The nanocrystal which may be a quantum dot, stores one electron or hole or a discrete number of electrons or holes at room temperature to provide threshold voltage shifts in excess of the thermal voltage for each change in electron or hole stored. The invention utilizes Coulomb blockade in electrostatically coupling one or more stored electrons or holes to a channel while avoiding in-path Coulomb-blockade controlled conduction for sensing the stored charge.

六、申請專利範圍

1. 一種用以儲存k個電子或電洞的記憶體單元，其k是整數零或大於零之整數，以顯示數據，該單元包括：
 - 一半導體通道；
 - 第一絕緣物層，其形成在該半導體通道上；
 - 第一毫微結晶，其形成在該第一絕緣物層上，該第一毫微結晶係電氣浮動且電容性地藉由庫倫阻礙而耦合至該半導體通道；
 - 第二絕緣物層，其形成在該第一毫微結晶上；以及
 - 一閘極，其形成在該第二絕緣物層上。
2. 根據申請專利範圍第1項之記憶體單元，尚包括一用以偵知該半導體通道導通的電路。
3. 根據申請專利範圍第1項之記憶體單元，尚包括一用以偵測在該通道中之電流存在的電路，而其偵測時機是在一預定的電壓施加在該閘極電極之時。
4. 根據申請專利範圍第3項之記憶體單元，尚包括一用以放大並量測通過該通道的電流。
5. 根據申請專利範圍第1項之記憶體單元，尚包括一在該通道一側的源極區域。
6. 根據申請專利範圍第5項之記憶體單元，尚包括一在通道另一側的汲極區域，其中該通道係在該閘極電極之下。
7. 根據申請專利範圍第1項之記憶體單元，其中該第一毫微結晶是一量子點。
8. 根據申請專利範圍第1項之記憶體單元，其中該半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

- 通道、該第一絕緣物層、該第一毫微結晶及第二絕緣物的尺寸可提供一臨限電壓移動量給儲存於其內之每一電子或電洞用，而該移動量等於或大於供熱電壓用之臨限電壓移動量。
9. 根據申請專利範圍第1項之記憶體單元，尚包括複數個彼此隔開且在該第一絕緣物層上之第一毫微結晶。
 10. 根據申請專利範圍第9項之記憶體單元，其中該複數個毫微結晶係排列成陣列。
 11. 根據申請專利範圍第10項之記憶體單元，其中該陣列是一維陣列。
 12. 根據申請專利範圍第10項之記憶體單元，其中該陣列是二維陣列。
 13. 根據申請專利範圍第1項之記憶體單元，尚包括複數個在一絕緣物材料中彼此間隔開的第一毫微結晶，以便形成該等第一毫微結晶的三維陣列於該第一絕緣物層上。
 14. 根據申請專利範圍第1項之記憶體單元，其中該第一及第二絕緣物層係一選自由氧化矽、氮化矽、氟化鈣、砷化鎵鋁及砷化鎵銻所組成之群組的介電材料。
 15. 根據申請專利範圍第1項之記憶體單元，其中該第一及第二絕緣物層是氧化矽，而該毫微結晶是矽。
 16. 根據申請專利範圍第1項之記憶體單元，其中該第一及第二絕緣物是比該砷比鎵的帶隙還要寬的帶隙材料，以及該毫微結晶是砷化鎵。
 17. 根據申請專利範圍第16項之記憶體單元，其中該第一及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

第二絕緣物是選自由砷化鎵鋁及砷化鎵銻所組成之群組。

18. 根據申請專利範圍第1項之記憶體單元，其中該毫微結晶是一自矽、鍺化矽、鍺、碳化矽、砷化鎵及砷化銻所組成之群組的材料。
19. 一種用以儲存k個電子或電洞的記憶體單元，其中該k是整數零或大於零之整數，以顯示數據，該單元包括：
 - 一半導體通道；
 - 第一絕緣物層，其形成在該半導體通道上；
 - 第一毫微結晶，其形成在該第一絕緣物層上，該第一毫微結晶係電氣浮動且電容性地而耦合至該具有庫倫阻礙能量的半導體通道，該能量大於熱電壓；
 - 第二絕緣物層，其形成在該第一毫微結晶上；
 - 第二毫微結晶，其形成在該第二絕緣物層上，該第二毫微結晶係電氣浮動地且電容性地耦合至該具有庫倫阻礙能量的半導體通道，該能量大於該熱電壓；
 - 第三絕緣物層，其形成在該第二毫微結晶上；以及
 - 一閘極電極，其形成在該第三絕緣物層上。
20. 根據申請專利第19項之記憶體單元，其中該第一、第二及第三絕緣物層是一選自由氧化矽、氮化矽、氟化鈣、砷化鎵鋁及砷化鎵銻所組成之群組的介電材料。
21. 根據申請專利範圍第19項之記憶體單元，其中該第一、第二及第三絕緣物層是氧化矽，而該第一及第二毫微結晶是矽。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

22. 根據申請專利範圍第19項之記憶體單元，其中該第一、第二及第三絕緣物是比該砷比鎵之帶隙還要寬的帶隙材料，而該第一及第二毫微結晶是砷化鎵。
23. 根據申請專利範圍第22項之記憶體單元，其中該第一、第二及第三絕緣物是選自由砷化鎵鋁及砷化鎵銻所組成之群組。
24. 根據申請專利範圍第19項之記憶體單元，其中該第一及第二毫微結晶是一選自由矽、鍺化矽、鍺、碳化矽、砷化鎵及砷化銻所組成之群組的材料。
25. 根據申請專利範圍第19項之記憶體單元，尚包括第一複數個彼此隔開的且在該第一絕緣物層上的第一毫微結晶。
26. 根據申請專利範圍第25項之記憶體單元，尚包括第二複數個彼此隔開的且在該第二絕緣物層上的第二毫微結晶。
27. 根據申請專利範圍第26項之記憶體單元，尚包括第三複數個彼此間隔在第四絕緣物層上的第三毫微結晶，該第四絕緣物及該複數個第三毫微結晶係位於該複數個第二毫微結晶與該第三絕緣層之間。
28. 一種記憶體，其包括：
複數個儲存裝置，其用以儲存電子或電洞，每一儲存裝置具有一閘極電極、源極區域、汲極區域、通道、該通道上之障礙物絕緣層、一該障礙物絕緣物層上之毫微結晶、該毫微結晶上之控制絕緣物層、以及在該控制絕

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

緣物層上之閘極電極；

該複數個儲存裝置，渠等排列成列及行；

在每一列中之每一個儲存裝置的該閘極電極係耦合在一起並耦合至一字組線解碼器；

在每一行中之每一儲存裝置的該源極區域係耦合在一起並耦合至一字元線解碼器；以及

在每一行中之每一儲存裝置的該汲極區域係耦合在一起並耦合至一用以感測在其輸入上之資料的感測放大器。

29. 根據申請專利範圍第28項之記憶體單元，尚包括複數個彼此間隔開而在該障礙物絕緣物層上的毫微結晶。
30. 根據申請專利範圍第28項之記憶體單元，尚包括複數個彼此間隔開而在一絕緣物材料上的毫微結晶，以便形成三維陣列的毫微結晶於該障礙物絕緣物層上。
31. 根據申請專利範圍第28項之記憶體單元，其中該障礙物絕緣物層及該控制絕緣物層是一選自由氧化矽、氮化矽、氟化鈣、砷化鎵鋁及砷化鎵銻所組成之群組的介電材料。
32. 根據申請專利範圍第28項之記憶體單元，其中該障礙物絕緣物層及該控制絕緣物層是氧化矽，而該毫微結晶是矽。
33. 根據申請專利範圍第28項之記憶體單元，其中該障礙物絕緣物層及該控制絕緣物層是帶隙較砷化鎵帶隙更寬的帶隙材料，而該毫微結晶是砷化鎵。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

34. 根據申請專利範圍第33項之記憶體單元，其中該障礙物絕緣物層及該控制絕緣物層是選自由砷化鎵鋁及砷化鎵銻所組成之群組。
35. 根據申請專利範圍第28項之記憶體單元，其中該毫微結晶是一自矽、鍺化矽、鍺、碳化矽、砷化鎵及砷化銻所組成之群組的材料。
36. 一種記憶體，包括：
- 複數個儲存裝置，其用以儲存電子或電洞，每一儲存裝置具有一閘極電極、源極區域、汲極區域、通道、該通道上之障礙物絕緣層、一該障礙物絕緣物層上之毫微結晶、該毫微結晶上之控制絕緣物層、以及在該控制絕緣物層上之閘極電極；
- 該複數個儲存裝置，渠等排列成列及行；
- 在每一列中之每一個儲存裝置的該閘極電極係耦合在一起並耦合至一字組線解碼器；
- 在每一行中之每一儲存裝置的該源極區域係耦合在一起並耦合一行解碼器的輸入；
- 在每一行中之每一儲存裝置的該汲極區域係耦合在一起並耦合至一該行解碼器的輸入；以及
- 一放大器，其耦合至該用以感測資料的行解碼器。
37. 一種形成記憶體裝置的方法，包括以下步驟：
- 選擇一基質；
- 形成一層半導體材料在該基質上；
- 形成一具有厚度的第一層絕緣物，以形成一射入絕緣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

物；

形成一毫微結晶於該第一層絕緣物上；

形成第二層絕緣物於該毫微結晶上，以便當成一控制絕緣物來用；

形成一閘極電極層於該第二層絕緣物上；以及

蝕刻該第一層、毫微結晶、第二層及閘極電極層，以形成一閘極堆疊於該層半導體材料的通道區域上。

38. 根據申請專利範圍第37項之方法，其中該形成毫微結晶的步驟包括形成複數個彼此間隔開來之毫微結晶於該第一層絕緣物上。

39. 根據申請專利範圍第38項之方法，其中該毫微結晶的步驟包括形成複數個彼此間隔開來之毫微結晶於一絕緣物材料上，以形成三維陣列的毫微結晶於該第一層絕緣物上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

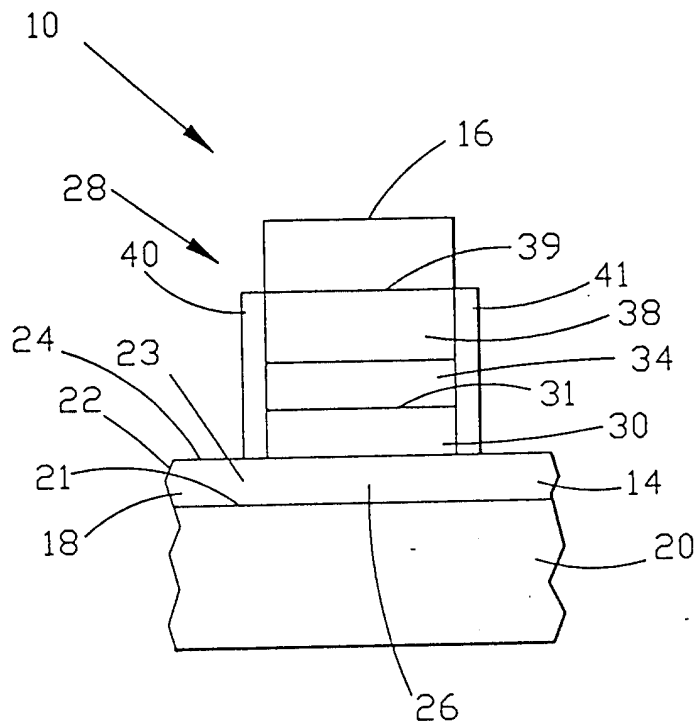


圖 1

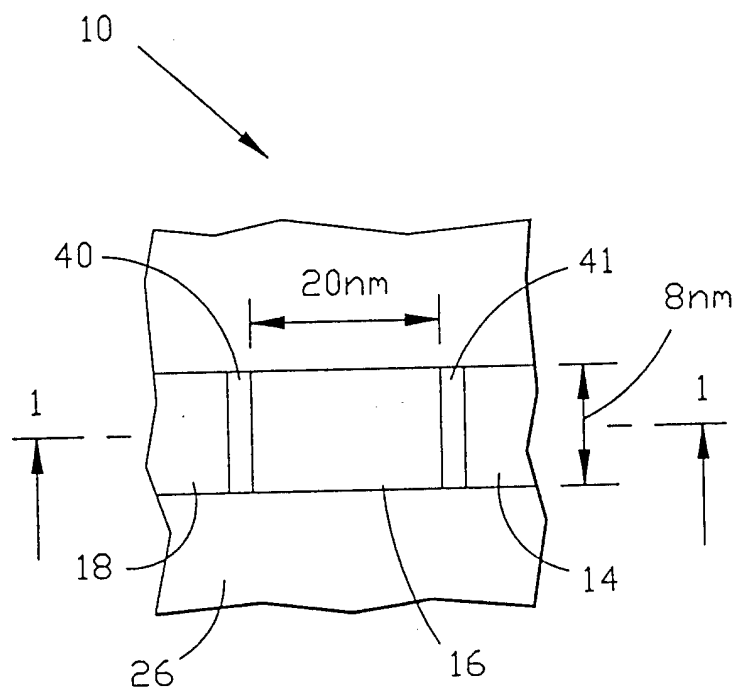


圖 2

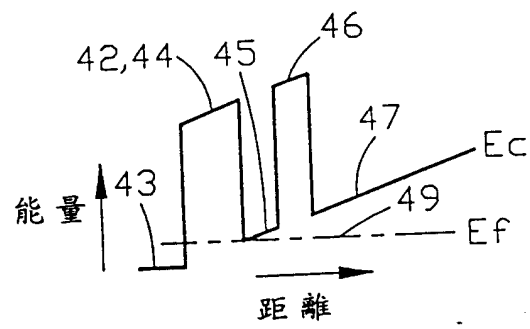


圖 3

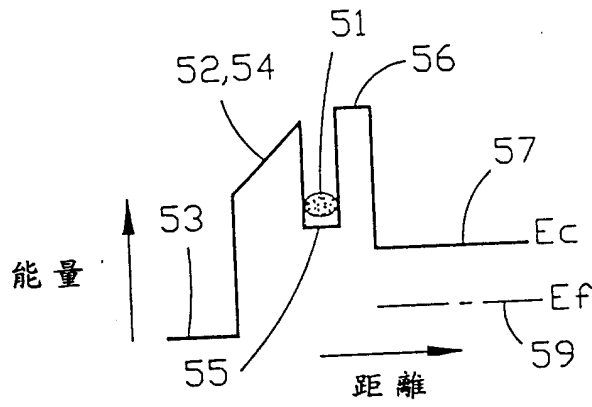


圖 4

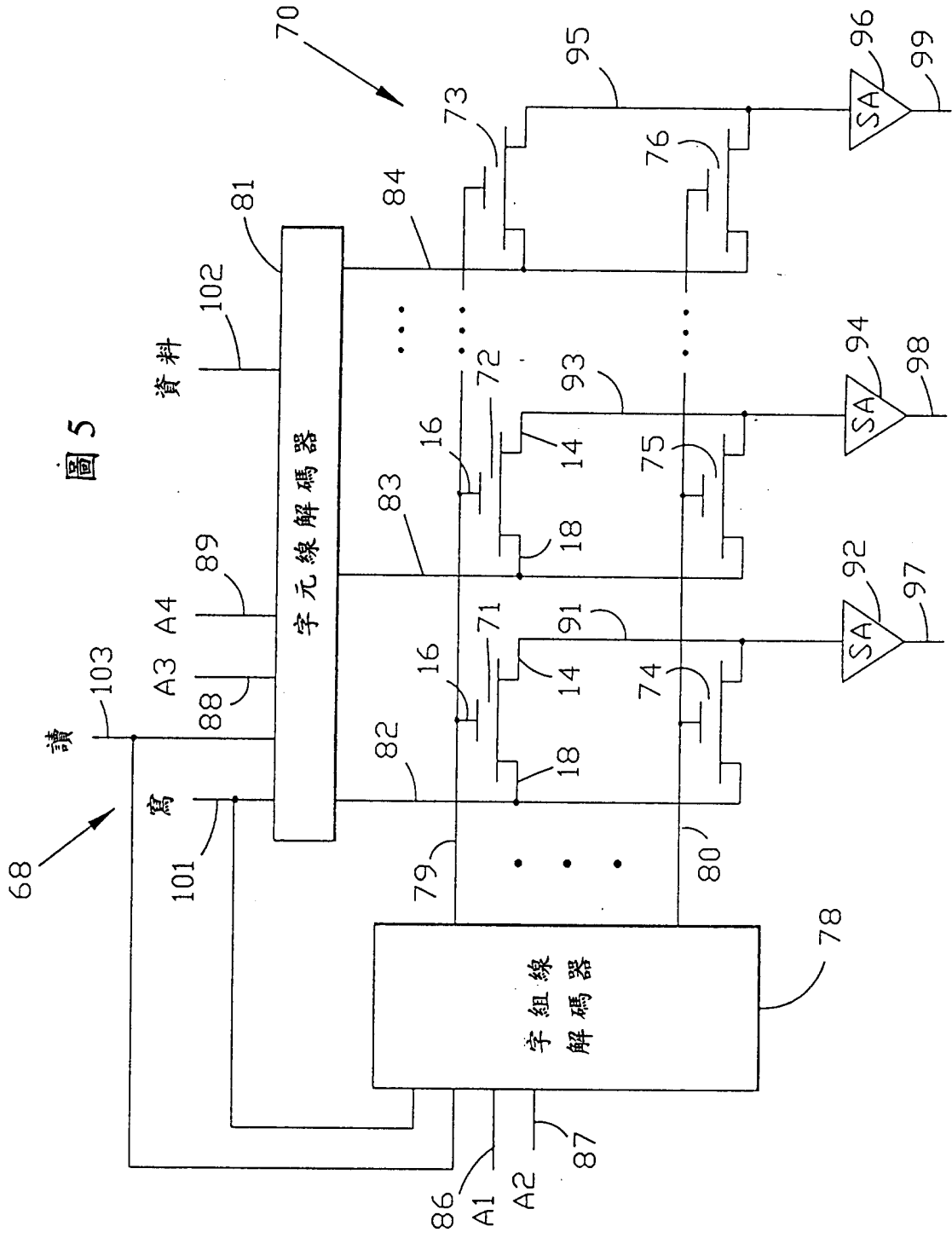


圖 5

68

讀

寫

A3 A4

資料

字元線解碼器

字組線解碼器

Figure 5 is a circuit diagram of a word line decoder. The diagram shows a word line decoder (78) receiving address signals A1, A2, and A3. It outputs signals 86, 87, and 88. Signal 88 is connected to a word line decoder (101) which also receives address signals A3 and A4. The word line decoder (101) outputs signals 89 and 90. These signals are connected to a word line decoder (70) which consists of a grid of transistors (71, 72, 73, 74, 75, 76) and inverters (82, 83, 84). The output of the word line decoder (70) is connected to a word line decoder (95) which consists of a grid of transistors (91, 92, 93, 94, 95, 96) and inverters (74, 75, 76). The output of the word line decoder (95) is connected to a word line decoder (97) which consists of a grid of transistors (97, 98, 99) and inverters (92, 93, 94).

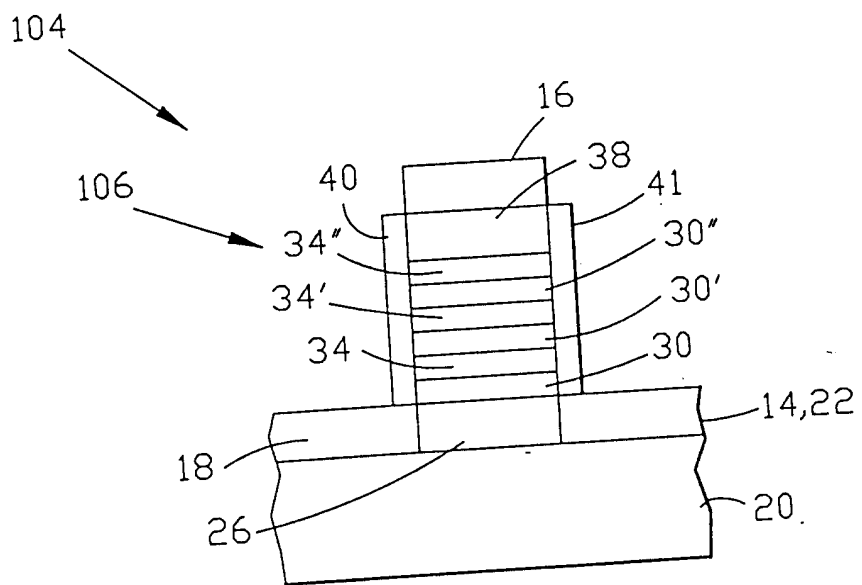


圖 6

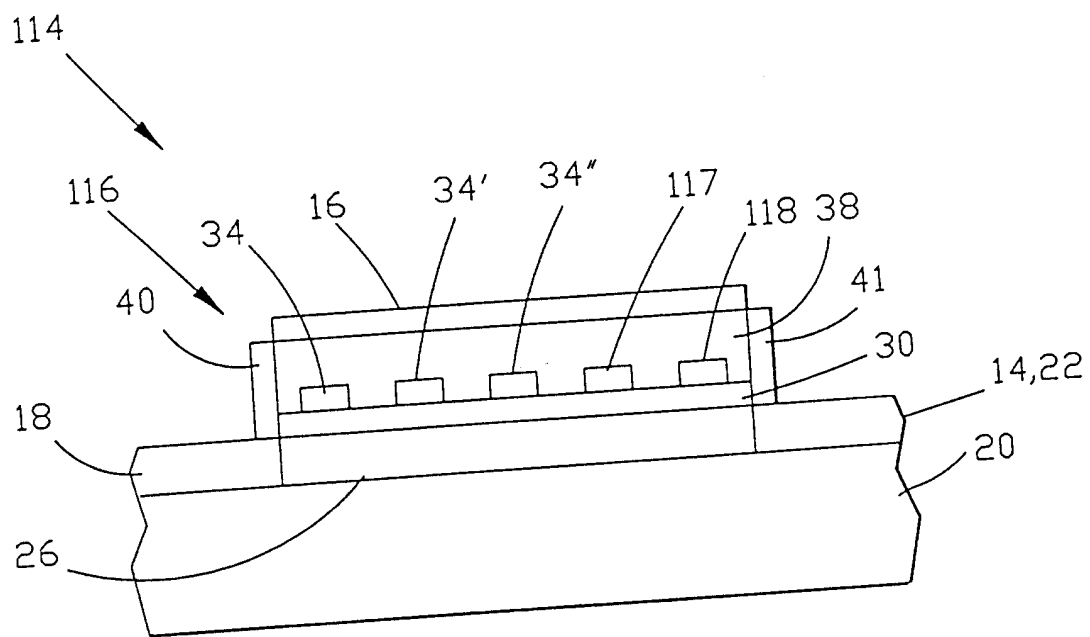


圖 7

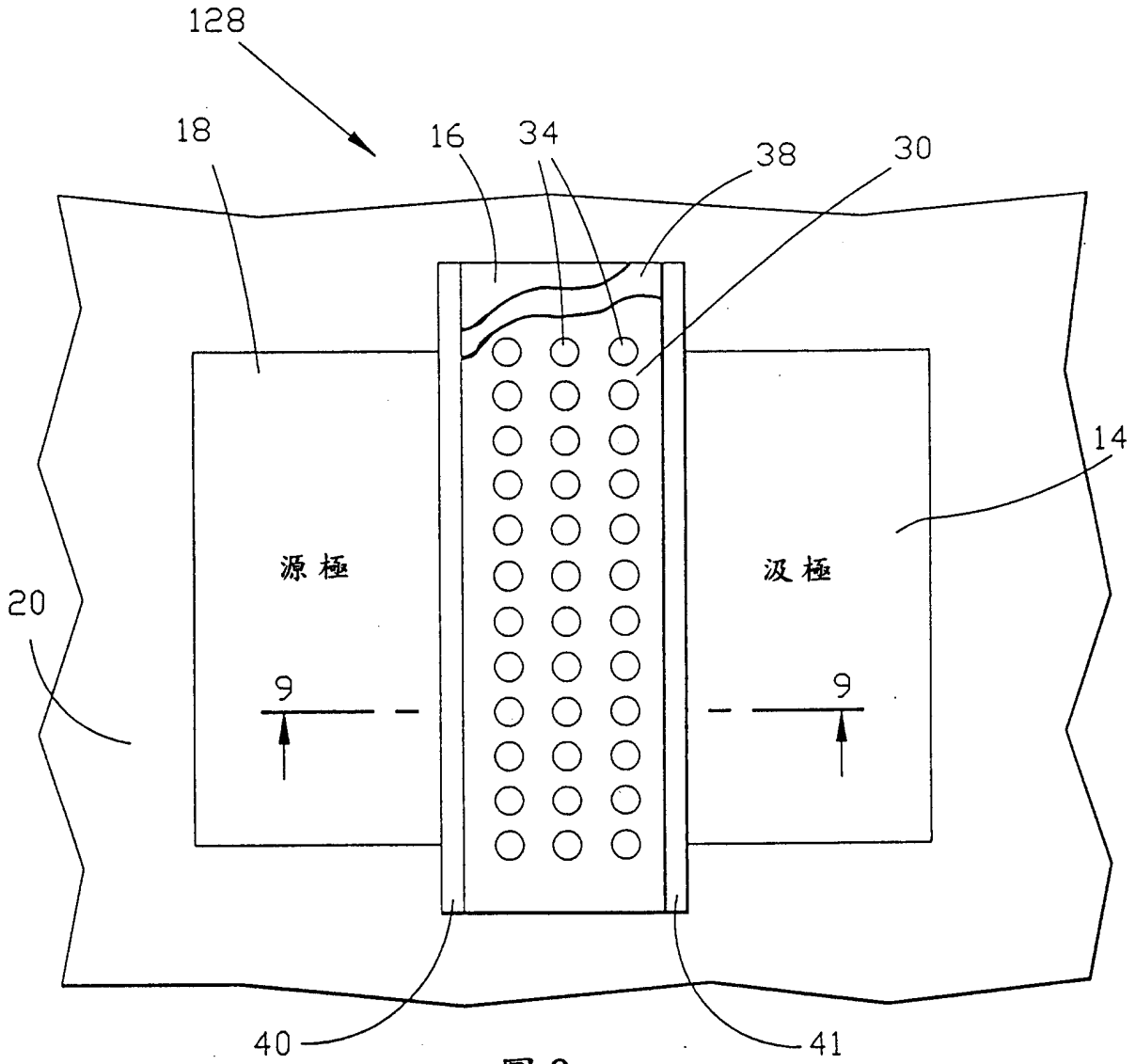


圖 8

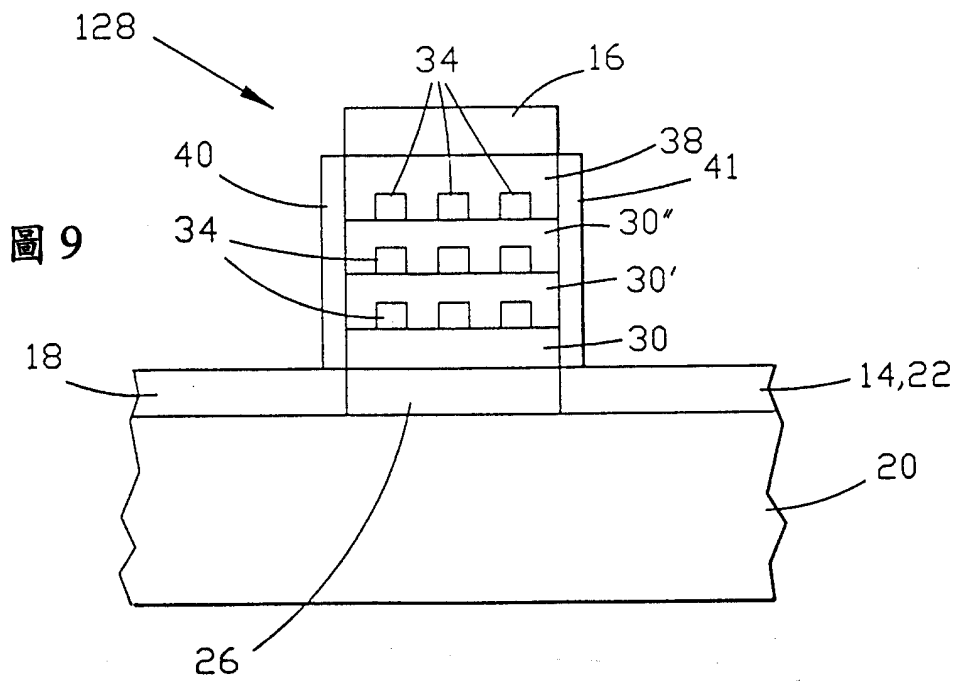


圖 9

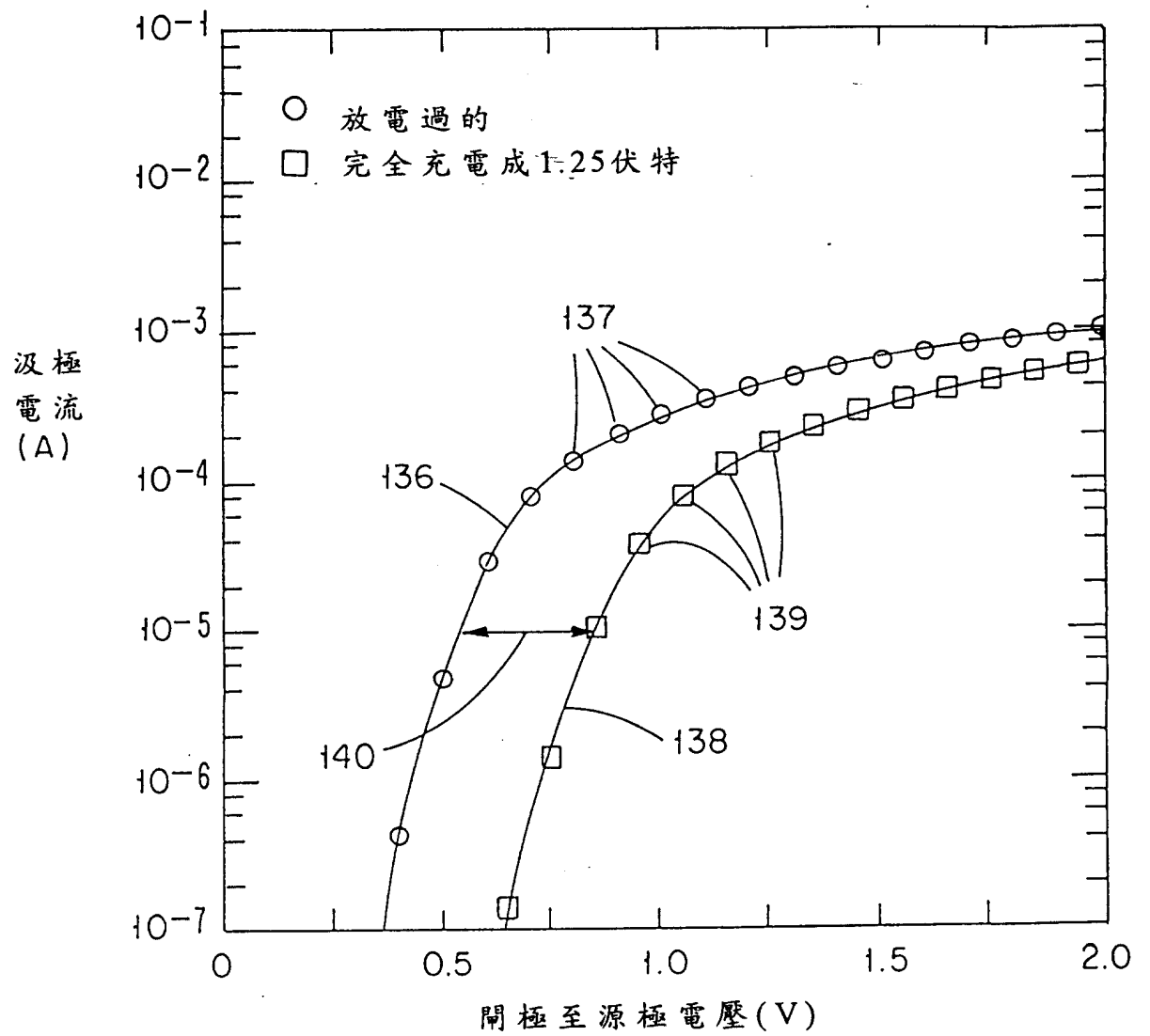


圖 10

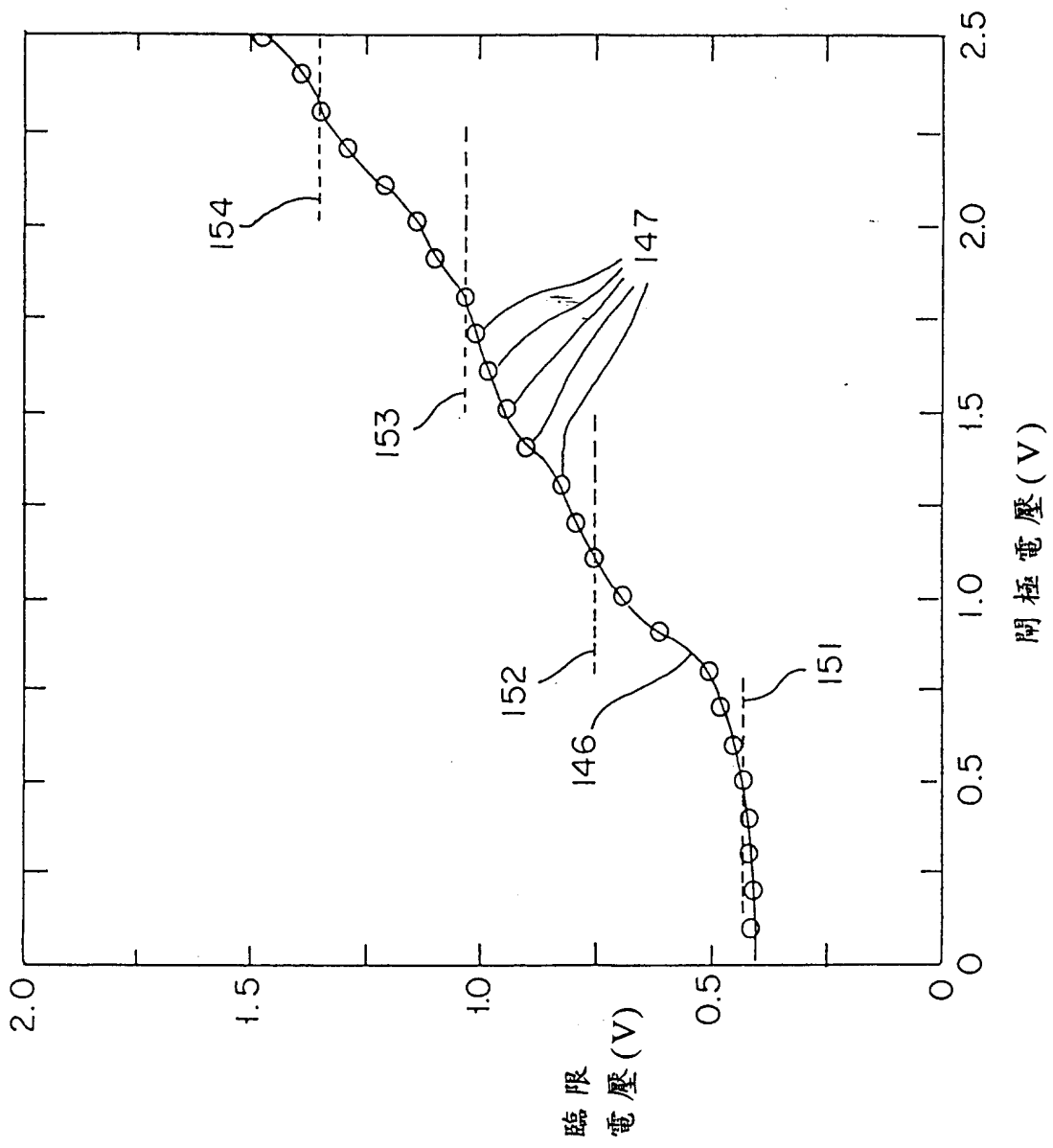


圖11

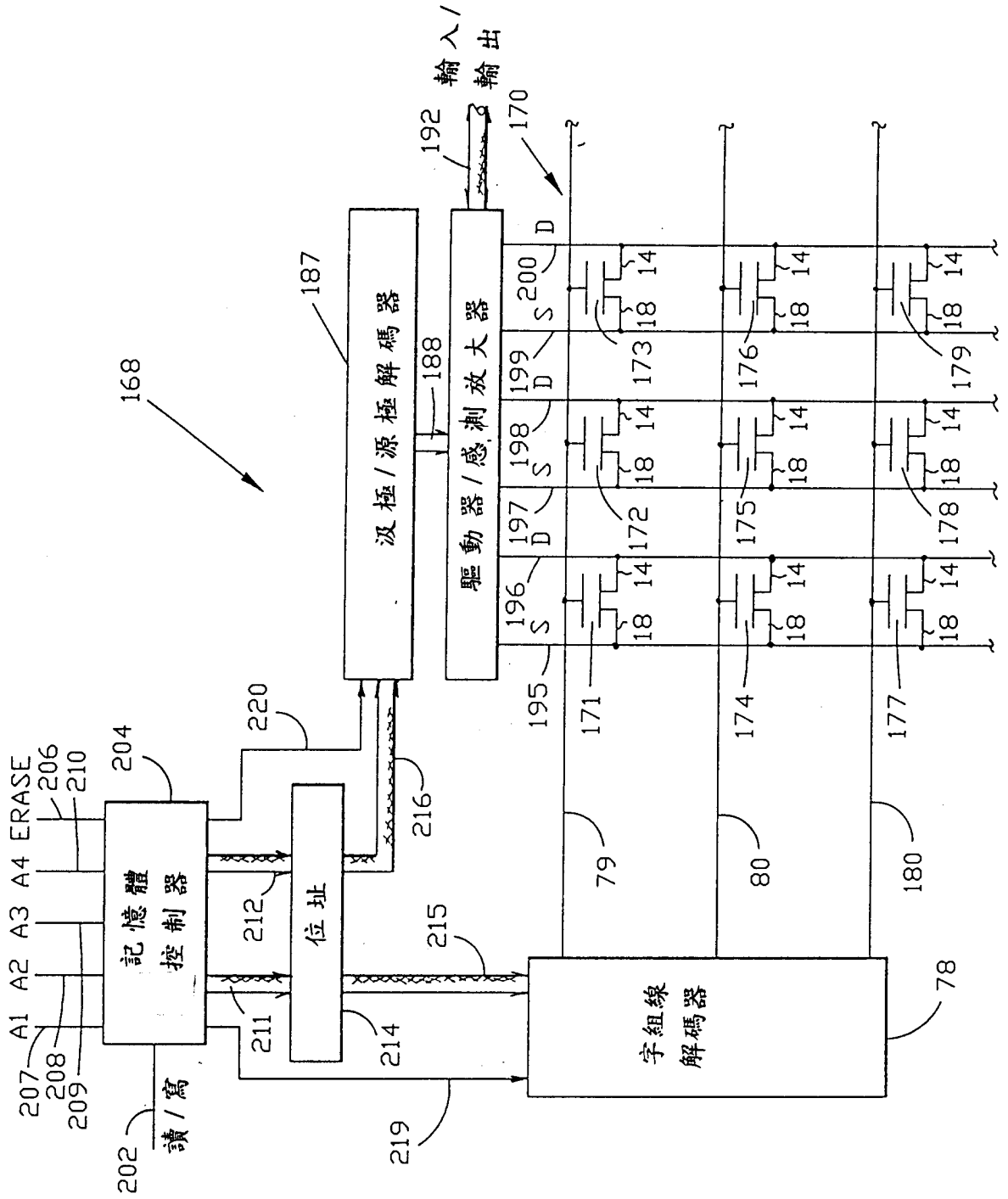


圖 12