

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局



(10) 国际公布号  
**WO 2015/188492 A1**

(43) 国际公布日  
2015年12月17日 (17.12.2015)

- (51) 国际专利分类号:  
G02F 1/136 (2006.01)
- (21) 国际申请号: PCT/CN2014/086814
- (22) 国际申请日: 2014年9月18日 (18.09.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201420317656.1 2014年6月13日 (13.06.2014) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。
- (72) 发明人: 程鸿飞 (CHENG, Hongfei); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 乔勇 (QIAO, Yong); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 先建波 (XIAN, Jianbo); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 李文波 (LI, Wenbo); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

(CN)。 李盼 (LI, Pan); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,

[见续页]

(54) Title: ARRAY SUBSTRATE AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及显示装置

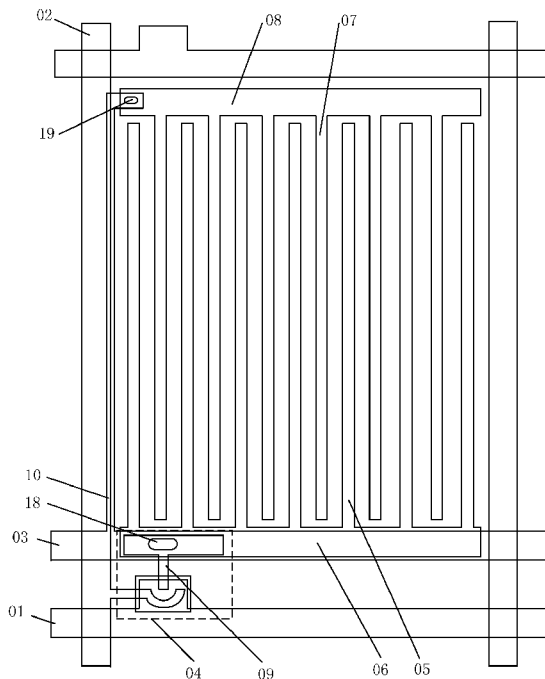


图2 / Fig. 2

(57) Abstract: Disclosed are an array substrate and a display device. A common electrode line having the same extension direction as a gate line is disposed at the end close to a thin film transistor, and a storage capacitor is formed by the common electrode line and a drain of the thin film transistor. Compared with the prior art in which a common electrode line and a thin film transistor in an array substrate are respectively disposed at two ends of a pixel, and a storage capacitor electrode needs to be disposed separately to form a storage capacitor together with the common electrode line, the pixel area occupied by the thin film transistor and the common electrode line can be effectively reduced, the aperture ratio is increased, and the display brightness of the IPS liquid crystal display device is improved.

(57) 摘要: 本发明的实施例公开了一种阵列基板及显示装置, 将与栅线延伸方向相同的公共电极线设置在靠近薄膜晶体管的一端, 且与薄膜晶体管的漏极形成存储电容, 相较于现有技术中将阵列基板中的公共电极线与薄膜晶体管分别设置在像素的两端, 需要单独设置存储电容电极与公共电极线形成存储电容, 可以有效地减少薄膜晶体管与公共电极线占用的像素区域, 增大开口率, 提高了IPS液晶显示装置的显示亮度。

WO 2015/188492 A1

IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

**本国际公布:**  
— 包括国际检索报告(条约第 21 条(3))。

## 阵列基板及显示装置

### 技术领域

5 本发明的实施例涉及一种阵列基板及显示装置。

### 背景技术

10 目前，液晶显示技术被广泛应用于电视、手机以及公共信息的显示，其画面质量是这些产品成功的重要条件，而决定画面质量的众多参数里，液晶显示亮度是一个重要的参数标准。

在现有技术中，平面转换（IPS，In Plane Switching）的液晶显示模式的显示装置的阵列基板的最大特点就是它的像素电极与公共电极都在同一个平面上，即公共电极和像素电极同层设置。现有 IPS 模式液晶显示装置的阵列基板的结构，如图 1 所示，主要包括：栅线 1、数据线 2、薄膜晶体管 3、像素电极连接部 4、像素电极 5、公共电极 6、公共电极连接部 7 及公共电极线 8。相邻栅线与相邻数据线定义的区域为像素区域；像素电极与公共电极在像素区域内同层且间隔设置；薄膜晶体管 3 的栅极与栅线 1 相连、源极与数据线 2 相连、漏极 9 与像素电极连接部 4 相连；公共电极线 8 通过过孔与公共电极连接部 7 相连。为了保证像素电极在一帧画面的时间内电压相对恒定，且因为像素电极 5 与公共电极连接部 7 为同层设置，它们之间不能设置存储电容，需要一个单独的区域设置存储电容，比如在靠近薄膜晶体管 3 的一端设置存储电容电极 91，并将公共电极线 8 的一个分支 81 引入到薄膜晶体管 3 附近，这样公共电极线 8 与该存储电容电极 91 形成存储电容。这样的结构造成公共电极线 8 与薄膜晶体管 3 所占区域过多的占用了像素区域，使开口率降低，减少了透光率，影响了液晶显示装置的显示亮度。

25 因此，如何提高 IPS 模式液晶显示装置的开口率，是本领域技术人员亟待解决的问题。

### 发明内容

30 本发明实施例提供了一种阵列基板及显示装置，用以解决现有技术中存

在的 IPS 液晶显示装置开口率小的问题。

根据本发明的一个实施例提供一种阵列基板，包括栅线、数据线和公共电极线，相邻的所述栅线和相邻的所述数据线定义的区域为像素；所述像素包括：位于所述栅线和所述数据线的交叉处附近且与所述栅线和所述数据线  
5 分别电性相连的薄膜晶体管，多个像素电极，连接多个所述像素电极的像素电极连接部，与所述像素电极同层设置且间隔设置的多个公共电极，以及连接多个所述公共电极的公共电极连接部，其中：

所述公共电极线与所述栅线的延伸方向相同，且位于所述像素的靠近所述薄膜晶体管的一端，与所述薄膜晶体管的漏极形成存储电容；

10 所述像素还包括：用于电性连接所述公共电极线与各所述公共电极的导线。

在一个示例中，所述导线通过所述公共电极连接部与所述公共电极电性相连。

15 在一个示例中，所述导线在所述阵列基板上的正投影位于所述数据线所在区域内。

在一个示例中，所述导线与所述数据线的延伸方向相同，且所述导线在所述阵列基板上的正投影位于所述数据线与相邻的所述像素电极之间。

在一个示例中，所述导线在所述阵列基板上的正投影部分地位于所述数据线所在区域内。

20 在一个示例中，所述导线为一个，且位于所述像素的靠近所述薄膜晶体管的一端。

在一个示例中，所述像素还包括：位于远离所述薄膜晶体管的一端的屏蔽电极线；

所述屏蔽电极线与所述数据线的延伸方向相同；

25 所述屏蔽电极线在所述阵列基板上的正投影位于所述数据线与相邻的所述像素电极之间，或所述屏蔽电极线在所述阵列基板上的正投影位于所述数据线所在区域内，或所述屏蔽电极线在所述阵列基板上的正投影部分位于所述数据线所在区域内。

30 在一个示例中，所述屏蔽电极线的一端与所述公共电极线电性相连；或，所述屏蔽电极线的另一端与所述公共电极连接部电性相连；或，

所述屏蔽电极线的两端悬空设置。

在一个示例中，所述屏蔽电极线和所述导线与公共电极线同层设置。

在一个示例中，所述像素电极和所述公共电极均为沿平行于数据线的方向延伸的条状电极，所述多个像素电极和所述多个公共电极交替分布。

5 在一个示例中，所述像素电极连接部沿平行于栅线的方向延伸，且将所述多个像素电极的靠近所述薄膜晶体管的端部连接在一起；所述公共电极连接部沿平行于栅线的方向延伸，且将所述多个公共电极的远离所述薄膜晶体管的端部连接在一起。

10 本发明实施例提供了一种显示装置，包括本发明实施例提供的所述的阵列基板。

#### 附图说明

15 为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1 为现有技术中 IPS 液晶显示装置阵列基板结构示意图；

图 2 为本发明提供的阵列基板结构示意图；

图 3 为本发明提供的阵列基板详细结构示意图；

图 4 为本发明提供的阵列基板详细结构示意图沿 B-B 剖面结构示意图；

20 图 5 为本发明提供的阵列基板详细结构示意图沿 A-A 剖面结构示意图；

图 6 为本发明提供的阵列基板详细结构示意图沿 C-C 剖面结构示意图。

#### 具体实施方式

25 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

30 附图中各膜层的厚度和区域的大小形状不反映阵列基板各部件的真实比例，目的只是示意说明本发明的内容。

本发明提供了一种阵列基板，如图 2 所示，包括栅线 01、数据线 02 和公共电极线 03，相邻的栅线 01 和相邻的数据线 02 定义的区域为像素；

像素包括：位于栅线 01 和数据线 02 的交叉区域且与栅线 01 和数据线 02 分别电性相连的薄膜晶体管 04。例如，薄膜晶体管 04 的栅极与栅线 01 连接，薄膜晶体管 04 的源极与数据线 02 连接。多个像素电极 05，连接多个所述像素电极的像素电极连接部 06，与像素电极 05 同层设置且间隔设置的多个公共电极 07，以及连接多个公共电极 07 的公共电极连接部 08；

公共电极线 03 与栅线 01 的延伸方向相同，且位于靠近薄膜晶体管的一端，与薄膜晶体管 04 的漏极 09 形成存储电容，一般地，薄膜晶体管 04 的漏极 09 通过过孔 18 与像素电极连接部 06 相连；

像素还包括：用于电性连接公共电极线 03 与各公共电极 07 的导线 10，一般地，导线 10 通过过孔 19 与公共电极连接部 08 相连。

例如，在阵列基板中，像素电极 05 和公共电极 07 均为沿平行于数据线 02 的方向延伸的条状电极，多个像素电极 05 和多个公共电极 07 交替分布。

例如，像素电极连接部 06 沿平行于栅线 01 的方向延伸，且将多个像素电极 05 的靠近薄膜晶体管 04 的端部连接在一起；公共电极连接部 08 沿平行于栅线 01 的方向延伸，且将所述多个公共电极 07 的远离薄膜晶体管 04 的端部连接在一起。

现有技术中将阵列基板中的公共电极线 03 与薄膜晶体管 04 分别设置在像素的两端，需要单独设置存储电容电极与公共电极线 03 形成存储电容。本发明实施例提供的上述阵列基板中，将与栅线 01 延伸方向相同的公共电极线 03 设置在靠近薄膜晶体管的一端，且与薄膜晶体管 04 的漏极 09 形成存储电容，相较于现有技术，可以有效地减少薄膜晶体管 04 与公共电极线 03 占用的像素区域，增大开口率，提高了 IPS 液晶显示装置的显示亮度，且公共电极线 03 与薄膜晶体管 04 的漏极 09 形成存储电容，可以保证像素电极 05 在一帧画面期间的电压相对恒定，保证了 IPS 液晶显示装置显示的画面质量。

在具体实施时，本发明实施例提供的上述阵列基板中，公共电极线 03 可以通过导线 10 与公共电极连接部 08 电性相连，如图 2 所示；公共电极线 03 还可以直接通过导线 10 与公共电极 07 相连，即公共电极线 03 不通过公共电极连接部 08，在与各公共电极 07 相对应的地方引出导线 10 直接与各公

公共电极 07 相连。公共电极线 03 通过导线 10 与公共电极连接部 08 相连，可以在信号传输时将信号直接传输到公共电极连接部 08，进而传输到各公共电极 07；若公共电极线 03 与各公共电极 07 直接相连，则可以在信号传输时将信号直接传输给公共电极 07，此种方式信号传输线比较短，信号传输较快。

5 在实际应用时，可以根据需要设置导线的连接关系，在此不做限定。

以下都是以导线 10 与公共电极连接部 08 电性相连为例进行说明。一般地，将导线 10 设置为与数据线 02 的延伸方向相同。

例如，本发明实施例提供的上述阵列基板中，数据线 02 会与像素电极 05 处于相邻的关系，如图 3 和图 4 所示，这样数据线 02 的电压变化会对相邻的像素电极 05 的电压造成干扰，因此，为了解决该问题，在具体实施时，  
10 可以利用导线 10 来屏蔽数据线 02 的电压变化对相邻像素电极 05 的干扰。

例如，可以将导线 10 设置为在阵列基板上的正投影位于数据线 02 所在区域内，即导线 10 在阵列基板的正投影完全落入数据线 02 在阵列基板的正投影区域内；或者，将导线 10 设置为在阵列基板上的正投影位于数据线 02 与相邻的像素电极 05 之间；或者，将导线 10 设置为在阵列基板上的正投影部分位于数据线 02 所在区域内，在此不作限定。在具体实施时，在导线 10 设置在阵列基板的方式为上述任一种方式时，导线 10 不但可以作为连接公共电极线 03 和公共电极的导线，从而进行公共电极信号的传输；还可以作为屏蔽数据线 02 的电压变化对像素电极 05 的电压干扰的屏蔽电极，保证了 IPS  
15 液晶显示装置显示的画面质量。

在具体实施时，本发明提供的上述阵列基板中，导线 10 的个数可以为一个，也可以为多个，具体地，当设置的导线 10 为两个时，可以将两个导线 10 分别设置在像素内靠近两个数据线 02 的一端，这样两个导线 10 可以分别屏蔽两个数据线 02 对相邻像素电极 05 的信号干扰。

25 当设置的导线 10 为一个时，可以将导线 10 设置为位于像素内靠近薄膜晶体管的一端，这样可以在将公共电极线 03 的公共电极信号传递到公共电极 07 的基础上，尽量减少导线 10 占用像素域的区面积。

进一步地，在导线 10 为一个时，为了避免另一端的数据线 02 对相邻的像素电极 05 产生信号干扰，在具体实施时，如图 3 和图 4 所示，像素还可以  
30 包括位于远离薄膜晶体管 04 的一端的屏蔽电极线 11；该屏蔽电极线 11 与数

数据线 02 的延伸方向相同；且屏蔽电极线 11 在阵列基板上的正投影可以位于数据线 02 与相邻的像素电极 05 之间，屏蔽电极线 11 在阵列基板上的正投影还可以位于数据线 02 所在区域内，屏蔽电极线 11 在阵列基板上的正投影还可以部分位于数据线 02 所在区域内。增加的屏蔽电极线 11 也可以起到屏蔽  
5 数据线 02 的电压变化对相邻像素电极 05 信号干扰的作用。

在具体实施时，本发明提供的上述阵列基板中，如图 3 所示，屏蔽电极线 11 的一端可以与公共电极线 03 电性相连，或者，屏蔽电极线 11 的另一端可以与公共电极连接部 08 电性相连，或者，屏蔽电极线 11 的两端还可以悬空设置，在此不做限定。在具体实施时，本发明实施例提供的上述阵列基板  
10 中，屏蔽电极线 11 可以采用上述任一种方式进行设置，在此不作限定。这样，屏蔽电极线 11 可以屏蔽数据线 02 的电压变化对像素电极 05 的电压造成的干扰，保证了 IPS 液晶显示装置显示画面的质量。

在具体实施时，本发明提供的上述阵列基板中，屏蔽电极线 11 和导线  
10 可以与公共电极线 03 同层设置，在阵列基板制备过程中，可以简化制作工艺，采用一步工艺即可形成屏蔽电极线 11、导线 10 和公共电极线 03 的图形。  
15

下面以上述阵列基板的结构为例，对其制备过程进行详细说明：

步骤一：沉积金属层，对金属层进行图案化工艺（例如，可以包括涂覆光刻胶，曝光显影，刻蚀等）以形成栅线 01，薄膜晶体管的栅极 12、公共电极线 03，导线 10，屏蔽电极线 11，如图 5 所示。栅线 01 和公共电极线 03  
20 可以采用铜、铝、钼等金属材料制备，也可以采用合金材料制备；栅线 01 可以采用单层结构，也可以采用多层结构，在此不作限定。

步骤二：沉积栅绝缘层 13，其中栅绝缘层 13 可以采用氮化硅或氧化硅材料制备；栅绝缘层 13 可以采用单层结构，也可以采用多层结构，栅绝缘层  
25 13 在阵列基板中的结构，如图 5 所示。

步骤三：沉积半导体层，即有源层 14，有源层 14 可以采用非晶硅，或铟镓锌氧化物等氧化物半导体材料制备；对半导体层进行图案化（例如包括涂覆光刻胶、曝光显影、刻蚀等）以形成有源层 14 的图形，有源层 14 在阵列基板中的结构，如图 5 所示。

30 步骤四：沉积金属层，对金属层进行图案化（例如包括涂覆光刻胶，曝



光显影, 刻蚀等) 以形成数据线 02, 薄膜晶体管 04 的源极 15 和漏极 09, 同时还形成了存储电容电极 16, 存储电容电极 16 与薄膜晶体管 04 的漏极 09 为一体结构, 如图 5 所示。

5 步骤五: 沉积钝化层 17, 钝化层 17 可以采用无机物如氮化硅, 或有机物如树脂进行制备; 对钝化层进行图案化工艺 (例如包括涂覆光刻胶, 曝光显影, 刻蚀等) 以并形成第一过孔 18 和第二过孔 19, 如图 5 和图 6 所示。

步骤六: 沉积金属材料或透明金属氧化物导电材料层, 对该材料层进行图案化工艺 (例如包括涂覆光刻胶, 曝光显影, 刻蚀等) 以形成像素电极 05、像素电极连接部 06、公共电极 07 和公共电极连接部 08; 存储电容电极 16  
10 通过第一过孔 18 与像素电极连接部 06 相连, 如图 5 所示; 导线 10 通过第二过孔 19 与公共电极连接部 08 相连, 如图 6 所示。

在具体实施时, 本发明实施例提供的上述阵列基板可以应用于液晶显示面板, 也可以应用于有机电致发光显示面板, 在此不做限定。

15 基于同一发明构思, 本发明实施例还提供了一种显示装置, 包括本发明实施例提供的上述阵列基板, 该显示装置可以是显示器、手机、电视、笔记本、一体机等, 对于显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的, 在此不做赘述, 也不应作为对本发明的限制。

20 本发明实施例提供了一种阵列基板及显示装置, 将阵列基板中与栅线延伸方向相同的公共电极线设置在靠近薄膜晶体管的一端, 且与薄膜晶体管的漏极形成存储电容, 相较于现有技术中将阵列基板中的公共电极线与薄膜晶体管分别设置在像素的两端, 需要单独设置存储电容电极与公共电极线形成存储电容, 可以有效地减少薄膜晶体管与公共电极线占用的像素区域, 增大开口率, 提高了 IPS 液晶显示装置的显示亮度。

25 以上所述仅是本发明的示范性实施方式, 而非用于限制本发明的保护范围, 本发明的保护范围由所附的权利要求确定。

本申请要求于 2014 年 6 月 13 日递交的中国专利申请第 201420317656.1 号的优先权, 在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

## 权利要求书

1、一种阵列基板，包括栅线、数据线和公共电极线，相邻的所述栅线和相邻的所述数据线定义的区域为像素；所述像素包括：位于所述栅线和所述数据线的交叉处附近且与所述栅线和所述数据线分别电性相连的薄膜晶体管，多个像素电极，连接多个所述像素电极的像素电极连接部，与所述像素电极同层设置且间隔设置的多个公共电极，以及连接多个所述公共电极的公共电极连接部，其中：

所述公共电极线与所述栅线的延伸方向相同，且位于所述像素的靠近所述薄膜晶体管的一端，与所述薄膜晶体管的漏极形成存储电容；

所述像素还包括：用于电性连接所述公共电极线与各所述公共电极的导线。

2、如权利要求1所述的阵列基板，其中，所述导线通过所述公共电极连接部与所述公共电极电性相连。

3、如权利要求1或2所述的阵列基板，其中，所述导线在所述阵列基板上的正投影位于所述数据线所在区域内。

4、如权利要求1或2所述的阵列基板，其中，所述导线与所述数据线的延伸方向相同，且所述导线在所述阵列基板上的正投影位于所述数据线与相邻的所述像素电极之间。

5、如权利要求2所述的阵列基板，其中，所述导线在所述阵列基板上的正投影部分地位于所述数据线所在区域内。

6、如权利要求1-5中任一项所述的阵列基板，其中，所述导线为一个，且位于所述像素的靠近所述薄膜晶体管的一端。

7、如权利要求6所述的阵列基板，其中，所述像素还包括：位于远离所述薄膜晶体管的一端的屏蔽电极线；

所述屏蔽电极线与所述数据线的延伸方向相同；

所述屏蔽电极线在所述阵列基板上的正投影位于所述数据线与所述像素电极之间，或所述屏蔽电极线在所述阵列基板上的正投影位于所述数据线所在区域内，或所述屏蔽电极线在所述阵列基板上的正投影部分位于所述数据线所在区域内。

8、如权利要求 7 所述的阵列基板，其中，所述屏蔽电极线的一端与所述公共电极线电性相连；或，

所述屏蔽电极线的另一端与所述公共电极连接部电性相连；或，

所述屏蔽电极线的两端悬空设置。

5 9、如权利要求 8 所述的阵列基板，其中，所述屏蔽电极线和所述导线与公共电极线同层设置。

10、如权利要求 1 所述的阵列基板，其中，所述像素电极和所述公共电极均为沿平行于数据线的方向延伸的条状电极，所述多个像素电极和所述多个公共电极交替分布。

10 11、如权利要求 10 所述的阵列基板，其中，所述像素电极连接部沿平行于栅线的方向延伸，且将所述多个像素电极的靠近所述薄膜晶体管的端部连接在一起；所述公共电极连接部沿平行于栅线的方向延伸，且将所述多个公共电极的远离所述薄膜晶体管的端部连接在一起。

12、一种显示装置，包括如权利要求 1-11 中任一项所述的阵列基板。

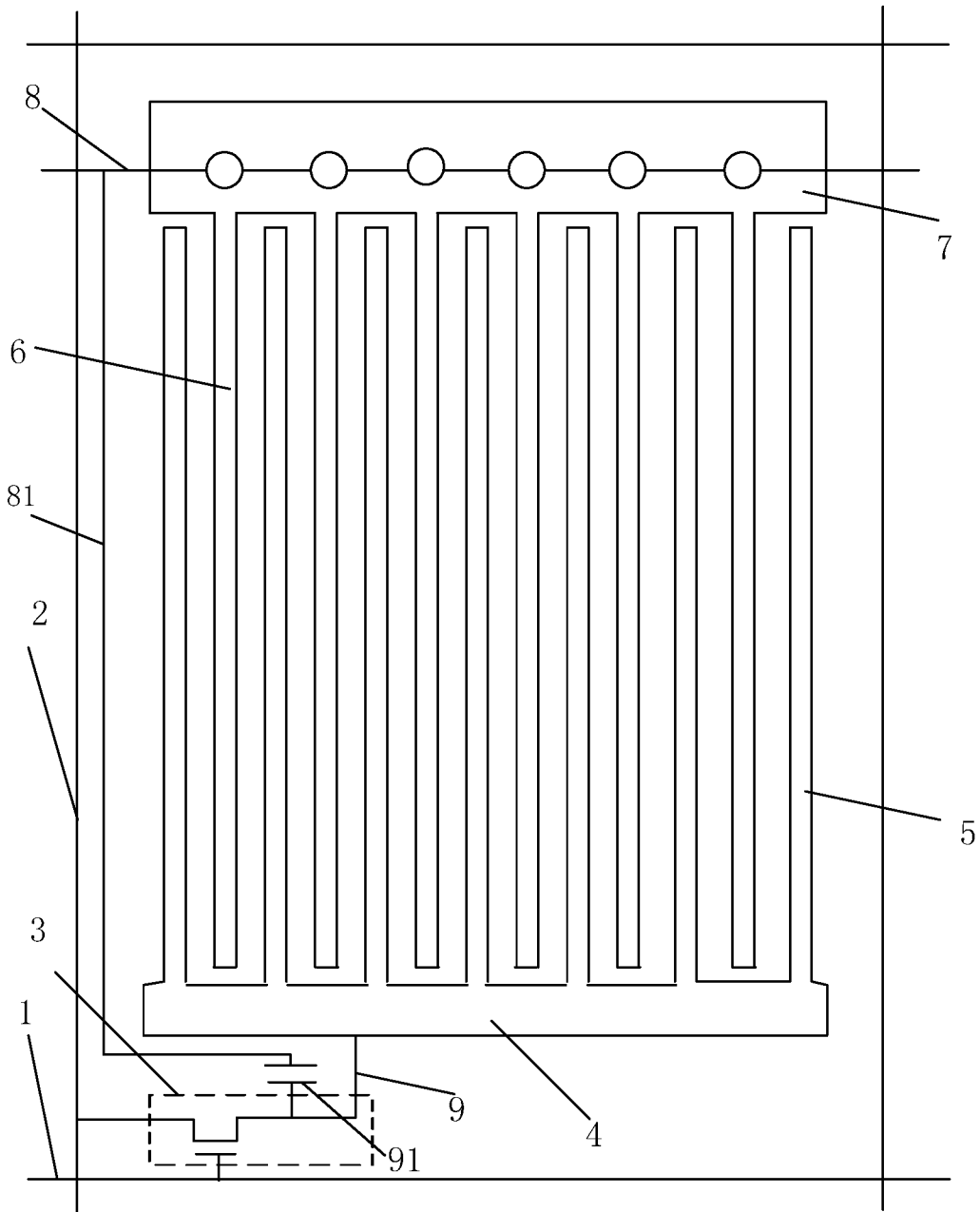


图 1

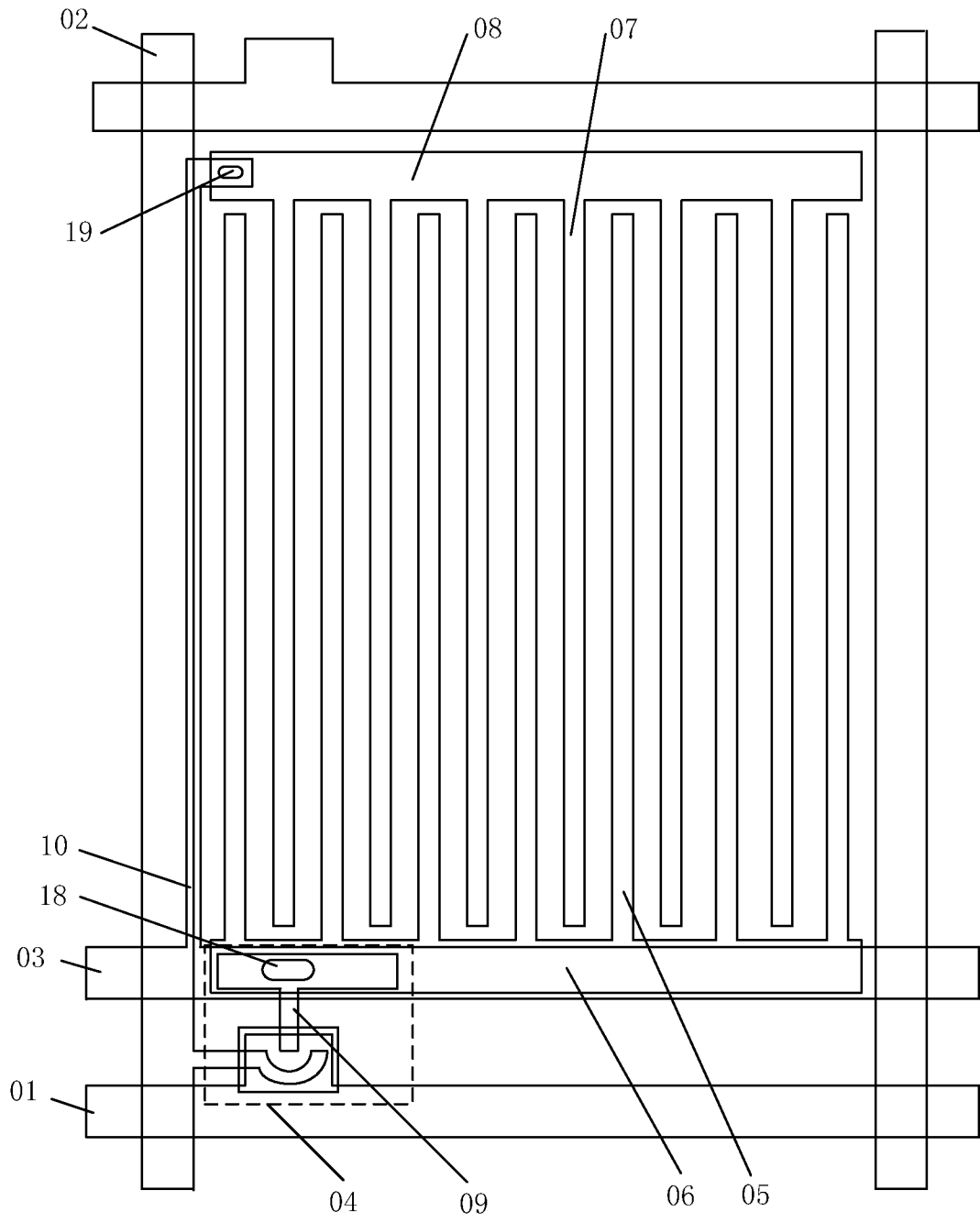


图 2

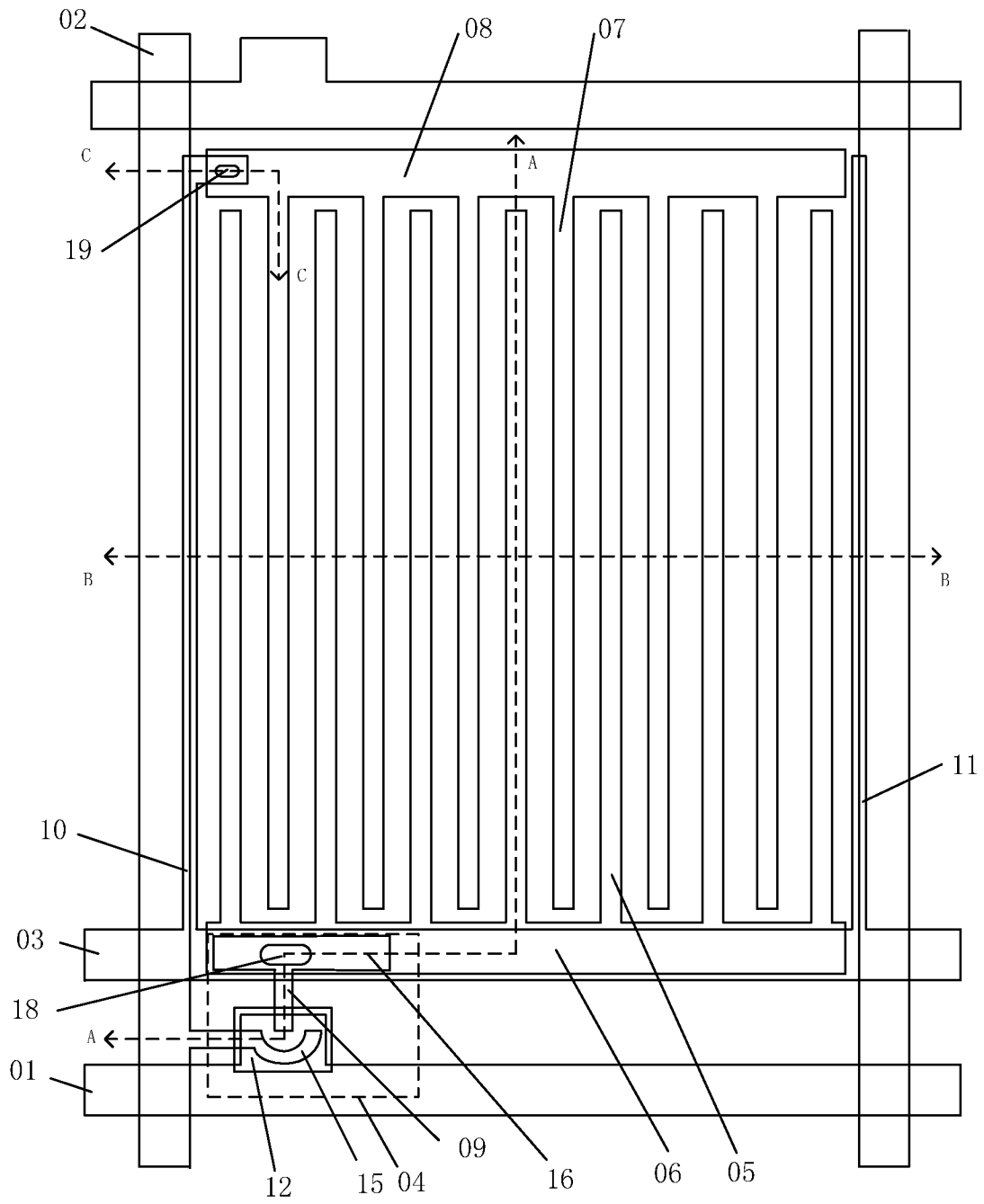


图 3

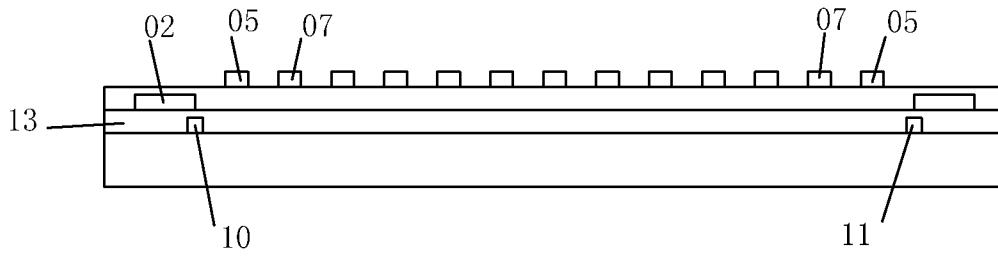


图 4

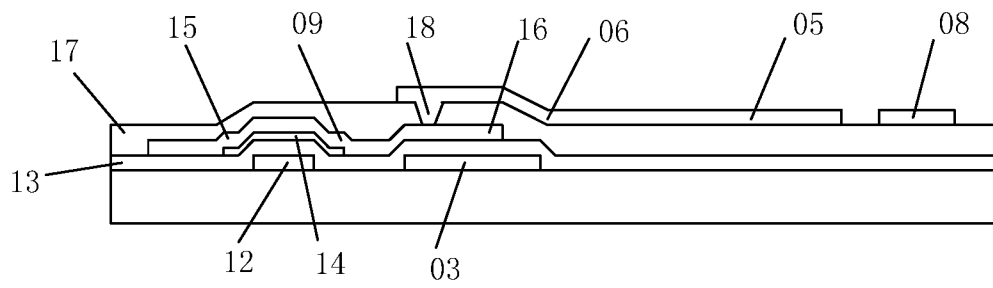


图 5

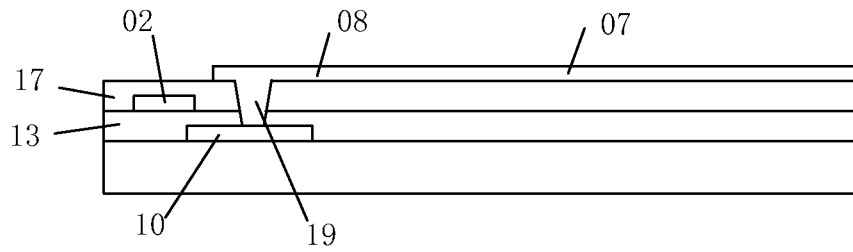


图 6

# INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2014/086814**

## A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/136 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F 1/-, H01L 27/-, H01L 21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNTXT, CNKI, IEEE: data line, gate d line, capacitor, transistor, drain, common d electrode, common d line, electrode d line, shield+, parallel

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 101093329 A (LG. PHILIPS LCD CO., LTD.), 26 December 2007 (26.12.2007), description, page 5, lines 3-11 and page 6, paragraph 2, and figures 4-6	1-12
Y	CN 1716067 A (LG. PHILIPS LCD CO., LTD.), 04 January 2006 (04.01.2006), description, page 5, paragraphs 4-5 to page 6, paragraph 2, and figure 2A	1-12

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
---	---

Date of the actual completion of the international search  
01 December 2014 (01.12.2014)

Date of mailing of the international search report  
**06 January 2015 (06.01.2015)**

Name and mailing address of the ISA/CN:  
State Intellectual Property Office of the P. R. China  
No. 6, Xitucheng Road, Jimenqiao  
Haidian District, Beijing 100088, China  
Facsimile No.: (86-10) 62019451

Authorized officer  
**CHEN, Dongbing**  
Telephone No.: (86-10) **61648069**



**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/CN2014/086814**

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101093329 A	26 December 2007	US 2007296901 A1	27 December 2007
		KR 20070121122 A	27 December 2007
		US 7764349 B2	27 July 2010
		US 2010265447 A1	21 October 2010
		US 8013970 B2	06 September 2011
CN 1716067 A	04 January 2006	US 2005286003 A1	29 December 2005
		JP 2006018287 A	19 January 2006
		KR 20060046241 A	17 May 2006

国际检索报告

国际申请号

PCT/CN2014/086814

<p>A. 主题的分类</p> <p>G02F 1/136(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>											
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G02F1/-, H01L27/-, H01L21/-</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>WPI, EPODOC, CNTXT, CNKI, IEEE: 栅线, 数据线, 电容, 晶体管, 漏, 公共电极, 电极线, 屏蔽, 公共线, 平行, gate d line, capacitor, transistor, drain, common d electrode, common d line, electrode d line, shield+, parallel</p>											
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 101093329 A (LG. 飞利浦LCD株式会社) 2007年 12月 26日 (2007 - 12 - 26) 说明书第5页第3-11行, 第6页第2段、附图4-6</td> <td>1-12</td> </tr> <tr> <td>Y</td> <td>CN 1716067 A (LG. 飞利浦LCD株式会社) 2006年 1月 04日 (2006 - 01 - 04) 说明书第5页第4-5段至第6页第2段、附图2A</td> <td>1-12</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 101093329 A (LG. 飞利浦LCD株式会社) 2007年 12月 26日 (2007 - 12 - 26) 说明书第5页第3-11行, 第6页第2段、附图4-6	1-12	Y	CN 1716067 A (LG. 飞利浦LCD株式会社) 2006年 1月 04日 (2006 - 01 - 04) 说明书第5页第4-5段至第6页第2段、附图2A	1-12
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求									
Y	CN 101093329 A (LG. 飞利浦LCD株式会社) 2007年 12月 26日 (2007 - 12 - 26) 说明书第5页第3-11行, 第6页第2段、附图4-6	1-12									
Y	CN 1716067 A (LG. 飞利浦LCD株式会社) 2006年 1月 04日 (2006 - 01 - 04) 说明书第5页第4-5段至第6页第2段、附图2A	1-12									
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>											
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>											
<p>国际检索实际完成的日期</p> <p>2014年 12月 01日</p>	<p>国际检索报告邮寄日期</p> <p>2015年 1月 06日</p>										
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国</p> <p>传真号 (86-10)62019451</p>	<p>受权官员</p> <p>陈冬冰</p> <p>电话号码 (86-10)61648069</p>										

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2014/086814

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101093329	A	2007年 12月 26日	US	2007296901	A1	2007年 12月 27日
				KR	20070121122	A	2007年 12月 27日
				US	7764349	B2	2010年 7月 27日
				US	2010265447	A1	2010年 10月 21日
				US	8013970	B2	2011年 9月 06日
CN	1716067	A	2006年 1月 04日	US	2005286003	A1	2005年 12月 29日
				JP	2006018287	A	2006年 1月 19日
				KR	20060046241	A	2006年 5月 17日

表 PCT/ISA/210 (同族专利附件) (2009年7月)