

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年1月5日 (05.01.2006)

PCT

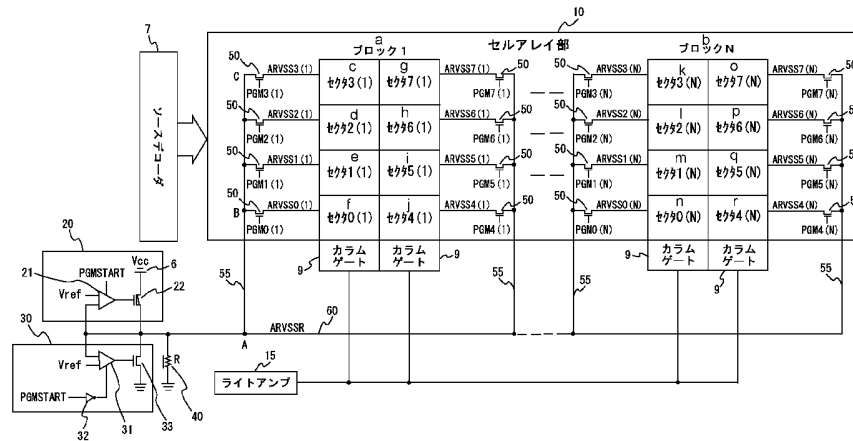
(10) 国際公開番号
WO 2006/001058 A1

- (51) 国際特許分類⁷: G11C 16/34
- (21) 国際出願番号: PCT/JP2004/008998
- (22) 国際出願日: 2004年6月25日 (25.06.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワン
エイムディプレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会社 (Spansion
Japan Limited) [JP/JP]; 〒9650845 福島県会津若松市
門田町工業団地 6 番 Fukushima (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 黒崎一秀
(KUROSAKI, Kazuhide) [JP/JP]; 〒1600023 東京都
新宿区西新宿四丁目3番4号 Spansion Japan株式
会社内 Tokyo (JP). 山田重和 (YAMADA, Shigekazu)
- [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目3番
4号 Spansion Japan株式会社内 Tokyo (JP). 矢野勝
(YANO, Masaru) [JP/JP]; 〒1600023 東京都新宿区西
新宿四丁目3番4号 Spansion Japan株式会社内
Tokyo (JP).
- (74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋1-6-1 三井住友海上テプコビル
Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,
SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND SOURCE VOLTAGE CONTROL METHOD

(54) 発明の名称: 半導体装置及びソース電圧制御方法



- 7... SOURCE DECODER
- b... BLOCK N
- 10... CELL ARRAY PART
- k... SECTOR 3(N)
- a... BLOCK 1
- l... SECTOR 2(N)
- c... SECTOR 3(1)
- m... SECTOR 1(N)
- d... SECTOR 2(1)
- n... SECTOR 0(N)
- e... SECTOR 1(1)
- o... SECTOR 7(N)
- f... SECTOR 0(1)
- p... SECTOR 6(N)
- g... SECTOR 7(1)
- q... SECTOR 5(N)
- h... SECTOR 6(1)
- r... SECTOR 4(N)
- i... SECTOR 5(1)
- 9... COLUMN GATE
- j... SECTOR 4(1)
- 15... WRITE AMPLIFIER

(57) Abstract: There is included a precharge circuit (20) for precharging, prior to a data writing, the voltage of a source line (ARVSS) commonly connected to the memory cells (MC) in the same sector. Precharging, prior to a data writing, the voltage of the source line (ARVSS) of the memory cells (MC) can prevent the voltage of the source line (ARVSS) of the memory cells (MC) from decreasing during a data writing even if the data writing period is shortened. Therefore, occurrence of leakage current during data writing can be prevented, thereby providing an optimum data writing to the memory cells (MC).

[続葉有]



WO 2006/001058 A1



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 同一セクタ内のメモリセルMCに共通に接続されたソース線ARVSSの電圧を、データの書き込み前にプリチャージするプリチャージ回路20を有している。メモリセルMCのソース線ARVSSの電圧をデータの書き込み前にプリチャージしておくことで、データの書き込み時間を短くしてもデータ書き込み時にメモリセルMCのソース線ARVSSの電圧が低下しない。従って、データの書き込み時のリーク電流の発生を防止し、メモリセルMCへのデータ書き込みを最適に行うことができる。

明 細 書

半導体装置及びソース電圧制御方法

技術分野

[0001] 本発明は半導体装置に関し、特にメモリセルのソース電圧の制御方法に関する。

背景技術

[0002] 従来の半導体装置の構成を図1に示す。複数のメモリセルMCからなるセルアレイ部100は、ワード線WLとビット線BLとの交差位置にメモリセルMCが配置されている。各メモリセルMCのゲートはワード線WLに、ドレイン端子はビット線BLにそれぞれ接続される。図1に示すセルアレイ部100は、データの読み出し、書き込み、消去の単位となる1セクタを示しており、同一セクタ内のメモリセルMCのソース端子は、共通のソース線ARVSSに接続される。

[0003] メモリセルMCは、フローティングゲートに電荷がチャージされないデータ「1」の状態と、電荷がチャージされたデータ「0」の状態とを保持している。データ「1」ではしきい値電圧が低く、データ「0」ではしきい値電圧が高くなる。

[0004] データの読み出し時には、ワード線WLに所定の電圧を印加し、図1に示すn型MOSトランジスタ(以下、nMOSトランジスタと表記する)104をオンにしてソース線ARVSSをグランド電圧にする。これにより2つの状態でのドレイン電流の違いから、記憶データが読み出される。またデータの書き込み時には、書き込み対象の選択メモリセルMCが接続されたビット線BLに6V程度の高い電圧を、ワード線WLに10V程度の高い電圧を印加し、セルに電流を流すことで生じるホットエレクトロンをフローティングゲートに注入する。非選択のワード線WLには0Vを印加し、非選択メモリセルが導通しないようにする。

[0005] しかしながら、非選択メモリセルMCのワード線が0Vに制御されても、非選択メモリセルMCがオンしてしまう場合がある。選択されたメモリセルのビット線BLには高い電圧が印加されているため、このビット線BLに接続している選択メモリセルと非選択メモリセルとのドレイン線のカップリング作用により、非選択メモリセルMCのフローティングゲートの電圧が上昇し、非選択メモリセルMCがオンしてしまう。それに伴い、ビット

線BLに非選択メモリセルMCからのリーク電流が発生し、ビット線BLの寄生抵抗による電圧低下で選択メモリセルMCのドレイン電圧が低下し、ソース・ドレイン電圧が不十分になり、プログラム動作に不具合を生じる。

[0006] このような書き込み動作の不具合を防止するため、書き込み時のソース線ARVSSの電圧をグランド電圧よりも若干高い電圧に制御する方法がとられている。すなわち、書き込み時には図1に示すプログラム信号(PGM)によりnMOSトランジスタ103をオンさせて、ソース線ARVSSとグランドの間に設けた抵抗105に書き込み電流を流すことで、ソース線ARVSSの電圧をグランド電圧 V_{ss} より若干高くし、書き込み動作でない時にはnMOSトランジスタ104をオンさせてソース線の電圧をグランド電圧 V_{ss} に制御する。

[0007] 特許文献1では、選択したセルトランジスタと、ビット線を高電圧にするプログラム電圧発生回路との間の距離に応じて、選択セルトランジスタのソース電圧を変更している。

[0008] 特許文献1: 日本国公開特許公報 特開2003-123493号
発明の開示

発明が解決しようとする課題

[0009] 近年の半導体装置は大容量化が図られ、セルアレイ領域が大きくなってきている。セルアレイ領域が大きくなると、ビット線の抵抗やソース線の抵抗が無視できないほど大きくなる。またメモリセルへの書き込み時間の短縮も図られるようになってきており、書き込みパルスのパルス幅はできるだけ小さく設定される。

[0010] このため、大きな負荷があるソース線を短時間でチャージしようとしても、ソース線の電圧が充分とはならず、リーク電流が発生して書き込み効率を低下させるという問題がある。特許文献1にもこのような技術課題は開示されていない。

[0011] また、ソース線とグランドの間に抵抗を設けることで書き込み中にソース線をバイアスする方法では、書き込むセルの位置によってグランドまでの電圧降下の程度が異なったり、書き込み中の電流値も一定ではないため、ソース線の電圧を一定のレベルに正確に制御することは困難である。

[0012] 本発明は上記事情に鑑みてなされたものであり、データの書き込み時間が短縮さ

れてもメモリセルへのデータ書き込みを最適に行う半導体装置およびソース電圧制御方法を提供することを目的とする。

課題を解決するための手段

- [0013] かかる目的を達成するために本発明の半導体装置は、メモリセルと、前記メモリセルのソース線をデータの書き込み前にプリチャージするプリチャージ回路とを有して構成している。
- [0014] メモリセルのソース線をデータの書き込み前にプリチャージしておくことで、データの書き込み時間が短縮されてもメモリセルのソース電圧が低下することがない。従って、データの書き込み時のリーク電流の発生を防止し、メモリセルへのデータ書き込みを最適に行うことができる。
- [0015] 上記の半導体装置において、前記プリチャージ回路は、前記メモリセルのゲート電圧の昇圧中に前記ソース線をプリチャージする回路を含む構成とすることができる。
- [0016] メモリセルのゲート電圧の昇圧中にソース線のプリチャージを行うことで、データの書き込み前にソース線を十分な電圧にプリチャージすることができる。
- [0017] 上記の半導体装置において、前記プリチャージ回路は、複数のセクタのソース線に選択的に接続される共通ソース線の電圧と基準電圧とを比較して、該共通ソース線の電圧が一定となるように前記共通ソース線をプリチャージする回路を含む構成とすることができる。
- [0018] プリチャージ回路によってプリチャージされる共通ソース線を、選択されたセクタのソース線に接続することでセクタのソース線を所望の電圧にプリチャージすることができる。またプリチャージ回路は、共通ソース線の電圧を基準電圧と比較しながら共通ソース線をチャージすることで、共通ソース線の電圧を一定となるように制御することができる。
- [0019] 上記の半導体装置において、前記プリチャージ回路は、前記メモリセルのソース線と前記プリチャージ回路とを接続する配線の電圧と基準電圧とを比較して、前記ソース線の電圧が一定となるように制御する回路を含む構成とすることができる。
- [0020] メモリセルのソース線と前記プリチャージ回路とを接続する配線の電圧と基準電圧とを比較することで、メモリセルのソース線を所望の電圧に正確に設定することができる。

- 。
- [0021] 上記の半導体装置において、前記ソース線の電圧が所定値以下となるように制御するクランプ回路を有する構成としてもよい。
- [0022] ソース線の電圧が上がり過ぎると、動作電圧の低いトランジスタが正常に動作せずにメモリセルへの書き込み効率が低下するが、クランプ回路を設けたことで書き込み効率の低下を防ぎ、メモリセルへのデータ書き込みを最適化することができる。
- [0023] 上記半導体装置において、前記クランプ回路は、前記メモリセルのドレインに高電圧を印加している期間だけ前記ソース線の電圧が前記所定値以下となるように制御する回路を含む構成とすることができる。
- [0024] メモリセルのドレインに高電圧を印加している期間だけソース線の電圧が一定値以上にならないように制御しているので、必要な期間だけクランプ回路を動作させることができる。
- [0025] 上記の半導体装置において、前記クランプ回路は、複数のセクタのソース線が選択的に接続される共通ソース線の電圧と基準電圧とを比較して、該共通ソース線の電圧が一定値となるように制御する回路を含む構成とすることができる。
- [0026] 共通ソース線の電圧と基準電圧とを比較して、共通ソース線の電圧が一定値となるように制御することで、共通ソース線の電圧を一定値に保つことができる。
- [0027] 上記の半導体装置において、前記クランプ回路は、前記メモリセルのソース線と前記プリチャージ回路とを接続する配線の電圧と基準電圧とを比較して、前記ソース線の電圧が一定となるように制御する回路を含む構成とすることができる。
- [0028] メモリセルのソース線とプリチャージ回路とを接続する配線の電圧と基準電圧とを比較することで、メモリセルのソース線の電圧を所望の値に正確に設定することができる。
- 。
- [0029] 本発明の半導体装置は、メモリセルと、前記メモリセルへのデータの書き込み時に、前記メモリセルのソース線の電圧が所定値以下となるように制御するクランプ回路とを有する構成としている。
- [0030] ソース線の電圧が上がり過ぎると、動作電圧の低いトランジスタが正常に動作せずにメモリセルへの書き込み効率が低下するが、クランプ回路を設けたことで書き込み

効率の低下を防ぎ、メモリセルへのデータ書き込みを最適化することができる。

- [0031] 上記の半導体装置において、前記クランプ回路は、前記メモリセルのドレインに高電圧を印加している間だけ前記ソース線の電圧が前記所定値以下となるように制御する回路を含む構成とすることができる。
- [0032] メモリセルのドレインに高電圧を印加している期間だけソース線の電圧が所定値以下となるように制御しているので、必要な期間だけクランプ回路を動作させることができる。
- [0033] 上記の半導体装置において、前記クランプ回路は、複数のセクタのソース線が選択的に接続される共通ソース線の電圧と基準電圧とを比較して、該共通ソース線の電圧が一定となるように制御する回路を含む構成とすることができる。
- [0034] 共通ソース線の電圧と基準電圧とを比較して、共通ソース線の電圧が一定値となるように制御することで、共通ソース線の電圧を一定値に保つことができる。
- [0035] 上記の半導体装置において、前記クランプ回路は、前記メモリセルのソース線と前記プリチャージ回路とを接続する配線の電圧と基準電圧とを比較して、前記ソース線の電圧が一定となるように制御する回路を含む構成とすることができる。
- [0036] メモリセルのソース線と前記プリチャージ回路とを接続する配線の電圧と基準電圧とを比較することで、メモリセルのソース線の電圧を所望の値に正確に設定することができる。
- [0037] 上記の半導体装置において、データの書き込み時には、選択された前記メモリセルのソース線を、抵抗を介してグランドに接続するとよい。
- [0038] データの書き込み時に、選択されたメモリセルのソース線を抵抗を介してグランドに接続し、ソース線と抵抗に書き込み電流を流すことでソース線をバイアスすることができる。
- [0039] 上記の半導体装置において、前記メモリセルは、電荷を蓄える層として、多結晶シリコンからなるフローティングゲートを用いたメモリセルであるとよい。
- [0040] 多結晶シリコンからなるフローティングゲートを用いたメモリセルの場合、非選択メモリセルのフローティングゲートの電圧がカップリングで上がり、リーク電流が発生するという問題を生じるが、請求項1から12のいずれかに記載の半導体装置とすることで、

データ書き込み時のリーク電流の発生を防止することができる。

[0041] 本発明のソース電圧制御方法は、メモリセルのソース線をデータの書き込み前にプリチャージする工程と、前記メモリセルにデータを書き込む工程とを有している。

[0042] メモリセルのソース線をデータの書き込み前にプリチャージしておくことで、データの書き込み時間が短縮されてもメモリセルのソース電圧が低下するのを防止することができる。従って、データの書き込み時のリーク電流の発生を防止し、メモリセルへのデータの書き込みを最適化することができる。

[0043] 上記の前記プリチャージする工程は、前記メモリセルのゲート電圧の昇圧中に前記ソース線をプリチャージする工程であるとよい。

[0044] メモリセルのゲート電圧の昇圧中にソース線の電圧のプリチャージを行うことで、データの書き込み前にソース線を十分な電圧にプリチャージすることができる。

[0045] 上記のソース電圧制御方法においては、前記メモリセルへのデータの書き込み時に、前記メモリセルのソース線の電圧が所定値以下となるように前記ソース線の電圧を制御する工程をさらに有しているとよい。

[0046] ソース電圧が上がり過ぎると、動作電圧の低いトランジスタが正常に動作せずにメモリセルへの書き込み効率が低下するが、クランプ回路を設けたことで書き込み効率の低下を防ぐことができる。

[0047] 上記の前記ソース線の電圧を制御する工程は、前記メモリセルのドレインに高電圧を印加している間だけ前記ソース線の電圧が前記所定値以下となるように制御するとよい。

[0048] メモリセルのドレインに高電圧を印加している期間だけソース線の電圧が一定値以上にならないように制御しているので、必要な期間だけクランプ回路を動作させることができる。

発明の効果

[0049] 本発明は、データの書き込み時間が短縮されてもデータの書き込み時にメモリセルのソース電圧が低下するのを防止することができる。従って、データの書き込み時のリーク電流の発生を防止し、メモリセルへのデータ書き込みを最適に行うことができる。

図面の簡単な説明

[0050] [図1]従来の半導体装置の構成を示す図であり、従来のソース電圧の制御方法を示す図である。

[図2]本発明の半導体装置の構成を示す図である。

[図3]セルアレイ部と、メモリセルMCのソース線の電圧を制御する機能部との構成を示す図である。

[図4]図3に示す信号線の電圧変化のレベルと、電圧変化のタイミングを示す図である。

[図5]実施例2のセルアレイ部と、メモリセルMCのソース線の電圧を制御する機能部との構成を示す図である。

[図6]図5に示す信号線の電圧変化のレベルと、電圧変化のタイミングを示す図である。

発明を実施するための最良の形態

[0051] 次に添付図面を参照しながら本発明の最良の実施例を説明する。

実施例 1

[0052] まず、図2を参照しながら本実施例の半導体装置の構成を説明する。図2に示す半導体装置1は、制御回路2、高電圧生成回路3、ロウデコーダ4、スイッチング回路5、ソース電源6、ソースデコーダ7、カラムデコーダ8、カラムゲート9、セルアレイ部10、リファレンス回路11、センスアンプ(比較回路)12、出力バッファ13、入力バッファ14、ライトアンプ15、書込回路16などを備えている。この半導体装置1は単独でパッケージされたフラッシュメモリ等の半導体記憶装置であってもよいし、システムLSIのように半導体装置の一部として組み込まれたものであってもよい。

[0053] セルアレイ部10は、ワード線WLに接続されたコントロールゲートと、ビット線BLに接続されたドレインと、ソース線ARVSSに接続されたソースと、電荷を蓄える層として、多結晶シリコンからなるフローティングゲートとを含む不揮発性のメモリセルMCを有し、このメモリセルMCが複数個マトリックス状に配置されている。

[0054] 制御回路2は、ライトイネーブル(/WE)等の制御信号や、アドレス信号、データ信号を外部から受け取り、これらの信号に基づいてステートマシンとして動作し、メモリセルMCに対して書き込み、消去および読み出し等の動作を行うために各々の内部

回路を制御する。

- [0055] 高電圧生成回路3は、電源電圧Vccを所定のレベルになるように調整することで、ビット線電圧、ワード線電圧を生成して書込回路16に供給する。ロウデコーダ4は、不図示のアドレスバッファから供給されたアドレスをデコードする。スイッチング回路5は、メモリセルのワード線WLをデコード結果に応じて活性化させる。ソースデコーダ7は、ソース電源6から電源の供給を受け、ソース線ARVSSを選択する。カラムデコーダ8は、不図示のアドレスバッファから供給されたアドレスをデコードする。
- [0056] カラムゲート9は、デコードアドレス信号に基づいて、読み出し時にはセルアレイ部10のビット線BLを選択的にセンスアンプ12に接続する。また書き込み時にはビット線BLを選択的にライトアンプ15に接続する。これによって、セルアレイ部10のメモリセルMCに対するデータの読み出し／書き込み経路が確立される。
- [0057] リファレンス回路11は、ゲート電圧が印加されるリファレンスセル(トランジスタ)と、リファレンスセルのリファレンスレベルをシフトさせる回路部とを含む。このリファレンスセルは、リード用のリファレンスセル、プログラム用のリファレンスセル、イレース用のリファレンスセルおよびコンバージェンス用のリファレンスセル等のように各種のリファレンスセルに用いられる。
- [0058] センスアンプ12は、メモリセルMCのデータをリファレンスセルのデータと比較することで、メモリセルMCのデータが0であるのか1であるのかを判定し、判定結果を読み出しデータとして出力バッファ13へ供給する。
- [0059] 書込回路16は、制御回路2の制御の下に、ロウデコーダ4、カラムデコーダ8を駆動して、メモリセルMCに対するデータ書き込み動作を実行する。
- [0060] プログラム動作およびイレース動作に伴うベリファイ動作は、ロウデコーダ4およびカラムデコーダ8によって指定されたメモリセルMCから供給されたデータの電流を、プログラムベリファイ用リファレンスセルおよびイレースベリファイ用リファレンスセルの示すリファレンス電流と比較することで行われる。
- [0061] また、外部から入力したデータは、一旦入力バッファ14に蓄積され、カラムデコーダ8により選択されたビット線BLにライトアンプ15によりデータを書き込むことで、選択されたメモリセルMCにデータが書き込まれる。

- [0062] 次に、メモリセルMCのソース線ARVSSの電圧を調整する機能部について図3を参照しながら説明する。まず、セルアレイ部10の構成を説明する。図3に示すようにセルアレイ部10は、複数のブロック(図3には、ブロック1ーブロックNを示す)からなり、各ブロック内には読み出し、書き込み及び消去の単位となるセクタが複数設けられている。本実施例では、1ブロック内には8つのセクタ(セクタ0ーセクタ7)が設けられている。各セクタ内にはそれぞれ所定個のメモリセルMCが配置されている。
- [0063] 同一セクタ内の複数のメモリセルMCは、共通のソース線ARVSSに接続されている。例えば図3に示すセクタ3(1)内のメモリセルMCは、すべてソース線ARVSS3(1)に接続しており、セクタ2(N)のメモリセルMCは、すべてソース線ARVSS2(N)に接続している。なお、セクタ3(1)は、ブロック1に含まれる3番目のセクタであることを示している。
- [0064] 各ソース線ARVSSには、ソース線ARVSSの活性、非活性を切り換えるnMOSトランジスタ50がそれぞれ設けられている。このnMOSトランジスタ50のゲートには、ソースデコーダ7からのプログラム信号PGMが入力される。例えば、セクタ3(1)のソース線の活性、非活性を切り換えるnMOSトランジスタ50には、ソースデコーダ7からプログラム信号PGM3(1)が入力される。このプログラム信号PGMによってnMOSトランジスタ50がオンすると、該当するセクタのメモリセルMCのソース線ARVSSが配線55を介して共通ソース線ARVSSR60に接続される。データ読み出し時には、この共通ソース線ARVSSR60が接地電圧 V_{ss} となり(不図示)、データ書き込み時にはソース電源6によって所定電圧に設定される(本実施例では0.6V)。共通ソース線ARVSSRに抵抗40を接続して、この共通ソース線ARVSSRにソース電源6から電流を流し、また書き込み電流をこの抵抗40に流すことで共通ソース線ARVSSRが所定電圧に設定される。共通ソース線ARVSSR60は、各セクタ(メモリセルMC)のソースが共通に接続される配線であり、この共通ソース線ARVSSR60には、図3に示すプリチャージ回路20と、クランプ回路30とが接続されている。
- [0065] プリチャージ回路20は、図3に示すように差動増幅回路21と、p型MOSトランジスタ(以下、pMOSトランジスタと表記する)22とを備えている。差動増幅回路21には、この差動増幅回路21の動作を制御するPGMSTART信号(制御信号)を入力する

。また差動増幅回路21は、基準電圧Vrefと共通ソース線ARVSSR60の電圧との論理によって、pMOSトランジスタ22のゲートに信号を出力する。pMOSトランジスタ22は、ゲートを差動増幅回路21の出力に接続し、ドレインを共通ソース線ARVSSR60に接続し、ソースをソース電源6からの電源電圧Vccに接続している。

[0066] PGMSTART信号(制御信号)は、書き込み要求があつてメモリセルMCのゲート電圧を昇圧している期間にハイレベルとなり、その後メモリセルMCのドレインに高電圧を印加している期間は、ローレベルとなる。pMOSトランジスタ22のゲートをコントロールする差動増幅回路21は、PGMSTART信号(制御信号)がハイレベルとなると動作を開始し、共通ソース線ARVSSRの電圧が基準電圧Vrefを超えるまで(共通ソース線ARVSSR60の電圧が一定値に達するまで)pMOSトランジスタ22をオンさせ、共通ソース線ARVSSRをプリチャージする。差動増幅回路21は、それ以外の期間ではハイレベルを出力してpMOSトランジスタ22をオフさせる。

[0067] クランプ回路30は、図3に示すように共通ソース線ARVSSR60とグランドの間に設けられる抵抗40に並列に設けられ、差動増幅回路31と、インバータ32と、nMOSトランジスタ33とを備えている。差動増幅回路31には、制御信号であるPGMSTART信号(制御信号)の出力をインバータ32で反転させた信号が入力される。また、差動増幅回路31は、基準電圧Vrefと共通ソース線ARVSSR60の電圧との論理によって、nMOSトランジスタ33のゲートに信号を出力する。nMOSトランジスタ33は、ゲートを差動増幅回路31の出力に接続し、ドレインを共通ソース線ARVSSR60に接続し、ソースを接地している。

[0068] nMOSトランジスタ33のゲートをコントロールする差動増幅回路31は、PGMSTART信号(制御信号)がローレベルの期間(差動増幅回路31の入力は、インバータ32で反転してハイレベルとなる)に共通ソース線ARVSSR60の電圧が一定値以上になると、nMOSトランジスタ33をオンさせてクランプを行う。すなわち、共通ソース線ARVSSR60の電圧が所定値以下となるように動作する。差動増幅回路31は、それ以外の期間ではローレベルを出力し、nMOSトランジスタ33をオフさせる。

[0069] メモリセルMCのソース線ARVSSと、抵抗40との間に存在するnMOSトランジスタ50のスイッチは、動作電源電圧が低く、共通ソース線ARVSSR60の電圧が高く成り

過ぎると、十分にオンしないという問題がある。nMOSトランジスタ50のスイッチが十分にオンしないとメモリセルMCへの書き込み効率が低下するという問題が発生する。そこで、クランプ回路30によって共通ソース線ARVSSR60の電圧が所定値以下となるように電圧を固定することで、メモリセルMCへの書き込み効率の低下を防止することができる。

- [0070] 図4に上述した各配線の電圧レベルと、電圧レベルの変化するタイミングとを示す。データの書き込み動作が開始されると、選択されたセクタのnMOSトランジスタ50をオンさせるPGMS(n)が電源電圧Vccに設定される。これと同時に、図3に示すプリチャージ回路20、クランプ回路30に入力されるPGMSTART信号(制御信号)がハイレベルに遷移する。PGMSTART信号(制御信号)は、メモリセルMCのゲート電圧を昇圧している期間(図4に示すワード線WLを昇圧している期間)にハイレベルとなり、その後ドレインに高電圧を印加する実際のプログラム期間(図4に示すビット線BLに高電圧を印加する期間)はローレベルとなる。
- [0071] プリチャージ回路20は、PGMSTART信号(制御信号)がハイレベルになると動作を開始して、共通ソース線ARVSSR60の電圧を所定の電圧にプリチャージする。共通ソース線ARVSSR60を予めプリチャージしておくことで、実際のプログラム時(ビット線に高電圧を印加する時)にはソース線ARVSSに所望の電圧が印加されているため、データ書き込み時にドレインからのリーク電流の発生を防止することができる。
- [0072] また、クランプ回路30は、PGMSTART信号(制御信号)がハイレベルからローレベルに遷移すると動作を開始し、書き込み電流が流れて共通ソース線ARVSSR60が一定値以上となるとnMOSトランジスタ33をオンさせクランプを行う。すなわち、共通ソース線ARVSSR60の電圧が一定となるように制御を行う。クランプ回路30によって共通ソース線ARVSSRの電圧が所定値以下となるように固定することで、メモリセルMCへの書き込み効率の低下を防止することができる。
- [0073] 図4のように、ソース線ARVSSの電圧は、0.5Vから0.7V程度のほぼ一定値に保つことができる。プリチャージ回路20及びクランプ回路30内の差動増幅回路21及び31は、グラウンドに接続された共通ソース線ARVSSR60をモニタしている。この電圧は0.5Vの一定値に制御されるが、ソース線ARVSSは、各セクタから共通ソース線

ARVSSR60までの配線長の相違に起因する電圧降下により、セクタの位置によってその電圧に多少のばらつきがある。例えば、図3に示すセクタ0(1)を選択した場合には、共通ソース線ARVSSR60からセクタのソース線ARVSS0(1)までの配線長は、図3に示すABであるが、セクタ3(1)を選択した場合には、配線長はACとなる。従って、選択したセクタによって、そのソース線ARVSSから共通ソース線ARVSSR60までの電圧降下がそれぞれ異なり、ソース線ARVSSの電圧が0.5V〜0.7Vで変動することになる。

- [0074] 尚、抵抗40は、書き込み中にIRドロップを生じさせて共通ソース線ARVSSR60をある程度高い電圧に設定するが、この抵抗40は用いずに、プリチャージ回路20とクランプ回路30だけでソース電圧を制御するようにしても良い。

実施例 2

- [0075] 次に、本発明の第2実施例について説明する。本実施例の構成を図5に示す。本実施例は、プリチャージ回路20、クランプ回路30で基準電圧Vrefと電圧を比較するノードを共通ソース線ARVSSR60ではなく、メモリセルからグラウンドへのパスがない配線(ARVSSC)を設けて、その配線上の電圧を基準電圧Vrefと比較する。この実施例によれば、第1の実施例で生じたソース線ARVSS電圧のセクタによるばらつきをなくすことができる。
- [0076] 本実施例は図5に示すように、セクタごとに設けられているソース線ARVSSに接続する配線ARVSSC61を設けている。それを介してメモリセルからグラウンドに電流が流れるパスはない。配線ARVSSC61は、各ソース線ARVSSにスイッチとしてのnMOSトランジスタ51を介して接続している。nMOSトランジスタ51のゲートには、ソースデコーダ7からのプログラム信号PGMが入力されている。セクタが選択され、ソース線ARVSSが共通ソース線ARVSSR60に接続されると、nMOSトランジスタ51もオンして、該当するセクタのソース線ARVSSに配線ARVSSC61を接続する。プリチャージ回路20、クランプ回路30は、選択されたセクタのソース線ARVSSに繋がった配線ARVSSC61上の電圧と基準電圧Vrefとを直接比較して、配線ARVSSC61の電圧、つまりソース線ARVSSを一定の電圧0.6Vに保つように制御する。ソース線ARVSSは、グラウンドへのパスがない配線(ARVSSC61)を介して電圧が制御される

ため、その電圧はセクタの位置によらず一定となる。尚、共通ソース線ARVSSR60の電圧は、0.4Vから0.6Vの間をとるが、これは第1に実施例と同様に、各セクタのソース線ARVSSから共通ソース線ARVSSR60までの間の配線長がセクタ位置に依存するため、選択セクタによってグラントまでの間に生じる電圧降下が異なるためである。このようにして、プリチャージ回路20、クランプ回路30は、メモリセルMCのソース線ARVSSの電圧を正確にプリチャージ、クランプすることができる。

[0077] なお、上述した実施例は本発明の好適な実施例である。但し、これに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施可能である。例えば、上述した実施例では、プリチャージ回路20とクランプ回路30とを組にして両方設けているが、プリチャージ回路20とクランプ回路30のいずれか一方だけを設けた構成であってもよい。

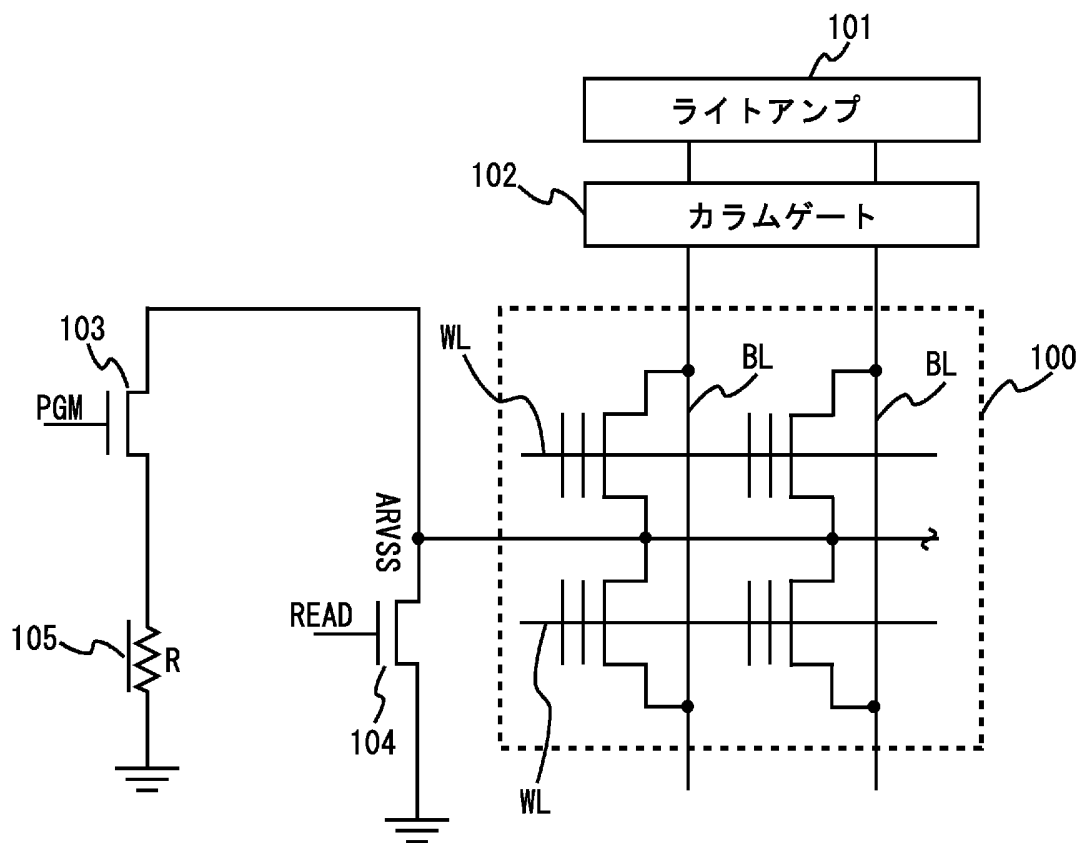
請求の範囲

- [1] メモリセルと、
前記メモリセルのソース線をデータの書き込み前にプリチャージするプリチャージ回路とを有する半導体装置。
- [2] 前記プリチャージ回路は、前記メモリセルのゲート電圧の昇圧中に前記ソース線をプリチャージする回路を含む請求の範囲1記載の半導体装置。
- [3] 前記プリチャージ回路は、複数のセクタのソース線に選択的に接続される共通ソース線の電圧と基準電圧とを比較して、該共通ソース線の電圧が一定となるように前記共通ソース線をプリチャージする回路を含む請求の範囲1又は2記載の半導体装置。
- [4] 前記プリチャージ回路は、前記メモリセルのソース線と前記プリチャージ回路とを接続する配線の電圧と基準電圧とを比較して、前記ソース線の電圧が一定となるように制御する回路を含む請求の範囲1から3のいずれかに記載の半導体装置。
- [5] 前記ソース線の電圧が所定値以下となるように制御するクランプ回路を有する請求の範囲1から4のいずれかに記載の半導体装置。
- [6] 前記クランプ回路は、前記メモリセルのドレインに高電圧を印加している期間だけ前記ソース線の電圧が前記所定値以下となるように制御する回路を含む請求の範囲5記載の半導体装置。
- [7] 前記クランプ回路は、複数のセクタのソース線が選択的に接続される共通ソース線の電圧と基準電圧とを比較して、該共通ソース線の電圧が一定値となるように制御する回路を含む請求の範囲5又は6記載の半導体装置。
- [8] 前記クランプ回路は、前記メモリセルのソース線と前記プリチャージ回路とを接続する配線の電圧と基準電圧とを比較して、前記ソース線の電圧が一定となるように制御する回路を含む請求の範囲5又は6記載の半導体装置。
- [9] メモリセルと、
前記メモリセルへのデータの書き込み時に、前記メモリセルのソース線の電圧が所定値以下となるように制御するクランプ回路とを有する半導体装置。
- [10] 前記クランプ回路は、前記メモリセルのドレインに高電圧を印加している間だけ前

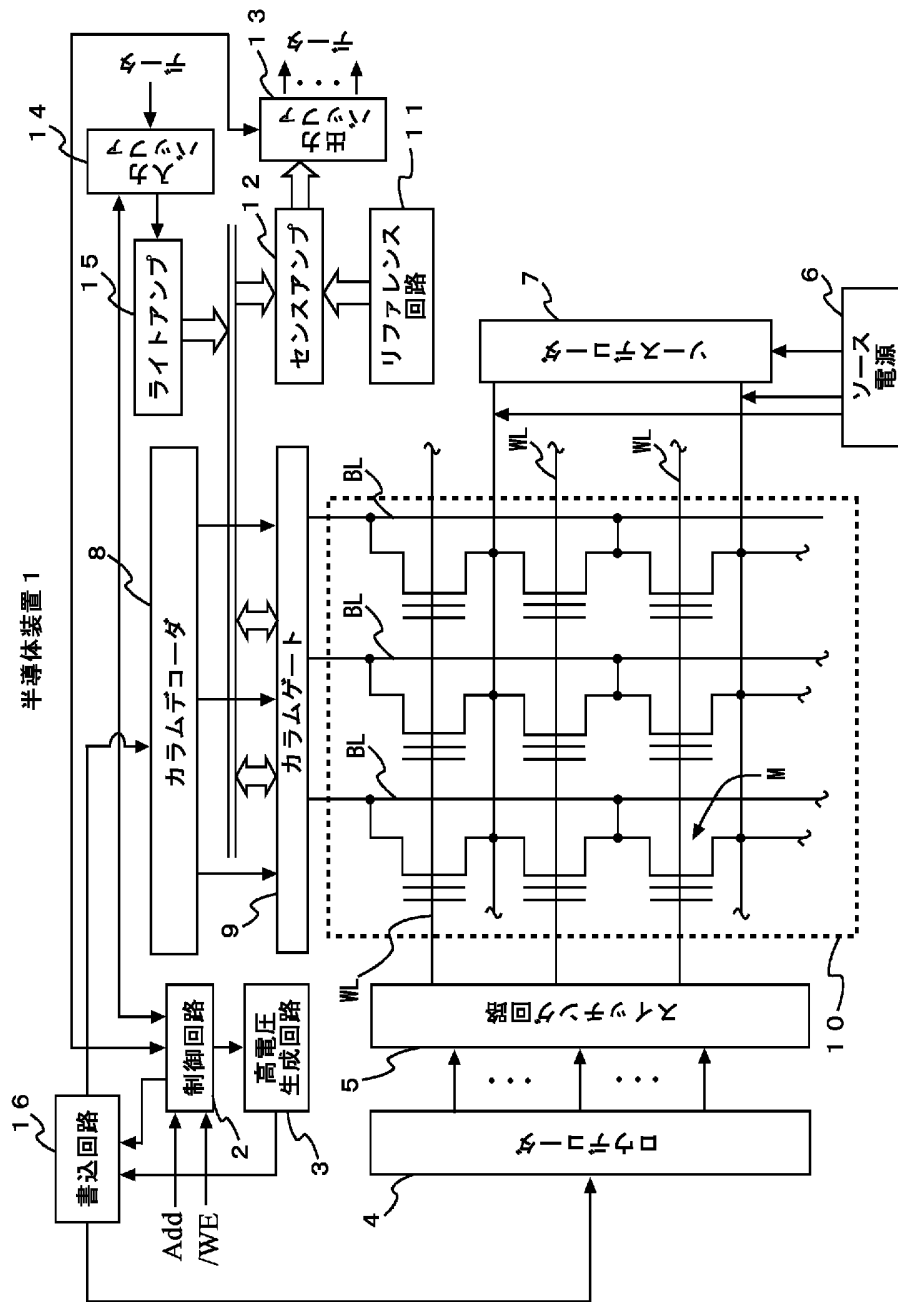
記ソース線の電圧が前記所定値以下となるように制御する回路を含む請求項9記載の半導体装置。

- [11] 前記クランプ回路は、複数のセクタのソース線が選択的に接続される共通ソース線の電圧と基準電圧とを比較して、該共通ソース線の電圧が一定となるように制御する回路を含む請求項9又は10記載の半導体装置。
- [12] 前記クランプ回路は、前記メモリセルのソース線と前記プリチャージ回路とを接続する配線の電圧と基準電圧とを比較して、前記ソース線の電圧が一定となるように制御する回路を含む請求項9又は10記載の半導体装置。
- [13] データの書き込み時には、選択された前記メモリセルのソース線を、抵抗を介してグラウンドに接続する請求の範囲1から12のいずれかに記載の半導体装置。
- [14] 前記メモリセルは、電荷を蓄える層として、多結晶シリコンからなるフローティングゲートを用いたメモリセルである請求の範囲1から13のいずれかに記載の半導体装置。
- [15] メモリセルのソース線をデータの書き込み前にプリチャージする工程と、前記メモリセルにデータを書き込む工程とを有するソース電圧制御方法。
- [16] 前記プリチャージする工程は、前記メモリセルのゲート電圧の昇圧中に前記ソース線をプリチャージする請求の範囲15記載のソース電圧制御方法。
- [17] 前記メモリセルへのデータの書き込み時に、前記メモリセルのソース線の電圧が所定値以下となるように前記ソース線の電圧を制御する工程をさらに有する請求の範囲15又は16記載のソース電圧制御方法。
- [18] 前記ソース線の電圧を制御する工程は、前記メモリセルのドレインに高電圧を印加している間だけ前記ソース線の電圧が前記所定値以下となるように制御する請求の範囲17記載のソース電圧制御方法。

[図1]



[図2]



[図4]

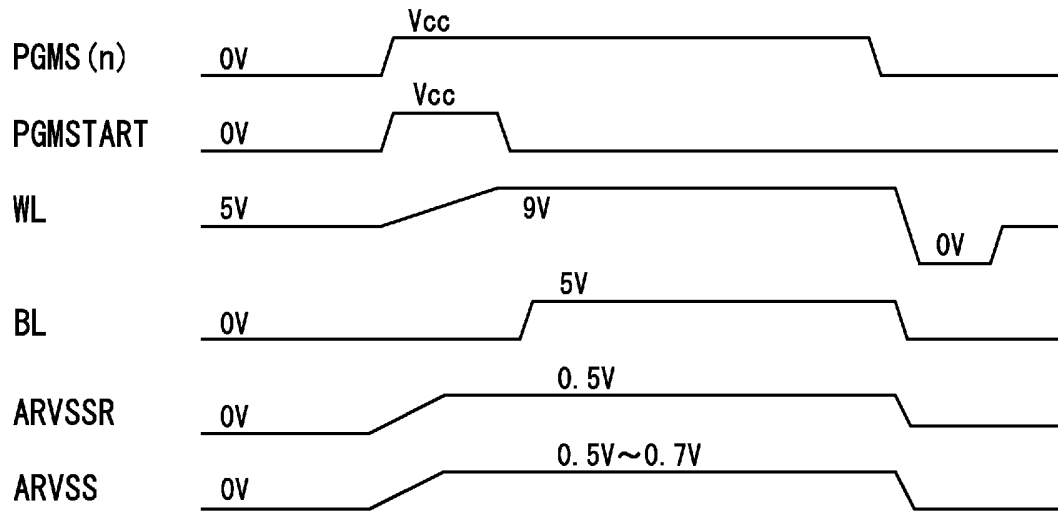
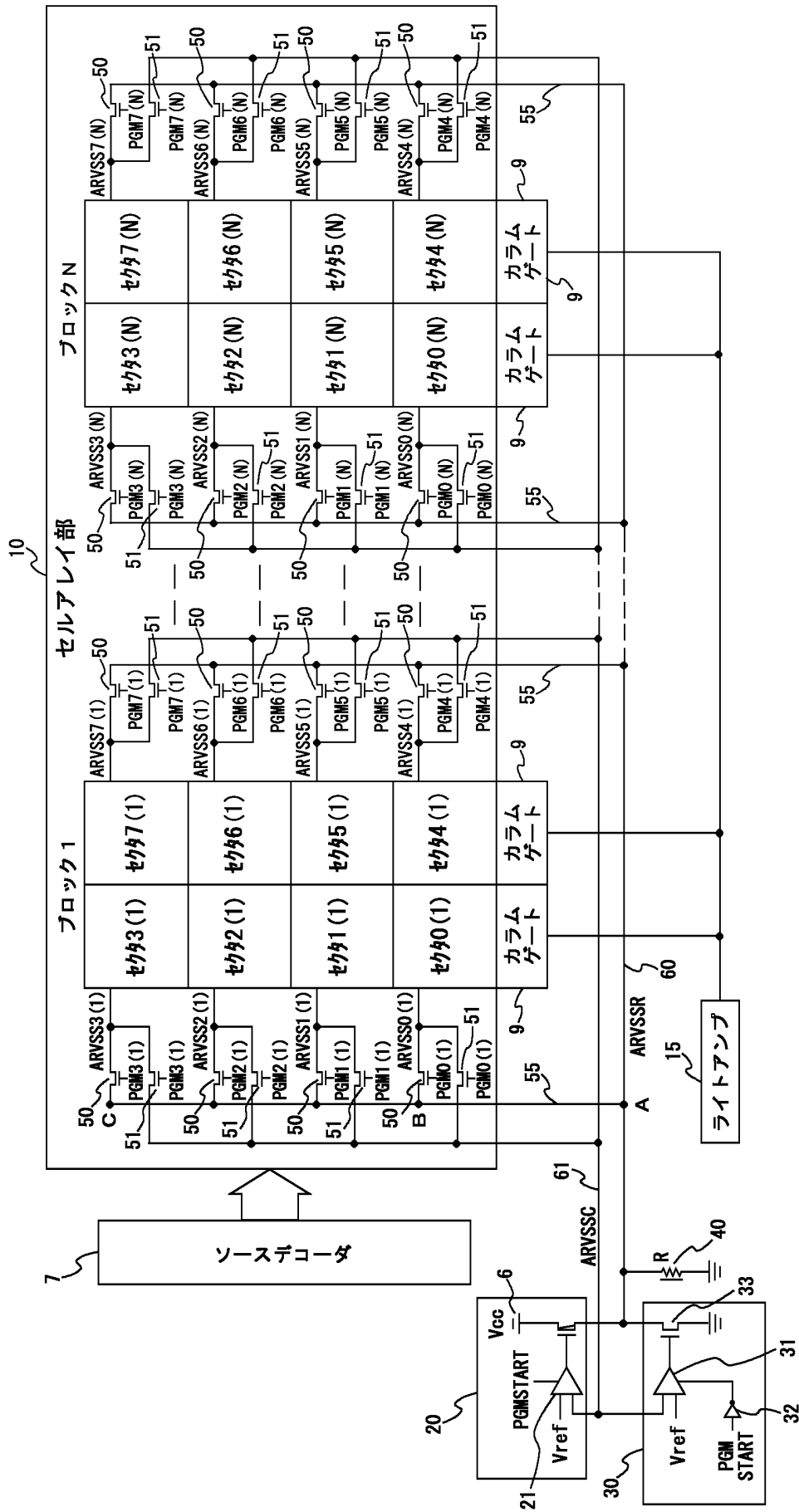
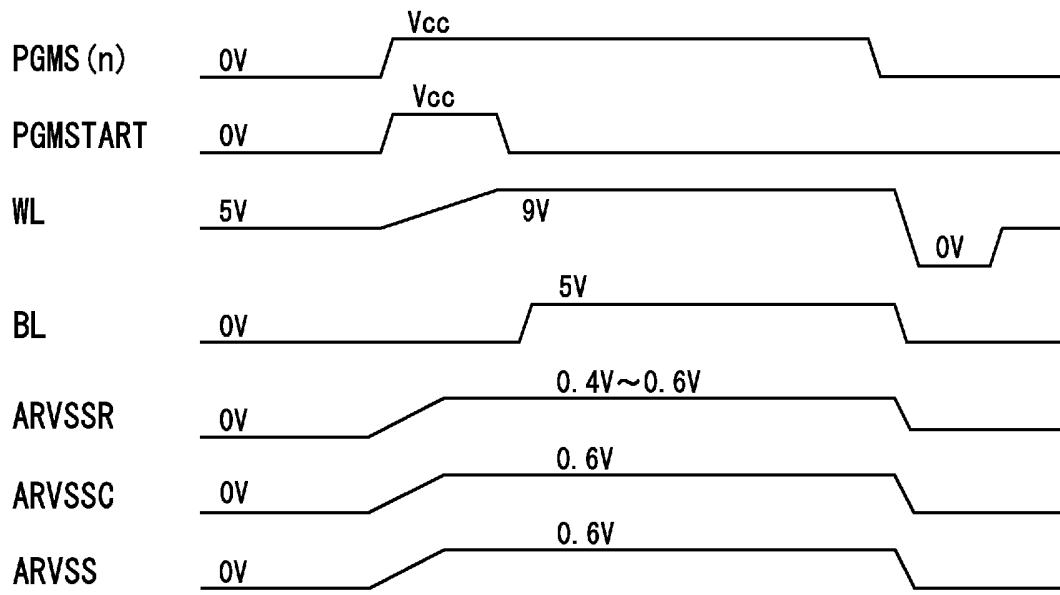


図5



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008998

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G11C16/34

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G11C16/00-34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 57-205895 A (Toshiba Corp.), 17 December, 1982 (17.12.82), Full text; all drawings & GB 2091459 A & GB 2242795 A & GB 2143698 A & DE 3200976 A1 & US 4542485 A	1, 2, 14-16 3-13, 17, 18
X Y	JP 59-77700 A (Toshiba Corp.), 04 May, 1984 (04.05.84), Full text; Fig. 1 (Family: none)	1, 2, 5, 6, 9, 10, 14-18 3, 4, 7, 8, 11, 12, 13
X A	JP 05-28778 A (Toshiba Corp.), 05 February, 1993 (05.02.93), Par. No. [0015]; Fig. 10 (Family: none)	1, 2, 14-16 3-13, 17, 18

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
04 November, 2004 (04.11.04)

Date of mailing of the international search report
22 November, 2004 (22.11.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008998

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-45587 A (Mitsubishi Electric Corp.), 16 February, 1999 (16.02.99), Par. Nos. [0070] to [0074]; Fig. 2 & US 5943266 A	3, 4, 7, 8, 11, 12
Y	JP 2003-123493 A (Fujitsu Ltd.), 25 April, 2003 (25.04.03), Full text; all drawings & US 2003/0072176 A1	13
Y	WO 2001/013377 A1 (Advanced Micro Devices Inc.), 22 February, 2001 (22.02.01), Full text; all drawings & EP 1203378 A & US 6046932 A & JP 2003-507834 A & TW 476963 B	13

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ G11C 16/34		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ G11C 16/00-34		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国実用新案登録公報 1996-2004年 日本国登録実用新案公報 1994-2004年		
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P 57-205895 A (株式会社東芝) 1982. 12. 17, 全文, 全図 & GB 2091459 A & GB 2242795 A & GB 2143698 A & DE 3200976 A1 & US 4542485 A	1, 2, 14-16 3-13, 17, 18
X Y	J P 59-77700 A (株式会社東芝) 1984. 05. 04, 全文, 第1図 (ファミリーなし)	1, 2, 5, 6, 9, 10, 14-18 3, 4, 7, 8, 11, 12, 13
X	J P 05-28778 A (株式会社東芝) 1993. 02. 05,	1, 2, 14-16
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	04. 11. 2004	国際調査報告の発送日 22.11.2004
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 飯田 清司	5 N 8731
電話番号 03-3581-1101 内線 3586		

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	0015段落, 第10図 (ファミリーなし)	3-13, 17, 18
Y	JP 11-45587 A (三菱電機株式会社) 1999.02.16, 0070-0074段落, 第2図 & US 5943266 A	3, 4, 7, 8, 11, 12
Y	JP 2003-123493 A (富士通株式会社) 2003.04.25, 全文, 全図 & US 2003/0072176 A1	13
Y	WO 2001/013377 A1 (アドバンスト・マイクロ・デバイス・イ ンコーポレテッド) 2001.02.22, 全文, 全図 & EP 1203378 A & US 6046932 A & JP 2003-507834 A & TW 476963 B	13