

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-142414

(P2012-142414A)

(43) 公開日 平成24年7月26日(2012.7.26)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J	5 F 0 3 3
HO 1 L 23/522 (2006.01)	HO 1 L 25/08 Z	
HO 1 L 21/768 (2006.01)		
HO 1 L 25/065 (2006.01)		
HO 1 L 25/07 (2006.01)		

審査請求 未請求 請求項の数 15 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2010-293767 (P2010-293767)
 (22) 出願日 平成22年12月28日 (2010.12.28)

(71) 出願人 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実
 (74) 代理人 100117581
 弁理士 二宮 克也

最終頁に続く

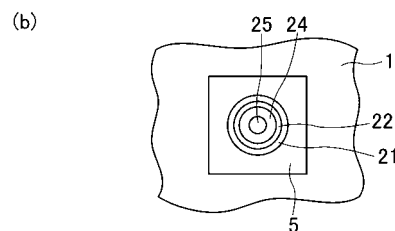
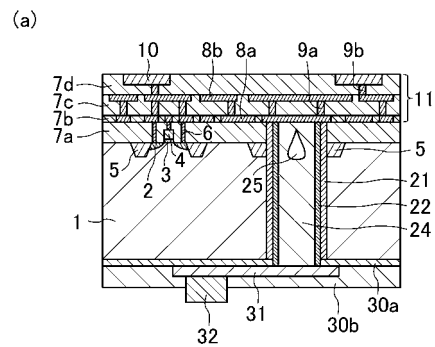
(54) 【発明の名称】 半導体装置及びその製造方法並びにそれを用いた積層型半導体装置

(57) 【要約】

【課題】貫通電極に起因する応力を抑制し、半導体装置の動作を安定化し、半導体装置の信頼性を向上する。

【解決手段】半導体装置は、表面側に活性領域を有する半導体基板1と、半導体基板1の表面から裏面までを貫通するように形成され、導電材からなる貫通電極24と、貫通電極24に囲まれるように形成され、導電材とは異なる応力緩衝部25とを備えている。応力緩衝部25は、貫通電極24の内部であって半導体基板1の表面が横切る位置に形成されている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

表面側に活性領域を有する半導体基板と、
前記半導体基板の表面から裏面までを貫通するように形成され、導電材からなる貫通電極と、

前記貫通電極の内部に形成され、前記導電材とは異なる応力緩衝部とを備え、

前記応力緩衝部は、前記貫通電極の内部であって前記半導体基板の表面が横切る位置に形成されていることを特徴とする半導体装置。

【請求項 2】

前記応力緩衝部は、前記半導体基板の表面側から裏面側に向かって前記貫通電極の中間の位置にまで延びていることを特徴とする請求項 1 に記載の半導体装置。 10

【請求項 3】

前記応力緩衝部は、前記半導体基板の表面側から裏面の近傍にまで延びていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記応力緩衝部は、気体からなることを特徴とする請求項 1 ~ 3 のうちのいずれか 1 項に記載の半導体装置。

【請求項 5】

前記応力緩衝部は、前記導電材のヤング率よりも小さいヤング率を有する材料からなることを特徴とする請求項 1 ~ 3 のうちのいずれか 1 項に記載の半導体装置。 20

【請求項 6】

前記応力緩衝部は、エポキシ樹脂又はベンゾシクロブテン樹脂からなることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

複数の半導体装置を積層させた積層型半導体装置であって、
前記複数の半導体装置のうち少なくとも 1 つは、請求項 1 ~ 6 のうちのいずれか 1 項に記載の半導体装置であることを特徴とする積層型半導体装置。

【請求項 8】

半導体基板の上部に電極用穴部を形成する工程 (a) と、

前記電極用穴部に、導電材からなる導電膜の一部を、前記電極用穴部の底面側から埋まると共に、前記電極用穴部の上部に空隙部が形成されるように成膜する工程 (b) と、 30

前記半導体基板の表面側から前記導電膜の残部を堆積して、前記空隙部の上端をふさぐことにより、前記導電膜の内部に前記導電材とは異なる応力緩衝部を形成する工程 (c) と、

前記半導体基板の裏面に前記導電膜を露出することにより貫通電極を形成する工程 (d) とを備えていることを特徴とする半導体装置の製造方法。

【請求項 9】

前記工程 (c) において、前記応力緩衝部を、前記導電膜の内部であって前記半導体基板の表面が横切る位置に形成することを特徴とする請求項 8 に記載の半導体装置の製造方法。 40

【請求項 10】

前記工程 (c) において、前記応力緩衝部を、前記半導体基板の表面側から裏面側に向かって前記導電膜の中間の位置にまで延びるように形成することを特徴とする請求項 8 又は 9 に記載の半導体装置の製造方法。

【請求項 11】

半導体基板の上部に電極用穴部を形成する工程 (a) と、

前記電極用穴部に、導電材からなる導電膜の一部を、前記電極用穴部の底面側及び壁面側から埋まると共に、前記電極用穴部の中心部に空隙部が形成されるように成膜する工程 (b) と、

前記半導体基板の表面側から前記導電膜の残部を堆積して、前記空隙部の上端をふさぐ 50

ことにより、前記導電膜の内部に前記導電材とは異なる応力緩衝部を形成する工程（c）と、

前記半導体基板の裏面に前記導電膜を露出することにより貫通電極を形成する工程（d）とを備えていることを特徴とする半導体装置の製造方法。

【請求項 1 2】

前記工程（c）において、前記応力緩衝部を、前記半導体基板の表面側から裏面の近傍にまで延びるように形成することを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 3】

前記応力緩衝部は、気体からなることを特徴とする請求項 8 ~ 1 2 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 4】

前記応力緩衝部は、前記導電材のヤング率よりも小さいヤング率を有する材料からなることを特徴とする請求項 8 ~ 1 2 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 5】

前記応力緩衝部は、エポキシ樹脂又はベンゾシクロブテン樹脂からなることを特徴とする請求項 1 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びその製造方法並びにそれを用いた積層型半導体装置に関し、特に、半導体基板を貫通する貫通電極を有する半導体装置及びその製造方法並びに積層型半導体装置に関する。

【背景技術】

【0002】

近年、半導体装置の高集積化を目的として、複数の半導体装置が積み重ねられた積層型半導体装置の開発が広く行われている。従来の積層型半導体装置は、積層された半導体装置をインターポーザ等の中継基板を介して、ワイヤボンディングにより電氣的に接続された構成を有する。この構成では、半導体装置同士の間を接続する引き回し配線が長くなるため、配線抵抗が大きくなると共に、配線の寄生容量も大きくなり、その結果、RC遅延が大きくなるため、高速動作を得るには限界がある。

【0003】

この問題を解決するために、半導体基板の表面から裏面まで貫通した複数本の貫通電極を有する半導体装置を形成し、この半導体装置を積層し、貫通電極により半導体装置同士の間を電氣的に接続する方法を用いて形成された積層型半導体装置が特許文献 1 等に提示されている。この構成により、積層された半導体装置同士の間を短距離で接続することができ、ワイヤボンディングにより接続する場合と比べて配線長を短縮することができるため、配線抵抗及び規制抵抗を低減することが可能となる。その結果、RC遅延を低減できるため、半導体装置の高速動作が可能となる。

【0004】

従来の貫通電極を有する半導体装置について図 1 6 を参照しながら説明する。

【0005】

図 1 6 に示すように、半導体基板 5 0 1 の集積回路形成面である表面の上に層間絶縁層 5 0 2 が形成されている。層間絶縁層 5 0 2 には、配線層 5 0 3 が形成されている。また、半導体基板 5 0 1 には、その表面から裏面までを貫通し、配線層 5 0 3 と接続する複数の貫通電極 5 0 4 が形成され、半導体基板 5 0 1 と各貫通電極 5 0 4 との間にはそれぞれ絶縁層 5 0 5 が形成されている。このような構成により、貫通電極 5 0 4 は配線層 5 0 3 と電氣的に接続し、さらに半導体基板 5 0 1 の裏面側から信号を入出力することができる。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0006】

【特許文献1】特開2007-250561号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、前記従来の貫通電極を有する半導体装置は、貫通電極の周囲における半導体基板に応力がかかり、トランジスタ及びダイオード等のデバイスの動作不良を引き起こすという問題がある。

【0008】

具体的に、半導体基板を構成する材料に比べ、貫通電極を構成する金属材料は熱膨張係数が大きいため、温度が上昇すると、半導体基板の膨張量よりも貫通電極の膨張量のほうが大きくなる。このため、温度変化が生じると、貫通電極の近傍の半導体基板及び貫通電極の直上の配線層には、大きな応力の変動が生じることとなる。その結果、貫通電極の近傍に設けられたトランジスタ等のデバイスと、貫通電極から十分に離れた位置に設けられたデバイスとでは特性に差が生じることとなる。これにより、回路動作が不安定となり、貫通電極の上に形成された配線層では、層間絶縁膜の絶縁不良が生じる。このため、層間容量が変動し、結果的に回路動作が不安定となって、半導体装置の信頼性が低減することとなる。さらに、半導体基板の裏面側に、貫通電極と電気的に接続された裏面配線層及び裏面絶縁膜が形成されている場合、それらが貫通電極の膨張によって裏面絶縁膜が半導体

10

20

【0009】

本発明は、前記の問題に鑑み、その目的は、貫通電極に起因する応力を抑制し、回路動作を安定化し、半導体装置の信頼性を向上することにある。

【課題を解決するための手段】

【0010】

前記の目的を達成するために、本発明は半導体装置を、貫通電極の内部に形成された応力緩衝部を備えている構成とする。

【0011】

具体的に、本発明に係る半導体装置は、表面側に活性領域を有する半導体基板と、半導体基板の表面から裏面までを貫通するように形成され、導電材からなる貫通電極と、貫通電極の内部に形成され、導電材とは異なる応力緩衝部とを備え、応力緩衝部は、貫通電極の内部であって半導体基板の表面が横切る位置に形成されている。

30

【0012】

本発明に係る半導体装置によると、貫通電極は、該貫通電極の内部であって半導体基板の表面が横切る位置に、導電材とは異なる応力緩衝部を備えているため、貫通電極の周囲の半導体基板に加わる応力が緩和され、貫通電極の近傍のデバイスと貫通電極から離れた位置にあるデバイスとの特性の差を低減し、回路動作を安定化することが可能となる。その結果、信頼性が高い半導体装置を得ることができる。

40

【0013】

本発明に係る半導体装置において、応力緩衝部は、半導体基板の表面側から裏面側に向かって貫通電極の中間の位置にまで延びていてもよい。

【0014】

本発明に係る半導体装置において、応力緩衝部は、半導体基板の表面側から裏面の近傍にまで延びていてもよい。

【0015】

本発明に係る半導体装置において、応力緩衝部は、気体からなってもよい。

【0016】

本発明に係る半導体装置において、応力緩衝部は、導電材のヤング率よりも小さいヤン

50

グ率を有する材料からなってもよい。

【0017】

この場合、応力緩衝部は、エポキシ樹脂又はベンゾシクロブテン樹脂からなることが好ましい。

【0018】

本発明に係る積層型半導体装置は、複数の半導体装置を積層させた積層型半導体装置であって、複数の半導体装置のうち少なくとも1つは、本発明の半導体装置である。

【0019】

本発明に係る積層型半導体装置によると、複数の半導体装置のうち少なくとも1つは、前記の半導体装置であるため、貫通電極に起因する応力の変動の影響を受けにくく、回路動作を安定化することが可能となる。その結果、信頼性が高い積層型半導体装置を得ることができる。

10

【0020】

本発明に係る第1の半導体装置の製造方法は、半導体基板の上部に電極用穴部を形成する工程(a)と、電極用穴部に、導電材からなる導電膜の一部を、電極用穴部の底面側から埋まると共に、電極用穴部の上部に空隙部が形成されるように成膜する工程(b)と、半導体基板の表面側から導電膜の残部を堆積して、空隙部の上端をふさぐことにより、導電膜の内部に導電材とは異なる応力緩衝部を形成する工程(c)と、半導体基板の裏面に導電膜を露出することにより貫通電極を形成する工程(d)とを備えている。

【0021】

20

本発明に係る第1の半導体装置の製造方法によると、電極用穴部に導電膜の一部を、電極用穴部の底面側から埋まると共に、電極用穴部の上部に空隙部が形成されるように成膜した後に、半導体基板の表面側から導電膜の残部を堆積して空隙部の上端をふさぐことにより、導電膜の内部に導電材とは異なる応力緩衝部を形成するため、貫通電極の周囲の半導体基板に加わる応力が緩和される。その結果、貫通電極の近傍のトランジスタと貫通電極から離れた位置にあるトランジスタとの特性の差を低減し、回路動作を安定化することが可能となるため、信頼性が高い半導体装置を得ることができる。

【0022】

本発明に係る第1の半導体装置の製造方法は、工程(c)において、応力緩衝部を、前記導電膜の内部であって半導体基板の表面が横切る位置に形成することが好ましい。

30

【0023】

本発明に係る第1の半導体装置の製造方法は、工程(c)において、応力緩衝部を、半導体基板の表面側から裏面側に向かって導電膜の中間の位置にまで延びるように形成してもよい。

【0024】

本発明に係る第2の半導体装置の製造方法は、半導体基板の上部に電極用穴部を形成する工程(a)と、電極用穴部に、導電材からなる導電膜の一部を、電極用穴部の底面側及び壁面側から埋まると共に、電極用穴部の中心部に空隙部が形成されるように成膜する工程(b)と、半導体基板の表面側から導電膜の残部を堆積して、空隙部の上端をふさぐことにより、導電膜の内部に導電材とは異なる応力緩衝部を形成する工程(c)と、半導体基板の裏面に導電膜を露出することにより貫通電極を形成する工程(d)とを備えている。

40

【0025】

本発明に係る第2の半導体装置の製造方法によると、電極用穴部に導電膜の一部を、電極用穴部の底面側及び壁面側から埋まると共に、電極用穴部の中心部に空隙部が形成されるように成膜した後に、半導体基板の表面側から導電膜の残部を堆積して、空隙部の上端をふさぐことにより、導電膜の内部に導電材とは異なる応力緩衝部を形成するため、貫通電極の周囲の半導体基板に加わる応力を緩和できる。このため、信頼性が高い半導体装置を得ることができる。

【0026】

50

本発明に係る第2の半導体装置の製造方法は、工程(c)において、応力緩衝部を、半導体基板の表面側から裏面の近傍にまで延びるように形成することが好ましい。

【0027】

本発明に係る第1の半導体装置の製造方法及び第2の半導体装置の製造方法において、応力緩衝部は気体からなってもよい。

【0028】

本発明に係る第1の半導体装置の製造方法及び第2の半導体装置の製造方法において、応力緩衝部は、導電材のヤング率よりも小さいヤング率を有する材料からなってもよい。

【0029】

本発明に係る第1の半導体装置の製造方法及び第2の半導体装置の製造方法において、応力緩衝部は、エポキシ樹脂又はベンゾシクロブテン樹脂からなることが好ましい。

【発明の効果】

【0030】

本発明に係る半導体装置及びその製造方法並びにそれを用いた積層型半導体装置によると、貫通電極の周囲の半導体基板に加わる応力を緩和でき、貫通電極の近傍のデバイスと貫通電極から離れた位置にあるデバイスとの特性の差を低減し、回路動作を安定化することができるため、より信頼性が高い半導体装置を得ることが可能となる。

【図面の簡単な説明】

【0031】

【図1】(a)及び(b)は、本発明の第1の実施形態に係る半導体装置を示し、(a)は断面図であり、(b)は(a)における貫通電極の周辺を示す平面図である。

【図2】(a)~(c)は、本発明の第1の実施形態に係る半導体装置における貫通電極の周辺を示す平面図である。

【図3】(a)~(c)は、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】(a)~(c)は、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図5】(a)~(c)は、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図6】(a)及び(b)は、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図7】本発明の第1の実施形態に係る半導体装置を積層させた積層型半導体装置の断面図である。

【図8】(a)及び(b)は、本発明の第1の実施形態に係る半導体装置の裏面側の構成のバリエーションを示す断面図である。

【図9】本発明の第2の実施例に係る半導体装置を示す断面図である。

【図10】(a)~(c)は、本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図11】(a)及び(b)は、本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図12】(a)及び(b)は、本発明の第3の実施形態に係る半導体装置を示す断面図である。

【図13】(a)~(c)は、本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図14】(a)~(c)は、本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図15】本発明の第3の実施形態に係る半導体装置の製造方法の工程を示す断面図である。

【図16】従来の貫通電極を有する半導体装置の断面図である。

10

20

30

40

50

【発明を実施するための形態】

【0032】

本発明に係る各実施形態について、図面を参照しながら説明する。なお、各実施形態において用いられる材料及び数値等は例示であって、それらに本発明が限定されることはない。また、本発明の技術的思想を逸脱しない範囲で、各実施形態を適宜変更することは可能であり、さらに、各実施形態同士の組み合わせ等も可能である。

【0033】

(第1の実施形態)

本発明の第1の実施形態に係る半導体装置について図1及び図2を参照しながら説明する。

【0034】

図1(a)に示すように、半導体基板1の上部(表面側)に不純物領域2が形成され、半導体基板1の上における不純物領域2同士の間、ゲート絶縁膜3が形成され、ゲート絶縁膜3の上にゲート電極4が形成されている。これらにより、デバイスである、例えばトランジスタが形成されている。また、半導体基板1の上部には、素子分離部5が形成され、素子分離部5はデバイスが形成されている活性領域を囲み、各活性領域は素子分離部5により互いに電氣的に絶縁されている。半導体基板1の上にはゲート絶縁膜3及びゲート電極4を覆うように、例えば酸化シリコン(SiO_2)からなる第1層間絶縁膜7aが形成されている。第1層間絶縁膜7aには、不純物領域2及びゲート電極4と接続する複数のコンタクト6が形成されている。第1層間絶縁膜7aの上には、例えば SiO_2 、炭素含有酸化シリコン(SiOC)又はフッ素含有酸化シリコン(SiOF)からなる第2層間絶縁膜7bが形成されている。第2層間絶縁膜7bには、コンタクト6と接続し、且つ、半導体装置内における信号の伝達及び電源電圧の供給を行う第1配線8aが形成されている。第2層間絶縁膜7bの上には、例えば SiO_2 、 SiOC 又は SiOF からなる第3層間絶縁膜7cが形成されている。第3層間絶縁膜7cには、第1配線8aと接続する第1ビア9aと、該第1ビア9aを介して第1配線8aと電氣的に接続する第2配線8bとが形成されている。さらに、第3層間絶縁膜7cの上には第4層間絶縁膜7dが形成され、第4層間絶縁膜7dには、第2配線8bと接続する第2ビア9bと、該第2ビア9bと接続し且つ半導体装置の外部に信号を取り出すためのパッド10が形成されている。第2層間絶縁膜7b、第3層間絶縁膜7c、第4層間絶縁膜7d、第1配線8a、第2配線8b、第1ビア9a及び第2ビア9bにより配線層11が形成されている。また、これらの配線及びビアは、例えば銅(Cu)により形成されている。

【0035】

また、半導体基板1及び第1層間絶縁膜7aには、これらを貫通し且つ第1配線8aと接続する貫通電極24が形成されている。貫通電極24の側面上には、バリア膜22が形成され、バリア膜22と半導体基板1の間には、例えば SiO_2 又は窒化シリコン(SiN)からなる絶縁膜21が形成されている。絶縁膜21は、半導体基板1と貫通電極24とを電氣的に絶縁し、バリア膜22は、貫通電極24を構成する導電材が半導体基板1に拡散することを防ぐ。なお、半導体基板1の上部において、絶縁膜21を囲むように素子分離部5が形成されている。ここで、バリア膜22は、貫通電極24を構成する導電材に対してバリア性を有する材料であることが好ましく、例えばタンタル(Ta)、窒化タンタル(TaN)、チタン(Ti)、タングステン化チタン(TiW)若しくは窒化チタン(TiN)等又はこれらを2つ以上組み合わせた材料等を用いてもよい。貫通電極24はタングステン(W)、ニッケル(Ni)又は金(Au)等であってもよい。

【0036】

半導体基板1の下面(裏面)側には、半導体基板1を覆い且つ絶縁膜21と接続するように第1裏面絶縁膜30aが形成されている。また、第1裏面絶縁膜30aの半導体基板1と反対側の面には、貫通電極24と接続するように裏面配線層31が形成され、裏面配線層31を覆うように第2裏面絶縁膜30bが形成され、さらに裏面配線層31と電氣的に接続するようにパンプ32が形成されている。

10

20

30

40

50

【0037】

貫通電極24の内部における半導体基板1の表面付近の領域には、貫通電極24を構成する導電材とは異なる材料からなる応力緩衝部25が形成されている。具体的に、応力緩衝部25は、貫通電極24の内部であって半導体基板1の表面が横切る位置に形成されている。応力緩衝部25は、空気等の気体からなることが好ましく、その気圧は 10^{-6} Pa \sim 10^{-2} Pa程度であることが好ましい。このようにすると、温度変動により貫通電極24が膨張したとしても、応力緩衝部25側に容易に膨張することができるため、貫通電極24の周囲の半導体基板1に加わる応力が緩和される。また、応力緩衝部25の体積は、貫通電極24の総体積に対して0.01% \sim 0.5%程度であり、好ましくは0.05% \sim 0.3%程度である。例えば、直径が5 μ mであり、基板面に垂直な方向の長さが50 μ mである貫通電極24に対して、応力緩衝部25は貫通電極24の中心部に形成され、直径が0.5 μ mであり、基板面に垂直な方向の長さが2.5 μ m程度である。これにより、貫通電極24の周囲に与える応力を約半分程度に低減することが可能となる。

【0038】

ここで、応力緩衝部25は、貫通電極24の内部における半導体基板1の表面付近の領域に形成されているが、半導体基板1の表面側から裏面側に向かって貫通電極24の中間の位置にまで延びていてもよい。このようにすると、半導体基板1の裏面側に生じる応力を緩和でき、半導体基板1の裏面側に形成された第1裏面絶縁膜30a等の半導体基板1からの剥離を防ぐことができ、また、半導体装置を積層する際に加わる応力により、貫通電極24が損傷を受けることを防ぐことができる。

【0039】

また、本実施形態では、図1(b)に示すように、半導体基板1の表面側から見た貫通電極24の形状が円形である場合を例示したが、図2(a) \sim (c)に示すように、その形状が正方形、正方形以外の四角形又は六角形であってもよく、さらに、これら以外の多角形であってもよい。なお、図1(b)及び図2(a) \sim (c)は、図1(a)の貫通電極24の周辺の平面図であり、半導体基板1よりも上に形成されている部材を省略している。

【0040】

本発明の第1の実施形態に係る半導体装置によると、貫通電極の周囲の半導体基板に掛かる応力を低減することができ、貫通電極の近傍のデバイスと貫通電極から離れた位置にあるデバイスとの特性の差を低減できるため、回路動作を安定化することが可能となる。その結果、信頼性が高い半導体装置を得ることができる。

【0041】

次に、本発明の第1の実施形態に係る半導体装置の製造方法について図3 \sim 図6を参照しながら説明する。

【0042】

まず、図3(a)に示すように、半導体基板1の上部に、例えば公知の技術により、トランジスタ及びダイオード等のデバイスを構成する不純物領域2及び素子分離部5を形成する。次に、半導体基板1の上における不純物領域2同士の間、ゲート絶縁膜3を形成し、形成したゲート絶縁膜3の上にゲート電極4を形成する。トランジスタ等が形成された各活性領域は、素子分離部5により互いに電氣的に絶縁される。続いて、半導体基板1の上に、ゲート絶縁膜3及びゲート電極4を覆うように第1層間絶縁膜7aを形成し、第1層間絶縁膜7aに、不純物領域2及びゲート電極4とそれぞれ接続する複数のコンタクト6を形成する。

【0043】

次に、図3(b)に示すように、ドライエッチング法及びウェットエッチング法等を用いて、第1層間絶縁膜7a及び素子分離部5を貫通し、半導体基板1の下部まで延びる電極用穴部20を形成する。前記のエッチング法ではなく、例えば、炭酸ガス(CO₂)レーザ及びYAG(yttrium aluminium garnet)レーザ等を用いて電極用穴部20を形成してもよい。ここで、電極用穴部20の口径は、例えば0.1 μ m \sim 50 μ m程度(好まし

くは $1\ \mu\text{m} \sim 20\ \mu\text{m}$ 程度) であり、電極用穴部 20 の深さは、例えば $5\ \mu\text{m} \sim 200\ \mu\text{m}$ 程度 (好ましくは $20\ \mu\text{m} \sim 50\ \mu\text{m}$ 程度) である。

【0044】

なお、半導体基板 1 の上面側から見た電極用穴部 20 の形状は円形であることが好ましいが、本発明はこれに限定されるものではなく、前述のように、その形状は正方形、正方形以外の四角形又は六角形であってもよく、これら以外の多角形であってもよい。

【0045】

次に、図 3 (c) に示すように、第 1 層間絶縁膜 7 a の上並びに電極用穴部 20 の底面上及び壁面上に絶縁膜 21 を形成する。絶縁膜 21 の材料は、 SiO_2 及び SiN 等であることが好ましい。絶縁膜 21 の膜厚は、 $0.05\ \mu\text{m} \sim 2\ \mu\text{m}$ 程度であることが好ましい。

10

【0046】

次に、図 4 (a) に示すように、絶縁膜 21 を覆うようにバリア膜 22 を形成する。バリア膜 22 の膜厚は $0.5\ \text{nm} \sim 10\ \text{nm}$ 程度であることが好ましい。バリア膜 22 は、後の工程において形成する貫通電極を構成する導電材に対してバリア性を有する材料であることが好ましく、例えば Ta 、 TaN 、 Ti 、 TiW 若しくは TiN 等又はこれらを 2 つ以上組み合わせた材料等を用いてもよい。

【0047】

次に、図 4 (b) に示すように、バリア膜 22 を覆うように、導電性を有する金属材料からなるめっき膜 23 を形成する。ここで、用いる金属材料は、 Cu 等の導電体であることが好ましい。

20

【0048】

次に、図 4 (c) に示すように、電解めっき法を用いて、電極用穴部 20 の上部に空隙部 25 A ができるように導電材からなる導電膜 24 A を形成する。ここで、導電材は Cu を用いることが好ましい。この際に、めっき薬液の添加剤として、一般にレベラーと呼ばれる硫黄化合物を適当な量だけ含ませることによって、電極用穴部 20 の壁面側よりも底面側から優先的に導電膜 24 A が成長して電極用穴部 20 を埋めるようにボトムアップ成長をさせることにより、半導体基板 1 の表面の近傍の領域まで導電膜 24 A を成長する。

【0049】

次に、図 5 (a) に示すように、例えば物理気相成長 (physical vapor deposition: PVD) 及び化学気相成長 (chemical vapor deposition: CVD) 等を用いて、半導体基板 1 の表面側から電極用穴部 20 に前記の導電材と同一の材料、例えば Cu からなる導電膜 24 A を形成する。これにより、電極用穴部 20 の開口端部は導電膜 24 A によって閉じられ、導電膜 24 A の内部に導電材と異なる応力緩衝部 25 が形成される。なお、前述したように、応力緩衝部 25 は、導電膜 24 A の内部であって半導体基板 1 の表面が横切る位置に形成されている。ここで、図 3 (c) の工程において、導電膜 24 A の成長時間を短くすることにより、応力緩衝部 25 を半導体基板 1 の表面側から裏面側に向かって、導電膜 24 A の中間の位置にまで延びるように形成しても構わない。前記の通り、この導電材と異なる材料からなる応力緩衝部 25 は、空気等の気体からなることが好ましく、その気圧は $10^{-6}\ \text{Pa} \sim 10^{-2}\ \text{Pa}$ 程度であることが好ましい。

30

40

【0050】

次に、図 5 (b) に示すように、化学機械研磨 (Chemical Mechanical Polishing: CMP) 等を用いて、半導体基板 1 の表面側に堆積した導電膜 24 A、バリア膜 22、絶縁膜 21 を除去し、第 1 層間絶縁膜 7 a を露出する。ここで、前述したように、電極用穴部 20 に埋め込まれた導電膜 24 A と応力緩衝部 25 との大きさの関係は、導電膜 24 A の総体積に対して応力緩衝部 25 の総体積はその $0.01\% \sim 0.5\%$ 程度であり、好ましくは $0.05\% \sim 0.3\%$ 程度である。例えば、直径が $5\ \mu\text{m}$ であり、基板面に垂直な方向の長さが $50\ \mu\text{m}$ である導電膜 24 A に対して、応力緩衝部 25 は導電膜 24 A の中心部に形成され、直径が $0.5\ \mu\text{m}$ であり、基板面に垂直な方向の長さが $2.5\ \mu\text{m}$ 程度である。

50

【0051】

次に、図5(c)に示すように、公知の技術を用いて、第1層間絶縁膜7aの上に、配線層11を形成する。具体的に、第1層間絶縁膜7aの上に、導電膜24Aを覆うように第2層間絶縁膜7bを形成し、形成した第2層間絶縁膜7bにコンタクト6及び導電膜24Aとそれぞれ接続する複数の第1配線8aを形成する。続いて、第2層間絶縁膜7bの上に、第3層間絶縁膜7cを形成し、形成した第3層間絶縁膜7cに第1配線8aと接続する第1ビア9a、及び該第1ビア9aを介して第1配線8aと接続する第2配線8bを形成する。続いて、第3層間絶縁膜7cの上に第4層間絶縁膜7dを形成し、形成した第4層間絶縁膜7dに第2配線8bと接続する第2ビア9bと、該第2ビア9bと接続し且つ半導体装置の外部に信号を取り出すためのパッド10とを形成する。図5(c)では、2層の配線層11を示しているが、本発明は2層に限定されるものでなく、3層以上であってもよい。

10

【0052】

次に、図6(a)に示すように、例えばグラインド及びCMP等を用いて、裏面側から半導体基板1を薄くし、半導体基板1の裏面に導電膜24Aを露出することにより貫通電極24を形成する。

【0053】

次に、図6(b)に示すように、薄化した半導体基板1の裏面側に、絶縁膜21と接続するように第1裏面絶縁膜30aを形成する。第1裏面絶縁膜30aの半導体基板1と反対側には、貫通電極24と接続するように裏面配線層31を形成し、裏面配線層31を覆うように第2裏面絶縁膜30bを形成する。さらに、第2裏面絶縁膜30bをパターニングし、裏面配線層31と接続するように、 bumps 32を形成する。

20

【0054】

本発明の第1の実施形態に係る半導体装置の製造方法によると、貫通電極が温度変動により膨張したとしても、応力緩衝部の方向に容易に膨張することができるため、貫通電極の周囲の半導体基板に加わる応力が緩和される。その結果、貫通電極の近傍のトランジスタと貫通電極から離れた位置にあるトランジスタとの特性の差を低減でき、回路動作を安定化することが可能となり、信頼性が高い半導体装置を得ることができる。

【0055】

次に、本発明の第1の実施形態に係る積層型半導体装置について図7を参照しながら説明する。

30

【0056】

図7に示すように、インターポーザ34の上に、第1の実施形態の半導体装置と同一の構成を有する半導体装置100a、100bが積層されている。ここで、上側の半導体装置100aの裏面側に形成された bumps 32と、下側の半導体装置100bのパッド10とが、例えば共晶結合を介して電氣的に接続されていると共に、上側の半導体装置100aと下側の半導体装置100bとがアンダーフィル33によって互いに固着されている。また、下側の半導体装置100bにおいて、半導体基板1の裏面に露出する貫通電極24と、インターポーザ34とが、例えば半田からなる bumps 32を介して電氣的に接続されていると共に、下側の半導体装置100bとインターポーザ34とがアンダーフィル33によって互いに固着されている。

40

【0057】

本実施形態では、2つの半導体装置が積層された積層型半導体装置について説明したが、3つ以上の半導体装置が積層されていても構わない。また、積層型半導体装置を構成する半導体装置のうち少なくとも1つが本発明の第1の実施形態に係る半導体装置であればよい。

【0058】

なお、半導体装置同士の間積層方式に応じて、半導体装置の裏面の構造を最適化することが可能である。例えば、図8(a)に示すように、半導体基板1の裏面側に貫通電極24が突出するような構造とし、金属同士の直接の接合を行ってもよい。また、図8(b)

50

)に示すように、半導体基板1の裏面側において、貫通電極24に直接に接合するバンプ32を形成し、これを用いて半導体装置同士を積層してもよい。

【0059】

本発明の第1の実施形態に係る積層型半導体装置によると、半導体装置同士及び半導体装置とインターポーザとを最短距離で接続できるため、積層型半導体装置を小型化でき、且つ、応力の変動の影響を受けにくい半導体装置を積層するため、信頼性が高い積層型半導体装置を得ることができる。

【0060】

(第2の実施形態)

本発明の第2の実施形態に係る半導体装置について図9を参照しながら説明する。本実施形態において、第1の実施形態と同一の部分については説明を省略し、異なる部分についてのみ説明する。

【0061】

本実施形態の半導体装置は、第1の実施形態の半導体装置と比較して、応力緩衝部25の大きさが異なる。具体的に、図9に示すように、貫通電極24の内部に、該貫通電極24における半導体基板1の表面側から裏面にまで延び、且つ、導電材と異なる材料により構成された応力緩衝部25が形成されている。また、応力緩衝部25は、貫通電極24の内部であって半導体基板1の表面が横切る位置に形成されている。これにより、貫通電極24を構成する導電材に起因して貫通電極24の周辺の半導体基板1に加わる応力を緩和すると共に、半導体基板1の裏面側に形成された第1裏面絶縁膜30a等に生じる応力を緩和することができ、第1裏面絶縁膜30a等が半導体基板1から剥離することを防ぐことができる。これにより、裏面配線層31と半導体基板1とのショートを防ぐことができる。

【0062】

ここで、第1の実施形態と同様に、半導体基板1の上面側から見た貫通電極24の形状は円形であることが好ましいが、本発明はこれに限定されるものではなく、その形状は正方形、正方形以外の四角形又は六角形であってもよく、これら以外の多角形であってもよい。

【0063】

本発明の第2の実施形態に係る半導体装置によると、貫通電極の周囲の半導体基板に加わる応力を緩和でき、貫通電極の近傍のトランジスタと貫通電極から離れた位置にあるトランジスタとの特性の差を低減でき、回路動作を安定化することが可能となる。また、半導体基板の裏面側に形成された裏面絶縁膜等が半導体基板から剥離することを防ぐことができるため、信頼性が高い半導体装置を得ることができる。

【0064】

次に、本発明の第2の実施形態に係る半導体装置の製造方法について図10～図13を参照しながら説明する。本実施形態において、第1の実施形態と同一の部分については説明を省略し、異なる部分についてのみ説明する。

【0065】

本実施形態の半導体装置の製造方法は、第1の実施形態の半導体装置の製造方法と比較して、応力緩衝部25を形成する方法が異なる。具体的に、図10(a)に示すように、めっき膜23を形成するまでの工程は第1の実施形態と同一である。また、第1の実施形態と同様に、半導体基板1の上面側から見た電極用穴部20の形状は円形であることが好ましいが、本発明はこれに限定されるものではなく、前述のように、その形状は正方形、正方形以外の四角形又は六角形であってもよく、これら以外の多角形であってもよい。

【0066】

めっき膜23を形成した後に、図10(b)に示すように、電解めっき法を用いて、電極用穴部20の中心部に空隙部25Aができるように導電材からなる導電膜24Aを形成する。ここで、導電材はCuを用いることが好ましい。この際に、めっき薬液の添加剤であるレベラーと呼ばれる硫黄化合物を適当な量だけ含ませることによって、電極用穴部2

10

20

30

40

50

0の底面側及び壁面側から導電膜24Aが一様に成長して電極用穴部20を埋めるようにコンフォーマル成長をさせる。このようにすると、電極用穴部20の開口端部に電解が集中するため、めっきがされやすく、その結果、開口端部に比較的厚く導電膜24Aが形成される。

【0067】

次に、図10(c)に示すように、例えばPVD及びCVD等を用いて、半導体基板1の表面側から電極用穴部20に前記の導電材と同一の材料、例えばCuからなる導電膜24Aを形成する。これにより、電極用穴部20の開口端部は導電膜24Aによって閉じられ、導電膜24Aの中心部に導電材と異なる材料からなる応力緩衝部25が形成される。なお、第1の実施形態と同様に、応力緩衝部25は、空気等の気体からなることが好ましく、その気圧としては 10^{-6} Pa ~ 10^{-2} Pa程度であることが好ましい。

10

【0068】

次に、図11(a)に示すように、半導体基板1の表面側からCMP等を用いて半導体基板1の表面上に堆積した導電膜24A、バリア膜22及び絶縁膜21を除去し、再び第1層間絶縁膜7aを露出する。ここで、電極用穴部20に埋め込まれた導電膜24Aと応力緩衝部25の大きさの関係において、応力緩衝部25の総体積は導電膜24Aの総体積の0.01%程度以上である。例えば、直径が5 μ mであり、基板面に垂直な方向の長さが50 μ mである貫通電極24に対して、応力緩衝部25の直径が100nmであり、基板面に垂直な方向の長さが48 μ m程度である。このような応力緩衝部25を形成することにより、貫通電極24が温度変動により膨張したとしても、応力緩衝部25側に容易に膨張することができるため、貫通電極24の周囲の半導体基板1に加わる応力が緩和される。その結果、貫通電極24の近傍のトランジスタと貫通電極24から離れた位置にあるトランジスタとの特性の差は小さくなり、回路の動作を安定化することが可能となる。

20

【0069】

その後、第1の実施形態と同一の方法により、半導体基板1の表面側の配線層11を形成し、裏面側に導電膜24Aを露出することにより貫通電極24を形成し、裏面側に貫通電極24と接続する裏面配線層31等を形成することにより、図11(b)に示す半導体装置を得る。

【0070】

本発明の第2の実施形態に係る半導体装置の製造方法によると、貫通電極の周囲の半導体基板に加わる応力を緩和でき、貫通電極の近傍のトランジスタと貫通電極から離れた位置にあるトランジスタとの特性の差を低減でき、回路動作を安定化することが可能となる。また、半導体基板の裏面側に形成された裏面絶縁膜等が半導体基板から剥離することを防ぐことができるため、信頼性が高い半導体装置を得ることができる。さらに、電極用穴部に導電材を埋める体積を減少できるため、電極用穴部に導電材を埋め込むために必要な時間を短縮でき、その結果、半導体装置の製造時間を短縮することができる。

30

【0071】

なお、第2の実施形態の半導体装置を用いて、第1の実施形態に係る積層型半導体装置と同様に積層構造を有する積層型半導体装置を形成することもでき、これにより、信頼性が高い積層型半導体装置を得ることができる。なお、積層される各半導体装置において、半導体基板の裏面側に貫通電極が突出するような構造とし、金属同士の直接の接合を行ってもよいし、半導体基板の裏面側において、貫通電極に直接に接合するパンプを形成し、これを用いて半導体装置同士を積層してもよい。

40

【0072】

(第3の実施形態)

本発明の第3の実施形態に係る半導体装置について図12を参照しながら説明する。本実施形態において、第1の実施形態及び第2の実施形態と同一の部分については説明を省略し、異なる部分についてのみ説明する。

【0073】

本実施形態の半導体装置は、第1の実施形態及び第2の実施形態の半導体装置と比較し

50

て、応力緩衝部 25 の材料が異なる。具体的に、図 12 (a) に示すように、応力緩衝部 25 は、空気等の気体ではなく、貫通電極 24 を構成する導電材よりもヤング率が小さい材料からなる。応力緩衝部 25 は、貫通電極 24 の内部における半導体基板 1 の表面の近傍の領域に形成されている。また、応力緩衝部 25 は、貫通電極 24 の内部であって半導体基板 1 の表面が横切る位置に形成されている。これにより、温度変動により貫通電極 24 が膨張したとしても、応力緩衝部 25 側に容易に膨張することができるため、貫通電極 24 の周辺の半導体基板 1 及び貫通電極 24 の直上の配線層 11 に応力を与えることを防ぐことができる。なお、応力緩衝部 25 は、半導体基板 1 の表面側から裏面側に向かって貫通電極 24 の中間の位置にまで延びていてもよい。また、図 12 (b) に示すように、第 2 の実施形態と同様に、応力緩衝部 25 は半導体基板 1 の表面側から裏面の近傍にまで延びていてもよい。ここで、第 1 の実施形態と同様に、半導体基板 1 の上面側から見た貫通電極 24 の形状は円形であることが好ましいが、本発明はこれに限定されるものではなく、その形状は正方形、正方形以外の四角形又は六角形であってもよく、これら以外の多角形であってもよい。

10

20

30

40

50

【 0 0 7 4 】

なお、応力緩衝部 25 に用いる導電材よりもヤング率が低い材料は、エポキシ樹脂及びベンゾシクロブテン (benzo cyclobuten : B C B) 樹脂等であることが好ましい。

【 0 0 7 5 】

本発明の第 3 の実施形態に係る半導体装置によると、貫通電極の周囲の半導体基板に掛かる応力を低減することができ、貫通電極の近傍のデバイスと貫通電極から離れた位置にあるデバイスとの特性の差を低減できるため、回路動作を安定化することが可能となる。その結果、信頼性が高い半導体装置を得ることができる。また、貫通電極に、固体が埋め込まれていない領域を形成しないため、半導体装置の機械強度を保つことが可能となる。

【 0 0 7 6 】

次に、第 3 の実施形態に係る半導体装置の製造方法について図 13 ~ 図 15 を参照しながら説明する。本実施形態において、第 1 の実施形態及び第 2 の実施形態と同一の部分については説明を省略し、異なる部分についてのみ説明する。

【 0 0 7 7 】

本実施形態の半導体装置の製造方法は、第 1 の実施形態及び第 2 の実施形態の半導体装置の製造方法と比較して、応力緩衝部 25 を形成する方法が異なる。具体的に、図 13 (a) に示すように、めっき膜 23 を形成するまでの工程は第 1 の実施形態と同一である。また、第 1 の実施形態と同様に、半導体基板 1 の上面側から見た電極用穴部 20 の形状は円形であることが好ましいが、本発明はこれに限定されない。

【 0 0 7 8 】

めっき膜 23 を形成した後に、図 13 (b) に示すように、第 1 の実施形態と同様に電解めっき法を用いて、電極用穴部 20 の上部に空隙部 25 A ができるように導電材からなる導電膜 24 A を形成する。ここで、導電材は Cu を用いることが好ましい。この際に、めっき薬液の添加剤であるレバラーと呼ばれる硫黄化合物を適量だけ含ませることによって、電極用穴部 20 の壁面側よりも底面側から優先的に導電膜 24 A が成長して電極用穴部 20 を埋めるようにボトムアップ成長をさせることにより、半導体基板 1 の表面の近傍の領域まで導電膜 24 A を成長する。

【 0 0 7 9 】

次に、図 13 (c) に示すように、スピンコート法及びスプレーコート法等を用いて、電極用穴部 20 に形成した導電膜 24 A の上に、空隙部 25 A を埋めるように導電膜 24 A よりもヤング率が小さい材料である低ヤング率膜 40 を形成する。

【 0 0 8 0 】

次に、図 14 (a) に示すように、ドライエッチング法及びウェットエッチング法等を用いて、半導体基板 1 の表面側の全面に対してエッチングを行い、低ヤング率膜 40 の上面を第 1 層間絶縁膜 7 a の上面よりも低くなるようにエッチバックする。

【 0 0 8 1 】

次に、図 1 4 (b) に示すように、例えば P V D 及び C V D 等を用いて、半導体基板 1 の表面側から、電極用穴部 2 0 に埋め込まれた導電材と同一の材料、例えば C u からなる導電膜 2 4 A を堆積することにより、電極用穴部 2 0 の開口端部を導電膜 2 4 A により閉じる。これにより、半導体基板 1 の表面の近傍の領域に、導電膜 2 4 A の内部に、電極用穴部 2 0 に埋め込まれた導電膜 2 4 A よりもヤング率が小さい材料からなる応力緩衝部 2 5 を形成する。なお、応力緩衝部 2 5 は、導電膜 2 4 A の内部であって半導体基板 1 の表面が横切る位置に形成される。ここで、図 1 3 (b) の工程において、導電膜 2 4 A の成長時間を短くすることにより、応力緩衝部 2 5 を半導体基板 1 の表面側から裏面側に向かって導電膜 2 4 A の中間の位置にまで延びるように形成しても構わない。また、第 2 の実施形態と同様に、レベラーの量を変えて、導電膜 2 4 A をコンフォーマル成長させることにより、半導体基板 1 の表面側から裏面の近傍にまで延びるように応力緩衝部 2 5 を形成してもよい。

10

【 0 0 8 2 】

次に、図 1 4 (c) に示すように、半導体基板の表面側から C M P 等を用いて半導体基板 1 の表面上に堆積した導電膜 2 4 A、バリア膜 2 2 及び絶縁膜 2 1 を除去し、再び第 1 層間絶縁膜 7 a を露出する。

【 0 0 8 3 】

その後、第 1 の実施形態と同一の方法により、半導体基板 1 の表面側の配線層 1 1 を形成し、裏面側に導電膜 2 4 A を露出することにより貫通電極 2 4 を形成し、裏面側に貫通電極 2 4 と接続する裏面配線層 3 1 等を形成することにより、図 1 5 に示す半導体装置を得る。

20

【 0 0 8 4 】

本発明の第 3 の実施形態に係る半導体装置の製造方法によると、貫通電極の周囲の半導体基板に掛かる応力を低減することができ、貫通電極の近傍のデバイスと貫通電極から離れた位置にあるデバイスとの特性の差を低減できるため、回路動作を安定化することが可能となる。その結果、信頼性が高い半導体装置を得ることができる。また、貫通電極に、固体が埋め込まれていない領域を形成しないため、半導体装置の機械強度を保つことが可能となる。

【 0 0 8 5 】

なお、第 3 の実施形態の半導体装置を用いて、第 1 の実施形態に係る積層型半導体装置と同様に積層構造を有する積層型半導体装置を形成することもでき、これにより、信頼性が高い積層型半導体装置を得ることができる。なお、積層される各半導体装置において、半導体基板の裏面側に貫通電極が突出するような構造とし、金属同士の直接の接合を行ってもよく、また、半導体基板の裏面側において、貫通電極に直接に接合するバンプを形成し、これを用いて半導体装置同士を積層してもよい。

30

【 産業上の利用可能性 】

【 0 0 8 6 】

本発明に係る半導体装置及びその製造方法並びにそれを用いた積層型半導体装置は、貫通電極の周囲の半導体基板に加わる応力を緩和することにより信頼性を増大でき、特に、半導体基板を貫通する貫通電極を有する半導体装置及びその製造方法並びに積層型半導体装置等に有用である。

40

【 符号の説明 】

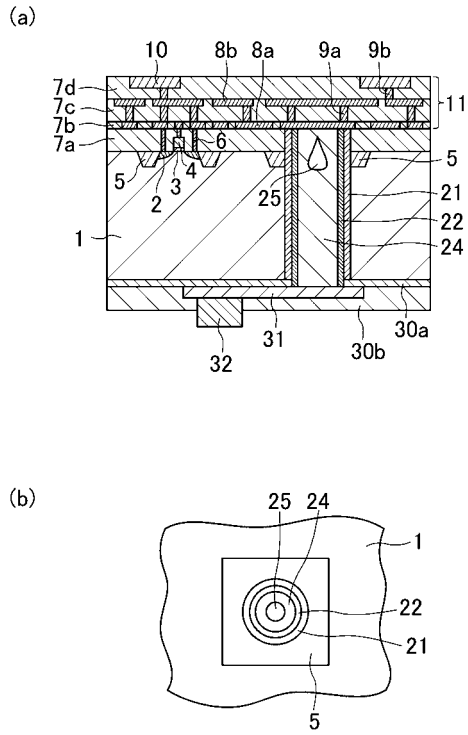
【 0 0 8 7 】

- 1 半導体基板
- 2 不純物領域
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 素子分離部
- 6 コンタクト
- 7 a 第 1 層間絶縁膜

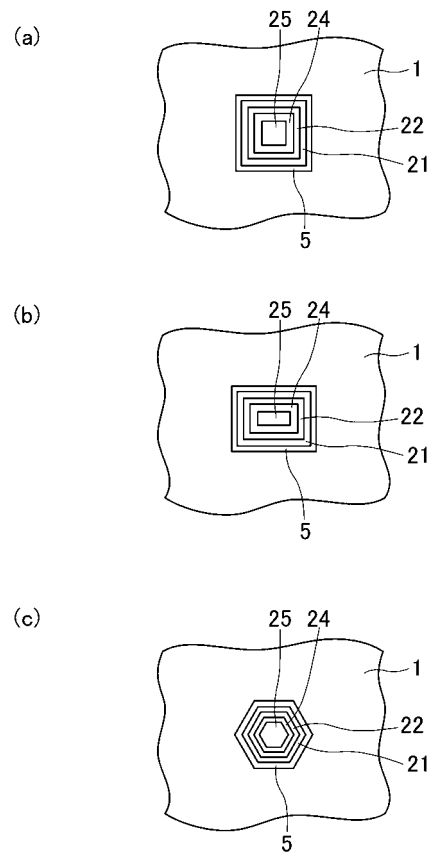
50

7 b	第 2 層間絶縁膜	
7 c	第 3 層間絶縁膜	
7 d	第 4 層間絶縁膜	
8 a	第 1 配線	
8 b	第 2 配線	
9 a	第 1 ビア	
9 b	第 2 ビア	
1 0	パッド	
1 1	配線層	
2 0	電極用穴部	10
2 1	絶縁膜	
2 2	バリア膜	
2 3	めっき膜	
2 4 A	導電膜	
2 4	貫通電極	
2 5 A	空隙部	
2 5	応力緩衝部	
3 0 a	第 1 裏面絶縁膜	
3 0 b	第 2 裏面絶縁膜	
3 1	裏面配線層	20
3 2	バンブ	
3 3	アンダーフィル	
3 4	インターポザ	
4 0	低ヤング率膜	
1 0 0 a	(上側の)半導体装置	
1 0 0 b	(下側の)半導体装置	

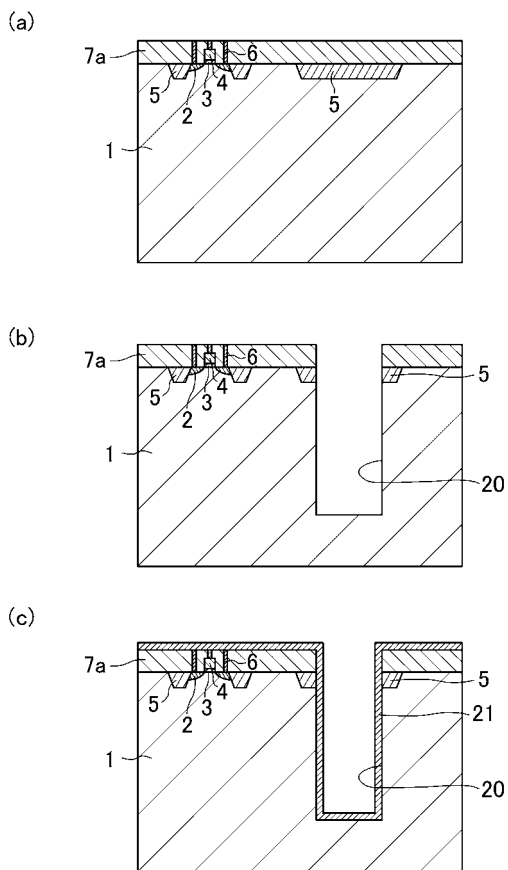
【 図 1 】



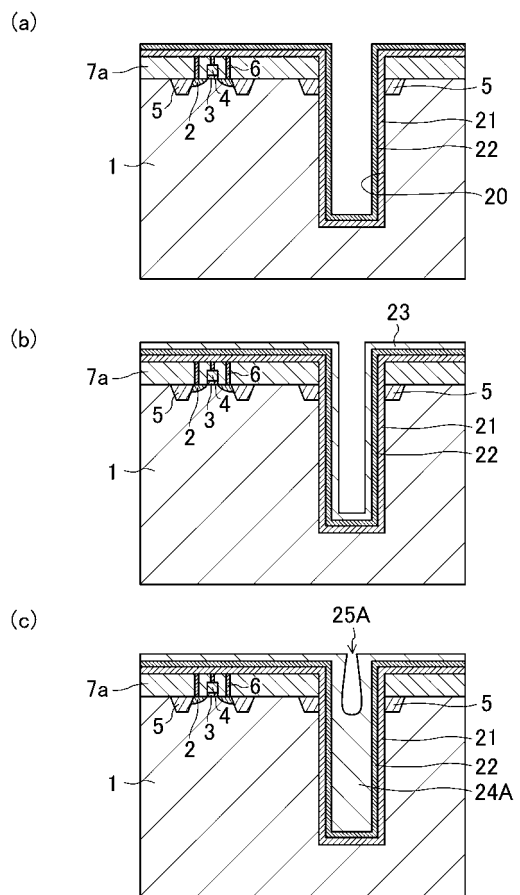
【 図 2 】



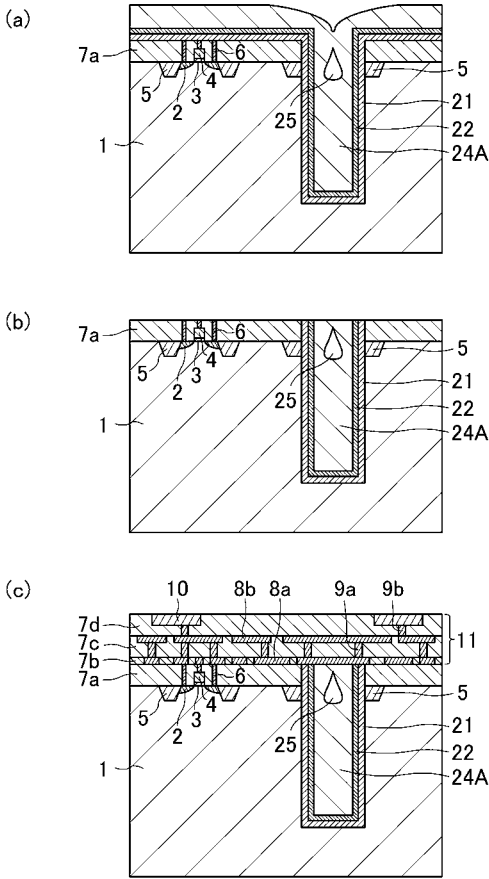
【 図 3 】



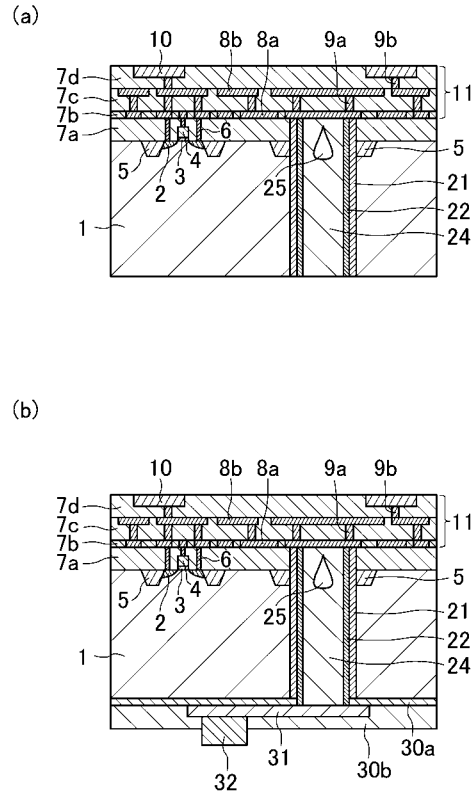
【 図 4 】



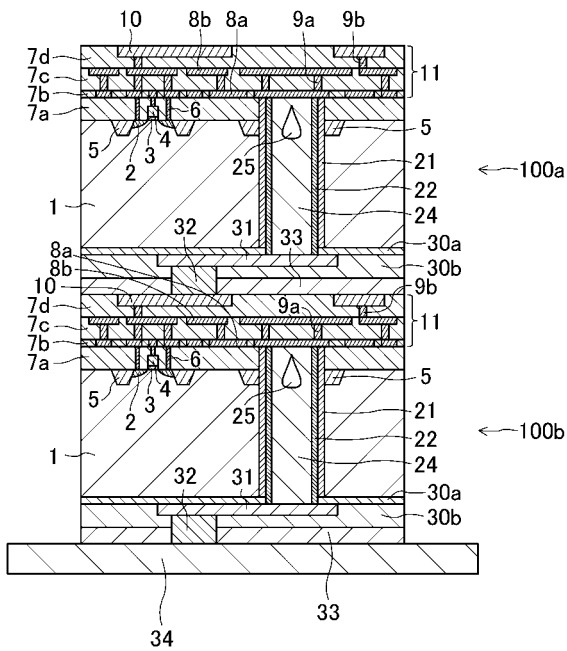
【 図 5 】



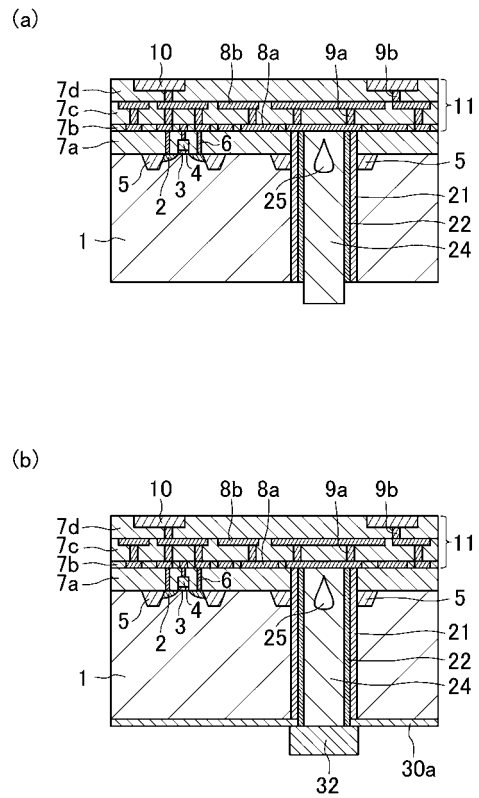
【 図 6 】



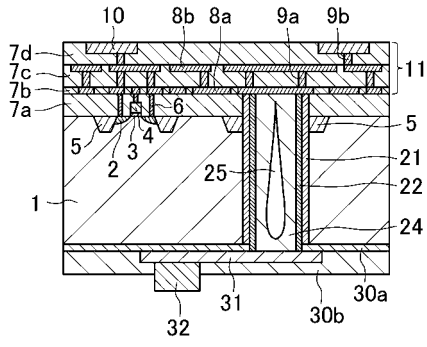
【 図 7 】



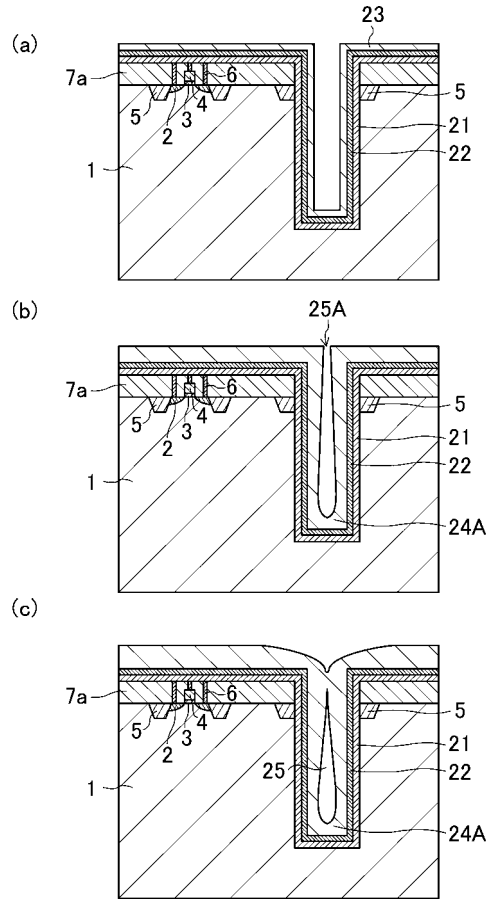
【 図 8 】



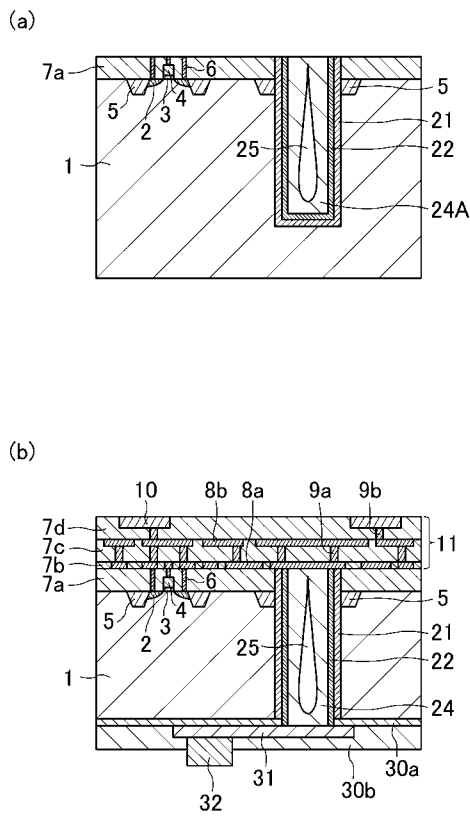
【 図 9 】



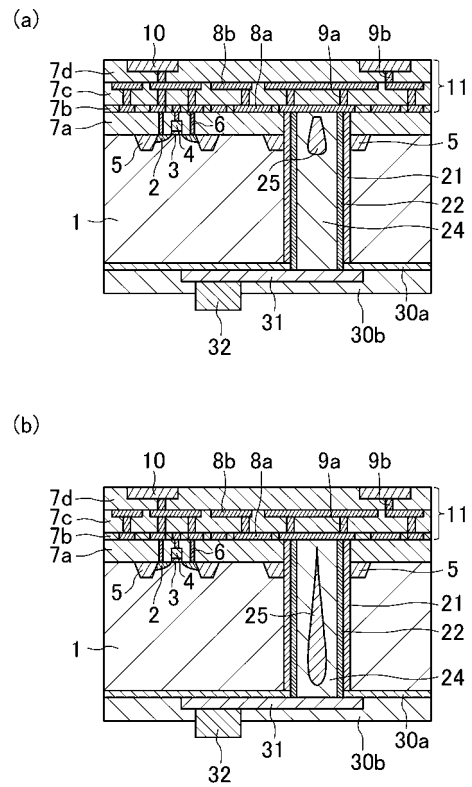
【 図 1 0 】



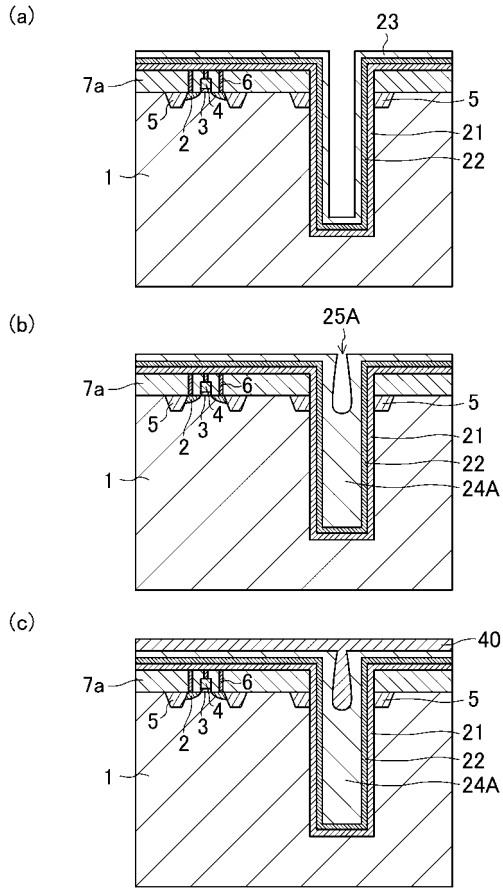
【 図 1 1 】



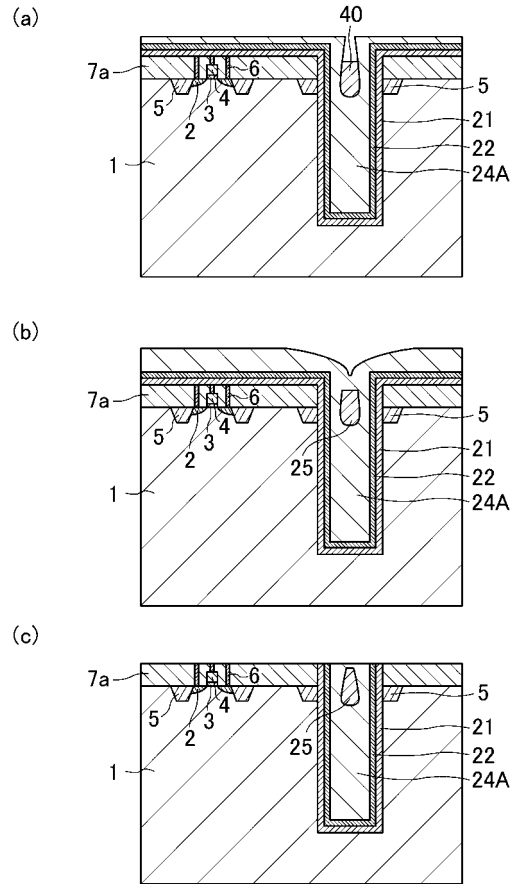
【 図 1 2 】



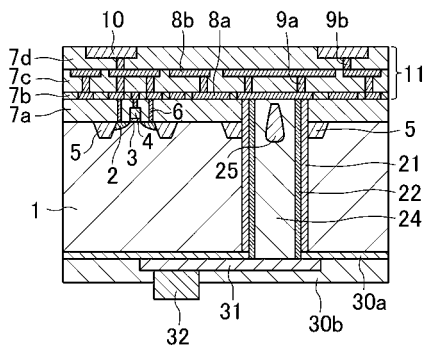
【 図 1 3 】



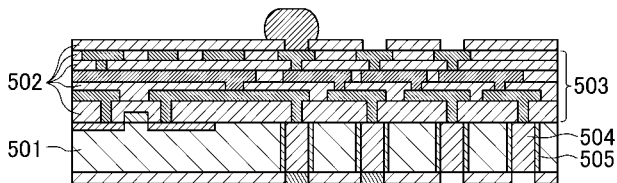
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 25/18 (2006.01)

(74)代理人 100117710
 弁理士 原田 智雄

(74)代理人 100121728
 弁理士 井関 勝守

(74)代理人 100124671
 弁理士 関 啓

(74)代理人 100131060
 弁理士 杉浦 靖也

(74)代理人 100131200
 弁理士 河部 大輔

(74)代理人 100131901
 弁理士 長谷川 雅典

(74)代理人 100132012
 弁理士 岩下 嗣也

(74)代理人 100141276
 弁理士 福本 康二

(74)代理人 100143409
 弁理士 前田 亮

(74)代理人 100157093
 弁理士 間脇 八蔵

(74)代理人 100163186
 弁理士 松永 裕吉

(74)代理人 100163197
 弁理士 川北 憲司

(74)代理人 100163588
 弁理士 岡澤 祥平

(72)発明者 西尾 太一
 大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 中林 隆
 大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

F ターム(参考) 5F033 HH11 JJ07 JJ13 JJ18 JJ19 JJ21 JJ23 JJ32 JJ33 MM30
 NN01 NN05 NN07 PP06 PP14 PP27 PP28 QQ07 QQ09 QQ11
 QQ19 QQ37 QQ48 QQ53 RR01 RR04 RR06 RR11 TT07 VV07
 WW00 XX19