(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년08월30일
(11) 등록번호 10-2571610
(24) 등록일자 2023년08월23일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *H10K 59/00* (2023.01)
(52) CPC특허분류
H01L 27/1225 (2013.01)
H01L 27/124 (2013.01)
(21) 출원번호 10-2017-0019596
(22) 출원일자 2017년02월13일
심사청구일자 2021년12월22일
(65) 공개번호 10-2018-0094185
(43) 공개일자 2018년08월23일
(56) 선행기술조사문헌
KR1020140120736 A*
US20030141504 A1*
US20160276374 A1*
US20160307988 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김재범
서울특별시 서초구 남부순환로 2183, 201동 1301호 (방배동, 방배래미안타워)
김세령
경기도 평택시 정암로60번길 77, 103동 405호 (이충동, 주공4단지)
(뒷면에 계속)
(74) 대리인
특허법인 고려

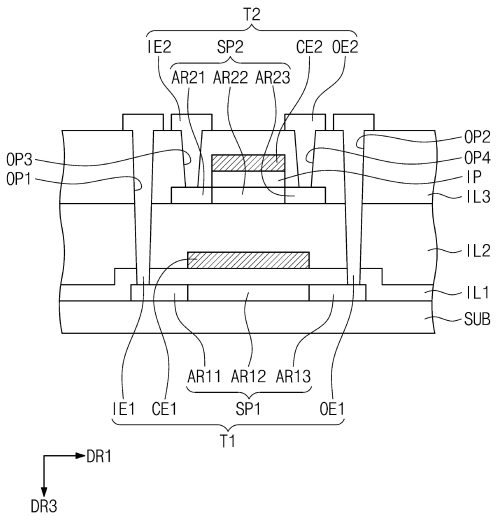
전체 청구항 수 : 총 18 항 심사관 : 장영주

(54) 발명의 명칭 **반도체 장치 및 이의 제조방법**

(57) 요 약

본 명세서는 반도체 장치 및 이의 제조방법에 관한 것이다. 반도체 장치는 베이스 기판, 베이스 기판 상에 배치된 제1 및 제2 박막 트랜지스터들을 포함한다. 제1 박막 트랜지스터는 제1 입력 전극, 제1 출력 전극, 제1 절연층 하측에 배치된 제1 반도체 패턴, 및 제1 절연층 상측에 배치되고 제2 절연층 하측에 배치된 제1 제어 전극을 포함한다. 제2 박막 트랜지스터는 제2 입력 전극, 제2 출력 전극, 제2 절연층 상측에 배치된 제2 반도체 패턴, 및 제2 반도체 패턴 상에 배치되어 제2 반도체 패턴의 일부를 노출시키는 절연 패턴 상에 배치된 제2 제어 전극을 포함한다. 제1 반도체 패턴은 결정질 반도체를 포함하고, 제2 반도체 패턴은 산화물 반도체를 포함한다. 제1 반도체 패턴, 제1 제어 전극, 제2 반도체 패턴, 및 제2 제어 전극은 평면상에서 중첩한다.

대 표 도 - 도3



(52) CPC특허분류
H01L 27/1255 (2013.01)
H10K 59/12 (2023.02)
(72) 발명자
임준형
서울특별시 서초구 방배중앙로 207-10, 25층 104-2501호 (방배동, 아크로리버)
김태상
서울특별시 송파구 동남로 225, 108동 1103호 (가락동, 래미안파크팰리스)

명 세 서

청구범위

청구항 1

베이스 기판;

제1 입력 전극, 제1 출력 전극, 제1 절연층 하측에 배치된 제1 반도체 패턴, 및 상기 제1 절연층 상측에 배치되고 제2 절연층 하측에 배치된 제1 제어 전극을 포함하며, 상기 베이스 기판 상에 배치된 제1 박막 트랜지스터;

제2 입력 전극, 제2 출력 전극, 상기 제2 절연층 상측에 배치된 제2 반도체 패턴, 및 상기 제2 반도체 패턴 상에 배치되어 상기 제2 반도체 패턴의 일부를 노출시키는 절연 패턴 상에 배치된 제2 제어 전극을 포함하는 제2 박막 트랜지스터; 및

상기 베이스 기판 상에 배치된 제1 커패시터를 포함하고,

상기 제1 반도체 패턴은 결정질 반도체를 포함하고, 상기 제2 반도체 패턴은 산화물 반도체를 포함하며,

상기 제1 반도체 패턴, 상기 제1 제어 전극, 상기 제2 반도체 패턴, 및 상기 제2 제어 전극은 평면상에서 중첩하고,

상기 제1 커패시터는

상기 제1 제어 전극과 동일한 층 상에 배치된 제1 전극;

상기 제2 반도체 패턴과 동일한 층 상에 배치된 제2 전극; 및

상기 제1 전극 및 상기 제2 전극 사이에 배치되고, 상기 산화물 반도체를 포함하는 제3 반도체 패턴을 포함하며,

상기 제2 절연층은 상기 제1 전극 및 상기 제2 전극 사이에 배치되고,

상기 제3 반도체 패턴은 상기 제2 절연층 및 상기 제2 전극 사이에 배치되고,

상기 제2 전극 및 상기 제3 반도체 패턴은 서로 접촉하는 반도체 장치.

청구항 2

제1항에 있어서,

평면상에서, 상기 제2 입력 전극 및 상기 제2 출력 전극은 상기 제1 입력 전극 및 상기 제1 출력 전극 사이에 배치된 것인 반도체 장치.

청구항 3

제2항에 있어서,

상기 제2 절연층 상에 배치되고, 상기 제2 반도체 패턴, 상기 절연 패턴, 및 상기 제2 제어 전극을 커버하는 제3 절연층을 더 포함하고,

상기 제1 입력 전극 및 상기 제1 출력 전극은 상기 제1 절연층, 상기 제2 절연층 및 상기 제3 절연층을 관통하고, 서로 이격된 제1 관통홀 및 제2 관통홀 각각을 통해 상기 제1 반도체 패턴에 접촉하며,

상기 제2 입력 전극 및 상기 제2 출력 전극은 상기 제3 절연층을 관통하고, 서로 이격된 제3 관통홀 및 제4 관통홀 각각을 통해 상기 제2 반도체 패턴에 접촉하고,

평면상에서, 상기 제3 관통홀 및 상기 제4 관통홀은 상기 제1 관통홀 및 상기 제2 관통홀 사이에 제공된 것인 반도체 장치.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 제1 전극 및 상기 제2 전극 사이에 배치된 상기 제2 절연층의 두께는 상기 제1 제어 전극 및 상기 제2 반도체 패턴 사이에 배치된 상기 제2 절연층의 두께보다 큰 것인 반도체 장치.

청구항 6

삭제

청구항 7

베이스 기판;

제1 입력 전극, 제1 출력 전극, 제1 절연층 하측에 배치된 제1 반도체 패턴, 및 상기 제1 절연층 상측에 배치되고 제2 절연층 하측에 배치된 제1 제어 전극을 포함하며, 상기 베이스 기판 상에 배치된 제1 박막 트랜지스터; 및

제2 입력 전극, 제2 출력 전극, 상기 제2 절연층 상측에 배치된 제2 반도체 패턴, 및 상기 제2 반도체 패턴 상에 배치되어 상기 제2 반도체 패턴의 일부를 노출시키는 절연 패턴 상에 배치된 제2 제어 전극을 포함하는 제2 박막 트랜지스터를 포함하고,

상기 제1 반도체 패턴은 결정질 반도체를 포함하고, 상기 제2 반도체 패턴은 산화물 반도체를 포함하며,

상기 제1 반도체 패턴, 상기 제1 제어 전극, 상기 제2 반도체 패턴, 및 상기 제2 제어 전극은 평면상에서 중첩하고,

상기 제1 제어 전극 및 상기 제2 반도체 패턴 사이에 배치된 제1 도전 패턴을 더 포함하고,

상기 제2 절연층은

상기 제1 도전 패턴 하측에 배치되고, 상기 제1 제어 전극을 커버하는 제1 서브 절연층; 및

상기 제1 도전 패턴 상측에 배치되고, 상기 제1 도전 패턴을 커버하는 제2 서브 절연층을 포함하는 것인 반도체 장치.

청구항 8

제7항에 있어서,

상기 제1 제어 전극과 상기 제1 도전 패턴이 제2 커패시터를 정의하는 것인 반도체 장치.

청구항 9

제7항에 있어서,

상기 제1 도전 패턴은 접지 신호를 수신하는 것인 반도체 장치.

청구항 10

제7항에 있어서,

상기 제1 도전 패턴 및 상기 제2 제어 전극은 동일한 신호를 수신하는 것인 반도체 장치.

청구항 11

제1항에 있어서,

상기 제1 제어 전극은 제1 제어 신호를 수신하고,

상기 제2 제어 전극은 상기 제1 제어 신호와 독립적인 제2 제어 신호를 수신하는 것인 반도체 장치.

청구항 12

제1항에 있어서,

상기 제1 박막 트랜지스터와 연결된 발광 다이오드를 더 포함하는 것인 반도체 장치.

청구항 13

베이스 기판;

상기 베이스 기판 상에 배치된 제1 박막 트랜지스터, 제2 박막 트랜지스터 및 제1 커패시터를 포함하고,

상기 제1 박막 트랜지스터는

제1 입력 전극, 제1 출력 전극, 결정질 반도체를 포함하고 제1 절연층의 하측에 배치된 제1 반도체 패턴, 및 상기 제1 반도체 패턴 상에 배치되며 상기 제1 절연층 상측에 배치되고 제2 절연층 하측에 배치된 제1 제어 전극을 포함하며,

상기 제2 박막 트랜지스터는

제2 입력 전극, 제2 출력 전극, 제2 제어 전극, 및 상기 제2 제어 전극 상에 배치되고 산화물 반도체를 포함하는 제2 반도체 패턴, 및 상기 제2 반도체 패턴 상에 배치되고 상기 제2 반도체 패턴의 일부를 노출시키는 제2 도전 패턴을 포함하고,

상기 제1 커패시터는

제1 전극, 상기 제1 전극 상에 배치된 제2 전극, 및 상기 제1 전극 및 상기 제2 전극 사이에 배치되고 상기 산화물 반도체를 포함하는 제3 반도체 패턴을 포함하고,

상기 제2 반도체 패턴은 상기 제1 반도체 패턴 상에 배치되고, 상기 제1 제어 전극 및 상기 제2 제어 전극은 동일한 전극이고,

상기 제1 전극은 상기 제1 제어 전극과 동일한 층 상에 배치되고,

상기 제2 전극은 상기 제2 반도체 패턴과 동일한 층 상에 배치되고,

상기 제2 절연층은 상기 제1 전극 및 상기 제2 전극 사이에 배치되고,

상기 제3 반도체 패턴은 상기 제2 절연층 및 상기 제2 전극 사이에 배치되고,

상기 제2 전극 및 상기 제3 반도체 패턴은 서로 접촉하는 반도체 장치.

청구항 14

제13항에 있어서,

상기 제2 도전 패턴은 상기 제2 반도체 패턴과 접촉하고,

상기 제2 도전 패턴은 상기 제2 반도체 패턴 및 상기 제2 입력 전극 사이와, 상기 제2 반도체 패턴 및 상기 제2 출력 전극 사이에 배치된 것인 반도체 장치.

청구항 15

제13항에 있어서,

상기 제3 반도체 패턴은 상기 제2 전극과 접촉하고, 상기 제1 전극과 이격된 것인 반도체 장치.

청구항 16

제13항에 있어서,

상기 제1 반도체 패턴, 상기 제1 제어 전극, 및 상기 제2 반도체 패턴은 평면상에서 중첩하는 것인 반도체 장치.

청구항 17

제13항에 있어서,

상기 제1 제어 전극, 상기 제2 제어 전극 및 상기 제1 전극은 동일한 층 상에 배치되고,

상기 제2 반도체 패턴 및 상기 제3 반도체 패턴은 동일한 층 상에 배치되며,

상기 제2 도전 패턴 및 상기 제2 전극은 동일한 층 상에 배치된 것인 반도체 장치.

청구항 18

베이스 기판 상에 결정질 반도체를 포함하는 제1 반도체 패턴을 형성하는 단계;

상기 베이스 기판 상에 상기 제1 반도체 패턴을 커버하는 제1 절연층을 형성하는 단계;

상기 제1 절연층 상에 평면상에서 상기 제1 반도체 패턴과 중첩하는 제1 제어 전극을 형성하는 단계;

상기 제1 절연층 상에 상기 제1 제어 전극을 커버하는 제2 절연층을 형성하는 단계;

상기 제2 절연층 상에 평면상에서 상기 제1 반도체 패턴 및 상기 제1 제어 전극과 중첩하고, 산화물 반도체를 포함하는 제2 반도체 패턴을 형성하는 단계; 및

상기 제2 반도체 패턴 상에 평면상에서 상기 제1 반도체 패턴, 상기 제1 제어 전극 및 상기 제2 반도체 패턴과 중첩하는 제2 제어 전극을 형성하는 단계; 및

상기 베이스 기판 상에 제1 커패시터를 형성하는 단계를 포함하고,

상기 제1 커패시터를 형성하는 단계는

상기 제1 절연층 상에 제1 전극을 형성하는 단계;

상기 제2 절연층 상에 제2 전극을 형성하는 단계; 및

상기 제1 전극과 상기 제2 전극 사이에 상기 산화물 반도체를 포함하는 제3 반도체 패턴을 형성하는 단계를 포함하며,

상기 제1 전극은 상기 제1 제어 전극과 동일한 층 상에 배치되고,

상기 제2 전극은 상기 제2 반도체 패턴과 동일한 층 상에 배치되고,

상기 제2 절연층은 상기 제1 전극 및 상기 제2 전극 사이에 배치되고,

상기 제3 반도체 패턴은 상기 제2 절연층 및 상기 제2 전극 사이에 배치되고,

상기 제2 전극 및 상기 제3 반도체 패턴은 서로 접촉하는 반도체 장치의 제조방법.

청구항 19

제18항에 있어서,

상기 제1 전극을 형성하는 단계 및 상기 제1 제어 전극을 형성하는 단계는 하나의 단계(a single step)이고,

상기 제2 전극을 형성하는 단계 및 상기 제2 제어 전극을 형성하는 단계는 하나의 단계(a single step)인 것인 반도체 장치의 제조방법.

청구항 20

제18항에 있어서,

상기 제1 전극을 형성하는 단계 및 상기 제1 제어 전극을 형성하는 단계는 제1 마스크를 이용하여 수행되고,

상기 제2 전극을 형성하는 단계 및 상기 제2 제어 전극을 형성하는 단계는 제2 마스크를 이용하여 수행되는 것인 반도체 장치의 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 장치 및 이의 제조방법에 관한 것으로, 보다 상세하게는 결정질 반도체와 산화물 반도체를 포함하는 반도체 장치 및 이의 제조방법에 관한 것이다.

배 경 기 술

[0002] 반도체 장치는 적어도 하나의 박막 트랜지스터를 포함한다. 박막 트랜지스터는 반도체 물질을 포함하는 반도체 패턴을 포함한다. 반도체 장치의 일 실시예인 표시장치는 복수의 화소들 및 화소들을 제어하기 위한 구동회로를 포함할 수 있다. 구동회로는 적어도 하나의 박막 트랜지스터를 포함할 수 있다. 구동회로를 구성하는 박막 트랜지스터는 화소들을 제어하기 위한 전기적 신호들을 대응되는 화소에 제공한다.

[0003] 화소들 각각은 화소 구동회로 및 화소 구동회로에 연결된 표시소자를 포함할 수 있다. 화소 구동회로는 적어도 하나의 박막 트랜지스터 및 커패시터를 포함할 수 있다. 화소 구동회로를 구성하는 박막 트랜지스터 및 커패시터는 구동회로로부터 제공된 전기적 신호에 따라 표시소자를 제어한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 집적도를 향상시켜 고해상도에 유리한 반도체 장치를 제공하는 것이다.

[0005] 본 발명의 일 목적은 마스크 수를 저감할 수 있는 반도체 장치의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 실시예는 베이스 기판, 베이스 기판 상에 배치된 제1 박막 트랜지스터 및 제2 박막 트랜지스터를 포함하는 반도체 장치를 제공한다. 제1 박막 트랜지스터는 제1 입력 전극, 제1 출력 전극, 제1 절연층 하측에 배치된 제1 반도체 패턴, 및 제1 절연층 상측에 배치되고 제2 절연층 하측에 배치된 제1 제어 전극을 포함한다. 제2 박막 트랜지스터는 제2 입력 전극, 제2 출력 전극, 제2 절연층 상측에 배치된 제2 반도체 패턴, 및 제2 반도체 패턴 상에 배치되어 제2 반도체 패턴의 일부를 노출시키는 절연 패턴 상에 배치된 제2 제어 전극을 포함한다. 제1 반도체 패턴은 결정질 반도체를 포함하고, 제2 반도체 패턴은 산화물 반도체를 포함하고, 제1 반도체 패턴, 제1 제어 전극, 제2 반도체 패턴, 및 제2 제어 전극은 평면상에서 중첩한다.

[0007] 평면상에서, 제2 입력 전극 및 제2 출력 전극은 제1 입력 전극 및 제1 출력 전극 사이에 배치된 것일 수 있다.

[0008] 반도체 장치는 제2 절연층 상에 배치되고, 제2 반도체 패턴, 절연 패턴, 및 제2 제어 전극을 커버하는 제3 절연층을 더 포함하고, 제1 입력 전극 및 제1 출력 전극은 제1 절연층, 제2 절연층 및 제3 절연층을 관통하고, 서로 이격된 제1 관통홀 및 제2 관통홀 각각을 통해 제1 반도체 패턴에 접촉하며, 제2 입력 전극 및 제2 출력 전극은 제3 절연층을 관통하고, 서로 이격된 제3 관통홀 및 제4 관통홀 각각을 통해 제2 반도체 패턴에 접촉하고, 평면상에서, 제3 관통홀 및 제4 관통홀은 제1 관통홀 및 제2 관통홀 사이에 제공되는 것일 수 있다.

[0009] 반도체 장치는 베이스 기판 상에 배치된 제1 커패시터를 더 포함하고, 제1 커패시터는 제1 제어 전극과 동일한 층 상에 배치된 제1 전극, 및 제2 반도체 패턴과 동일한 층 상에 배치된 제2 전극을 포함할 수 있고, 제1 전극 및 제2 전극 사이에 제2 절연층이 배치된 것일 수 있다.

[0010] 제1 전극 및 제2 전극 사이에 배치된 제2 절연층의 두께는 제1 제어 전극 및 제2 반도체 패턴 사이에 배치된 제2 절연층의 두께보다 큰 것일 수 있다.

[0011] 반도체 장치는 제2 절연층 및 제2 전극 사이에 배치되고, 산화물 반도체를 포함하는 제3 반도체 패턴을 더 포함하는 것일 수 있고, 제2 전극 및 제3 반도체 패턴은 접촉하는 것일 수 있다.

[0012] 반도체 장치는 제1 제어 전극 및 제2 반도체 패턴 사이에 배치된 제1 도전 패턴을 더 포함할 수 있다. 제2 절연층은 제1 도전 패턴 하측에 배치되고 제1 제어 전극을 커버하는 제1 서브 절연층 및 제1 도전 패턴 상측에 배치되고 제1 도전 패턴을 커버하는 제2 서브 절연층을 포함하는 것일 수 있다.

[0013] 제1 제어 전극과 제1 도전 패턴이 제2 커패시터를 정의하는 것일 수 있다.

[0014] 제1 도전 패턴은 접지 신호를 수신하는 것일 수 있다.

[0015] 제1 도전 패턴 및 제2 제어 전극은 동일한 신호를 수신하는 것일 수 있다.

[0016] 제1 제어 전극은 제1 제어 신호를 수신하고, 제2 제어 전극은 제1 제어 신호와 독립적인 제2 제어 신호를 수신하는 것일 수 있다.

[0017] 반도체 장치는 제1 박막 트랜지스터와 연결된 발광 다이오드를 더 포함하는 것일 수 있다.

[0018] 본 발명의 일 실시예는 베이스 기판, 베이스 기판 상에 배치된 제1 박막 트랜지스터, 제2 박막 트랜지스터 및 제1 커패시터를 포함하는 반도체 장치를 제공한다. 제1 박막 트랜지스터는 제1 입력 전극, 제1 출력 전극, 결정질 반도체를 포함하는 제1 반도체 패턴, 및 제1 반도체 패턴 상에 배치된 제1 제어 전극을 포함한다. 제2 박막 트랜지스터는 제2 입력 전극, 제2 출력 전극, 제2 제어 전극, 및 제2 제어 전극 상에 배치되고 산화물 반도체를 포함하는 제2 반도체 패턴, 및 제2 반도체 패턴 상에 배치되고 제2 반도체 패턴의 일부를 노출시키는 제2 도전 패턴을 포함한다. 제1 커패시터는 제1 전극, 제1 전극 상에 배치된 제2 전극, 및 제1 전극 및 제2 전극 사이에 배치되고 상기 산화물 반도체를 포함하는 제3 반도체 패턴을 포함한다.

[0019] 제2 도전 패턴은 제2 반도체 패턴과 접촉하고, 제2 도전 패턴은 제2 반도체 패턴 및 제2 입력 전극 사이와, 제2 반도체 패턴 및 제2 출력 전극 사이에 배치된 것일 수 있다.

[0020] 제3 반도체 패턴은 제2 전극과 접촉하고, 제1 전극과 이격된 것일 수 있다.

[0021] 제2 반도체 패턴은 제1 반도체 패턴 상에 배치되고, 제1 제어 전극 및 제2 제어 전극은 동일한 것이며, 제1 반도체 패턴, 제1 제어 전극, 및 제2 반도체 패턴은 평면상에서 중첩하는 것일 수 있다.

[0022] 제1 제어 전극, 제2 제어 전극 및 제1 전극은 동일한 층 상에 배치되고, 제2 반도체 패턴 및 제3 반도체 패턴은 동일한 층 상에 배치되며, 제2 도전 패턴 및 제2 전극은 동일한 층 상에 배치된 것일 수 있다.

[0023] 본 발명의 일 실시예는 베이스 기판 상에 결정질 반도체를 포함하는 제1 반도체 패턴을 형성하는 단계, 베이스 기판 상에 제1 반도체 패턴을 커버하는 제1 절연층을 형성하는 단계, 제1 절연층 상에 평면상에서 제1 반도체 패턴과 중첩하는 제1 제어 전극을 형성하는 단계, 제1 절연층 상에 제1 제어 전극을 커버하는 제2 절연층을 형성하는 단계, 제2 절연층 상에 평면상에서 제1 반도체 패턴 및 제1 제어 전극과 중첩하고, 산화물 반도체를 포함하는 제2 반도체 패턴을 형성하는 단계, 및 제2 반도체 패턴 상에 평면상에서 제1 반도체 패턴, 제1 제어 전극 및 제2 반도체 패턴과 중첩하는 제2 제어 전극을 형성하는 단계를 포함하는 반도체 장치의 제조방법을 제공한다.

[0024] 반도체 장치의 제조방법은 베이스 기판 상에 제1 커패시터를 형성하는 단계를 더 포함하는 것일 수 있고, 제1 커패시터를 형성하는 단계는 제1 절연층 상에 제1 전극을 형성하는 단계, 및 제2 절연층 상에 제2 전극을 형성하는 단계를 포함하는 것일 수 있다.

[0025] 제1 전극을 형성하는 단계 및 제1 제어 전극을 형성하는 단계는 하나의 단계(a SLingle step)이고, 제2 전극을 형성하는 단계 및 제2 제어 전극을 형성하는 단계는 하나의 단계(a SLingle step)인 것일 수 있다.

[0026] 제1 전극을 형성하는 단계 및 제1 제어 전극을 형성하는 단계는 제1 마스크를 이용하여 수행되고, 제2 전극을 형성하는 단계 및 제2 제어 전극을 형성하는 단계는 제2 마스크를 이용하여 수행되는 것일 수 있다.

발명의 효과

[0027] 본 발명의 일 실시예에 따른 반도체 장치는 집적도가 우수하여 고해상도에 유리하다.

[0028] 본 발명의 일 실시예에 따른 반도체 장치의 제조방법은 마스크 수 저감 효과가 있어, 공정 경제성이 우수하다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 블록도이다.

도 2는 도 1에 도시된 화소의 등가 회로도이다.

도 3은 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

도 4는 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

도 5는 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

도 6은 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

도 7은 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

도 8은 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

도 9는 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

도 10은 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

도 11은 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

도 12는 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

도 13은 본 발명의 일 실시예에 따른 반도체 장치의 제조방법의 개략적인 순서도이다.

도 14a 내지 도 14k는 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 순차적으로 도시한 단면도이다.

도 15a 내지 도 15l은 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 순차적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 통상의 기술자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0031] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0032] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "하부에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0033] 이하, 도 1 내지 도 8을 참조하여, 본 발명의 일 실시예에 따른 반도체 장치에 대하여 설명한다.

[0034] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 블록도이다. 도 2는 도 1에 도시된 화소의 등가 회로도이다.

[0035] 도 1을 참조하면, 본 발명의 일 실시예에 따른 반도체 장치는 타이밍 제어부(TC), 주사 구동부(SDC), 데이터 구동부(DDC), 및 표시패널(DP)을 포함한다. 표시패널(DP)은 전기적 신호에 따라 영상을 표시한다. 본 실시예에서 표시패널(DP)은 발광형 표시패널로 설명된다. 그러나, 본 발명에 따른 표시장치에 있어서 표시패널의 종류는 제한되지 않는다.

[0036] 타이밍 제어부(TC)는 입력 영상신호들을 수신하고, 표시패널(DP)의 동작모드에 부합하게 변환된 영상데이터들(I_{DATA})과 각종 제어신호들(SCS, DCS)을 출력한다.

[0037] 주사 구동부(SDC)는 타이밍 제어부(TC)로부터 주사 제어신호(SCS)를 수신한다. 주사 제어 신호(SCS)를 공급받은 주사 구동부(SDC)는 복수의 게이트 신호를 생성한다. 주사 제어 신호(SCS)는 주사 구동부(SDC)의 동작을 개시하는 수직개시신호, 신호들의 출력 시기를 결정하는 클럭 신호 등을 포함할 수 있다.

[0038] 데이터 구동부(DDC)는 타이밍 제어부(TC)로부터 데이터 구동제어신호(DCS) 및 변환된 영상데이터들(I_{DATA})을 수신한다. 데이터 구동부(DDC)는 데이터 구동제어신호(DCS)와 변환된 영상데이터들(I_{DATA})에 근거하여 복수의 데이터 신호를 생성한다. 데이터 신호들은 표시패널(DP)에 공급된다.

[0039] 표시패널(DP)은 외부로부터 전기적 신호를 인가 받아 영상을 표시한다. 표시패널(DP)은 복수의 주사 라인(SL1~SLn), 복수의 데이터 라인(DL1~DLm), 및 복수의 화소(PX_{11}~PXnm)를 포함한다.

[0040] 주사 라인들(SL1~SLn)은 제1 방향(DR1)으로 연장되고, 제1 방향(DR1)에 교차하는 제2 방향(DR2)으로 배열된다. 주사 라인들(SL1~SLn)은 주사 구동부(SDC)로부터 주사 신호들을 순차적으로 공급받는다.

[0041] 데이터 라인들(DL1~DLm)은 주사 라인들(SL1~SLn)에 절연되게 교차한다. 데이터 라인들(DL1~DLm)은 제2 방향(DR2)으로 연장되고 제1 방향(DR1)으로 배열된다. 데이터 라인들(DL1~DLm)은 데이터 구동부(DDC)로부터 데이터 신호들을 수신한다.

[0042] 표시패널(DP)은 외부로부터 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)을 공급받는다. 화소들(PX_{11}~PXnm) 각각은 대응하는 주사 신호에 응답하여 턴-온된다. 화소들(PX_{11}~PXnm) 각각은 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)을 수신하고, 대응하는 주사 신호에 응답하여 광을 생성한다. 제1 전원전압(ELVDD)은 제2 전원전압(ELVSS) 보다 높은 레벨의 전압이다.

[0043] 화소들(PX_{11}~PXnm)은 매트릭스 형상으로 배열될 수 있다. 화소들(PX_{11}~PXnm)은 주사 라인들(SL1~SLn) 중 대응되는 주사 라인에 연결되고, 화소들(PX_{11}~PXnm)은 데이터 라인들(DL1~DLm) 중 대응되는 데이터 라인에 연결된다.

[0044] 화소들(PX_{11}~PXnm) 각각은 대응되는 주사 라인으로부터 주사 신호를 수신하고, 대응되는 데이터 라인으로부터 데이터 신호를 수신한다. 화소들(PX_{11}~PXnm) 각각은 대응하는 주사 신호에 응답하여 턴-온 된다. 화소들(PX_{11}~PXnm) 각각은 대응하는 데이터 신호에 대응하는 광을 생성하여 영상을 표시한다.

[0045] 도 2를 참조하면, 화소들(PX_{11}~PXnm) 각각은 유기발광 다이오드(OLED) 및 유기발광 다이오드(OLED)의 발광을 제어하는 화소의 구동회로를 포함한다. 화소 구동회로는 복수의 박막 트랜지스터들(TR1, TR2) 및 커패시터(CST)를 포함할 수 있다. 주사 구동부(SDC)와 데이터 구동부(DDC) 중 적어도 어느 하나는 화소 구동회로와 동일한 공정을 통해 형성된 박막 트랜지스터들을 포함할 수 있다. 본 실시예에서 발광 다이오드는 유기 발광층을 포함하는 유기발광 다이오드로 설명된다. 그러나 본 발명은 이에 제한되지 않는다. 발광층은 퀀텀닷 퀀텀로드, 퀀텀튜브와 같은 무기 발광물질을 포함할 수 있다. 이하, 발광 표시패널은 유기발광 표시패널로 설명된다.

[0046] 복수 회의 포토리소그래피 공정을 통해 베이스 기판(미 도시) 상에 주사 라인들(SL1~SLn), 데이터 라인들(DL1~DLm), 화소들(PX_{11}~PXnm), 주사 구동부(SDC), 및 데이터 구동부(DDC)를 형성할 수 있다. 복수 회의 증착공정 또는 코팅공정을 통해 베이스 기판(미 도시) 상에 절연층들을 형성할 수 있다. 절연층들 각각은 표시패널(DP) 전체를 커버하는 박막이거나, 표시패널(DP)의 특정 구성에만 중첩하는 적어도 하나의 절연 패턴을 포함할 수 있다. 절연층들은 유기층 및/또는 무기층을 포함한다. 그밖에 화소들(PX_{11}~PXnm)을 보호하는 봉지층(미 도시)을 베이스 기판 상에 더 형성할 수 있다.

[0047] 도 2에는 복수의 주사 라인들(SL1~SLn) 중 i번째 주사 라인(Gi)과 복수의 데이터 라인들(DL1~DLm) 중 j번째 데이터 라인(DLj)에 연결된 화소(PXij)의 등가 회로를 예시적으로 도시하였다. 한편, 도 2에 도시된 화소 구동회로는 하나의 예시에 불과하고 구동회로의 구성은 변형되어 실시될 수 있다.

[0048] 화소(PXij)는 유기발광 다이오드(OLED) 및 유기발광 다이오드(OLED)를 제어하는 화소 구동회로를 포함한다. 화소 구동회로는 제1 박막 트랜지스터(TR1), 제2 박막 트랜지스터(TR2), 및 커패시터(CST)를 포함할 수 있다.

[0049] 제1 박막 트랜지스터(TR1)는 제2 박막 트랜지스터(TR2)의 출력 전극 및 커패시터(CST)의 제1 커패시터 전극에 연결된 제어전극, 제1 전원전압(ELVDD)을 수신하는 입력전극, 및 출력전극을 포함한다. 제1 박막 트랜지스터(TR1)의 출력전극은 유기발광 다이오드(OLED)에 연결된다.

[0050] 제1 박막 트랜지스터(TR1)는 커패시터(CST)에 저장된 전하량에 대응하여 유기발광 다이오드(OLED)에 흐르는 구동전류를 제어한다. 커패시터(CST)에 충전된 전하량에 따라 제1 박막 트랜지스터(TR1)의 턴-온 시간이 결정된다. 실질적으로 제1 박막 트랜지스터(TR1)의 출력전극은 유기발광 다이오드(OLED)에 제1 전원전압(ELVDD)보다 낮은 레벨의 전압을 공급한다. 본 발명의 일 실시예에서 제1 박막 트랜지스터(TR1)는 구동 트랜지스터일 수 있다.

[0051] 유기발광 다이오드(OLED)는 제1 박막 트랜지스터(TR1)에 연결된 제1 전극 및 제2 전원전압(ELVSS)을 수신하는 제2 전극을 포함한다. 유기발광 다이오드(OLED)는 제1 전극과 제2 전극 사이에 배치된 발광 패턴을 포함할 수

있다.

[0052] 유기발광 다이오드(OLED)는 제1 박막 트랜지스터(TR1)의 턴-온 구간동안 발광된다. 유기발광 다이오드(OLED)에서 생성된 광의 컬러는 발광 패턴을 이루는 물질에 의해 결정된다. 예컨대, 유기발광 다이오드(OLED)에서 생성된 광의 컬러는 적색, 녹색, 청색, 백색 중 어느 하나일 수 있다.

[0053] 제2 박막 트랜지스터(TR2)는 i번째 주사 라인(SLi)에 연결된 제어전극, j번째 데이터 라인(DLj)에 연결된 입력전극, 및 출력전극을 포함한다. 제2 박막 트랜지스터(TR2)는 i번째 주사 라인(SLi)에 인가된 주사 신호에 응답하여 j번째 데이터 라인(DLj)에 인가된 데이터 신호를 출력한다. 본 발명의 일 실시예에서 제2 박막 트랜지스터(TR2)는 제어 트랜지스터일 수 있고, 예를 들어, 스위칭 트랜지스터일 수 있다. 도 2에서는 제어 트랜지스터가 1개의 박막 트랜지스터를 포함하는 것을 예시적으로 도시하였으나, 이에 제한되는 것은 아니고, 제어 트랜지스터는 1개를 초과하는 박막 트랜지스터들로 이루어질 수도 있으며, 예를 들어 5개 또는 6개의 박막 트랜지스터들로 이루어질 수도 있다.

[0054] 커패시터(CST)는 제2 박막 트랜지스터(TR2)에 연결된 제1 커패시터 전극 및 제1 전원전압(ELVDD)을 수신하는 제2 커패시터 전극을 포함한다. 커패시터(CST)는 제2 박막 트랜지스터(TR2)로부터 수신한 데이터 신호에 대응하는 전압과 제1 전원전압(ELVDD)의 차이에 대응하는 전하량을 충전한다.

[0055] 한편, 이는 예시적으로 기재한 것이고, 본 발명에 따른 반도체 장치는 어느 하나의 실시예에 한정되지 않으며, 다양한 형태의 트랜지스터들을 포함할 수 있다.

[0056] 도 3은 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

[0057] 도 3을 참고하면, 본 발명의 일 실시예에 따른 반도체 장치는 베이스 기판(SUB), 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)를 포함한다. 제1 및 제2 박막 트랜지스터들(T1, T2) 각각은 도 2에 도시된 화소 구동 회로들 중 어느 하나의 트랜지스터일 수 있다. 예를 들어, 제1 박막 트랜지스터(T1)는 도 2에 도시된 제1 박막 트랜지스터(TR1)에 대응되고, 제2 박막 트랜지스터(T2)는 도 2에 도시된 제2 박막 트랜지스터(TR2)에 대응될 수 있다. 한편, 이는 예시적으로 기재한 것이며, 본 발명이 이에 한정되는 것은 아니다.

[0058] 제1 박막 트랜지스터(T1), 및 제2 박막 트랜지스터(T2) 각각은 베이스 기판(SUB) 상면에 배치되며, 베이스 기판(SUB)의 상면은 제1 방향(DR1) 및 제2 방향(DR2, 도 1 참조)에 의해 정의된다.

[0059] 제1 박막 트랜지스터(T1)는 제1 입력 전극(IE1), 제1 출력 전극(OE1), 제1 제어 전극(CE1), 및 제1 반도체 패턴(SP1)을 포함한다. 구체적으로, 제1 박막 트랜지스터(T1)는 제1 입력 전극(IE1), 제1 출력 전극(OE1), 제1 절연층(IL1) 하측에 배치된 제1 반도체 패턴(SP1), 및 제1 절연층(IL1) 상측에 배치되고 제2 절연층(IL2) 하측에 배치된 제1 제어 전극(CE1)을 포함한다. 제1 박막 트랜지스터(T1)는 유기발광 다이오드(OLED, 도2 참조)에 연결된 구동 트랜지스터일 수 있으나, 이에 한정되는 것은 아니다.

[0060] 제2 박막 트랜지스터(T2)는 제2 입력 전극(IE2), 제2 출력 전극(OE2), 제2 제어 전극(CE2), 및 제2 반도체 패턴(SP2)을 포함한다. 구체적으로, 제2 박막 트랜지스터(T2)는 제2 입력 전극(IE2), 제2 출력 전극(OE2), 제2 절연층(IL2) 상측에 배치된 제2 반도체 패턴(SP2), 및 제2 반도체 패턴(SP2) 상에 배치되어 제2 반도체 패턴(SP2)의 일부를 노출시키는 절연 패턴(IP) 상에 배치된 제2 제어 전극(CE2)를 포함한다. 제2 박막 트랜지스터(T2)는 화소(PX_{ij})를 턴-온 하기 위한 제어 트랜지스터, 예를 들어 스위칭 트랜지스터일 수 있다. 다만, 이에 한정되는 것은 아니며, 예를 들어 제2 박막 트랜지스터(T2)가 구동 트랜지스터일 수도 있다.

[0061] 베이스 기판(SUB)은 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 및 후술하는 제1 커패시터(CST) 등이 배치될 수 있는 층, 필름, 또는 플레이트일 수 있다. 베이스 기판(SUB)은 플라스틱 기판, 유리 기판, 금속 기판 등을 포함할 수 있다. 플라스틱 기판은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리이미드계 수지, 폴리아미드계 수지 및 페릴렌계 수지 중 적어도 어느 하나를 포함할 수 있다.

[0062] 제1 반도체 패턴(SP1), 제1 제어 전극(CE1), 제2 반도체 패턴(SP2) 및 제2 제어 전극(CE2)는 평면상에서 서로 중첩한다. "평면상에서"란, 반도체 장치를 두께 방향(DR3)으로 바라보았을 때를 의미하는 것일 수 있다.

[0063] 제1 반도체 패턴(SP1)의 제1 방향(DR1)으로의 폭은 제2 반도체 패턴(SP2)의 제1 방향(DR1)으로의 폭, 제1 제어 전극(CE1)의 제1 방향(DR1)으로의 폭, 및 제2 제어 전극(CE2)의 제1 방향(DR1)으로의 폭 각각보다 큰 것일 수 있다.

[0064] 제1 반도체 패턴(SP1)은 결정질 반도체를 포함한다. 예를 들어, 제1 반도체 패턴(SP1)은 다결정 실리콘과 같은 다결정 반도체 물질을 포함할 수 있다.

[0065] 제1 반도체 패턴(SP1)은 불순물이 포함된 제1 영역(AR11) 및 제3 영역(AR13), 제1 영역(AR11)과 제3 영역(AR13)에 인접한 제2 영역(AR12)으로 구분될 수 있다. 불순물은 도펀트(dopant)일 수 있다. 제1 영역(AR11)은 제1 입력 전극(IE1)에 접속되고, 제3 영역(AR13)은 제1 출력 전극(OE1)에 접속된다.

[0066] 제2 영역(AR12)은 제1 영역(AR11)과 제3 영역(AR13) 사이에 배치되고 제1 제어 전극(CE1)과 평면상에서 중첩될 수 있다. 제2 영역(AR12)은 제1 박막 트랜지스터(T1)의 채널 영역일 수 있다. 제1 박막 트랜지스터(T1)의 채널 영역은 다결정 반도체 물질을 포함할 수 있다. 이에 따라, 제1 박막 트랜지스터(T1)는 향상된 이동도를 갖고, 높은 신뢰성을 가진 구동 소자로 기능할 수 있다.

[0067] 제1 반도체 패턴(SP1) 상에 제1 절연층(IL1)이 배치된다. 제1 절연층(IL1)은 무기물 및/또는 유기물 중 적어도 어느 하나를 포함할 수 있다. 예를 들어, 제1 절연층(IL1)은 실리콘 질화물 및/또는 실리콘 산화물을 포함할 수 있다.

[0068] 제1 절연층(IL1)은 베이스 기판(SUB) 상에 배치되어 제1 반도체 패턴(SP1)의 적어도 일부를 커버할 수 있다. 본 발명의 일 실시예에 따른 제1 절연층(IL1)은 다양한 형상을 가질 수 있으며, 어느 하나의 실시예로 한정되지 않는다.

[0069] 제1 절연층(IL1) 상에는 제1 제어 전극(CE1)이 배치된다. 제1 제어 전극(CE1)은 적어도 제1 반도체 패턴(SP1)의 제2 영역(AR12)에 중첩한다. 제1 제어 전극(CE1)은 제1 절연층(IL1)을 사이에 두고 제1 반도체 패턴(SP1)으로부터 이격된다. 제1 제어 전극(CE1)은 채널 영역이 되는 제2 영역(AR12)에서의 전하 이동을 제어한다. 제1 제어 전극(CE1)은 평면상에서 제1 반도체 패턴(SP1)의 일부와 중첩한다.

[0070] 제1 제어 전극(CE1) 상에 제2 절연층(IL2)이 배치된다. 제2 절연층(IL2)은 제1 절연층(IL1) 상에 배치되어 제1 제어 전극(CE1)을 커버한다. 제2 절연층(IL2)은 유기물 및/또는 무기물을 포함할 수 있다.

[0071] 제2 절연층(IL2) 상에 제2 반도체 패턴(SP2)이 배치된다. 제2 반도체 패턴(SP2)은 산화물 반도체를 포함한다. 예를 들어, 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속 산화물 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 혼합물을 포함할 수 있다. 한편, 제2 반도체 패턴(SP2)은 결정화된 산화물 반도체를 포함할 수 있다. 산화물 반도체의 결정은 수직 방향의 방향성을 가질 수 있다.

[0072] 제2 반도체 패턴(SP2)은 불순물이 포함된 제1 영역(AR21) 및 제3 영역(AR23), 제1 영역(AR21)과 제3 영역(AR23)에 인접한 제2 영역(AR22)으로 구분될 수 있다. 제1 영역(AR21) 및 제3 영역(AR23)은 제2 영역(AR22)을 사이에 두고 서로 이격된다.

[0073] 이하, 도 4 내지 도 8에서는 편의상 제1 반도체 패턴(SP1)의 제1 내지 제3 영역들(AR11, AR12, AR13) 및 제2 반도체 패턴(SP2)의 제1 내지 제3 영역들(AR21, AR22, AR23)의 도시를 생략하였다.

[0074] 제2 영역(AR22)은 제2 박막 트랜지스터(T2)의 채널 영역일 수 있다. 제2 반도체 패턴(SP2)에 있어서, 불순물은 환원된 금속 물질들일 수 있다. 제1 영역(AR21) 및 제3 영역(AR23)은 제2 영역(AR22)을 이루는 금속 산화물로부터 환원된 금속 물질들을 포함할 수 있다. 이에 따라, 제2 박막 트랜지스터(T2)는 누설전류를 낮출 수 있어 온-오프 특성이 향상된 스위칭 트랜지스터로 기능할 수 있다.

[0075] 제2 반도체 패턴(SP2) 상에는 절연 패턴(IP)이 배치된다. 절연 패턴(IP)은 무기물 및/또는 유기물을 포함한다. 절연 패턴(IP)은 제2 반도체 패턴(SP2)의 일부 상에 배치되어, 제2 반도체 패턴(SP2) 상면의 일부를 노출시킨다. 절연 패턴(IP)은 제2 반도체 패턴(SP2)의 제2 영역(AR22)을 커버하고, 제1 영역(AR21) 및 제3 영역(AR23)을 노출시킨다.

[0076] 절연 패턴(IP) 상에는 제2 제어 전극(CE2)이 배치된다. 제2 제어 전극(CE2)은 평면상에서 절연 패턴(IP)과 중첩한다. 절연 패턴(IP)의 측면과 제2 제어 전극(CE2)의 측면은 하나의 라인을 따라 정렬될 수 있다. 제1 영역(AR21)과 제2 영역(AR22) 사이의 경계 및 제2 영역(AR22)과 제3 영역(AR23) 사이의 경계는 절연 패턴(IP)의 측면을 따라 정렬될 수 있다. 절연 패턴(IP)과 제2 제어 전극(CE2)은 평면상에서 동일한 형상을 가질 수 있다. 제2 제어 전극(CE2)은 절연 패턴(IP)에 접촉한다.

[0077] 한편, 도시되지 않았으나, 주사 라인들(SL1~SLn: 도 1 참조)은 제2 제어 전극(CE2)과 동일한 층상에 배치될 수

있다. 다만, 이는 예시적으로 기재한 것이고, 본 발명의 일 실시예에 따른 주사 라인들(SL1~SLn)은 다양한 층상에 배치될 수 있으며, 어느 하나의 실시예로 한정되지 않는다.

[0078] 본 발명의 일 실시예에 따른 반도체 장치는 제2 절연층(IL2) 상에 배치된 제3 절연층(IL3)을 더 포함할 수 있다. 제3 절연층(IL3)은 제2 절연층(IL2) 상에 배치되어 제2 반도체 패턴(SP2), 절연 패턴(IP), 및 제2 제어 전극(CE2)를 커버한다. 제3 절연층(IL3)은 무기물 및/또는 유기물을 포함한다.

[0079] 제3 절연층(IL3) 상에는 제1 입력 전극(IE1)의 일부, 제1 출력 전극(OE1)의 일부, 제2 입력 전극(IE2)의 일부, 및 제2 출력 전극(OE2)의 일부가 배치된다.

[0080] 평면상에서, 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)은 제1 입력 전극(IE1) 및 제1 출력 전극(OE1) 사이에 배치될 수 있다. 평면상에서, 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)은 제1 방향(DR1)으로 이격되며, 제1 입력 전극(IE1) 및 제1 출력 전극(OE1)이 이격된 제2 입력 전극(IE2) 및 제2 출력 전극(OE2) 사이에 배치될 수 있다.

[0081] 제1 입력 전극(IE1) 및 제1 출력 전극(OE1)은 제1 내지 제 3 절연층들(IL1, IL2, IL3)을 관통하고 서로 이격된 제1 관통홀(OP1) 및 제2 관통홀(OP2) 각각을 통해 제1 반도체 패턴(SP1)과 접촉할 수 있다. 예를 들어, 제1 입력 전극(IE1)은 제1 관통홀(OP1)을 통해 제1 반도체 패턴(SP1)의 제1 영역(AR11)과 접촉하고, 제1 출력 전극(OE1)은 제2 관통홀(OP2)을 통해 제1 반도체 패턴(SP1)의 제3 영역(AR13)과 접촉할 수 있다.

[0082] 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)은 제3 절연층(IL3)을 관통하고 서로 이격된 제3 관통홀(OP3) 및 제4 관통홀(OP4)을 각각을 통해 제2 반도체 패턴(SP2)과 접촉할 수 있다. 예를 들어, 제2 입력 전극(IE2)은 제3 관통홀(OP3)을 통해 제2 반도체 패턴(SP2)의 제1 영역(AR21)과 접촉하고, 제2 출력 전극(OE2)은 제4 관통홀(OP4)을 통해 제2 반도체 패턴(SP2)의 제3 영역(AR23)과 접촉할 수 있다.

[0083] 한편, 도시되지 않았으나, 데이터 라인들(DL1~DLm)은 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)과 동일한 층상에 배치될 수 있다. 이에 따라, 데이터 라인들(DL1~DLm)은 제3 절연층(IL3)의 상면에 직접 배치될 수 있다. 다만, 이에 의하여 한정되는 것은 아니다.

[0084] 제1 제어 전극(CE1)은 제1 제어 신호를 수신하고, 제2 제어 전극(CE2)은 제2 제어 신호를 수신하는 것일 수 있다. 제2 제어 신호를 제1 제어 신호와 독립적인 신호이다. 다시 말해, 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)는 각각 독립적인 신호를 수신하여 구동되는 것일 수 있다.

[0085] 도 4는 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

[0086] 도 4를 참조하면, 본 발명의 일 실시예에 따른 반도체 장치는 제1 커패시터(CST)를 더 포함할 수 있다. 이에 한정되는 것은 아니나, 제1 커패시터(CST)는 도 2의 커패시터(CST, 도 2 참조)에 대응될 수 있다. 제1 커패시터(CST)는 베이스 기판(SUB) 상에 배치된다. 제1 커패시터(CST)는 제1 전극(CPE1) 및 제1 전극(CPE1) 상에 배치된 제2 전극(CPE2)을 포함할 수 있다. 제1 전극(CPE1)은 제1 제어 전극(CE1)과 동일한 층 상에 배치되고, 제2 전극(CPE2)은 제2 반도체 패턴(SP2)과 동일한 층 상에 배치될 수 있다.

[0087] 제1 전극(CPE1) 및 제2 전극(CPE2) 사이에는 제2 절연층(IL2)이 배치될 수 있다. 다시 말해, 제1 전극(CPE1)은 제2 절연층(IL2)을 사이에 두고 제2 전극(CPE2)과 이격될 수 있다. 제1 전극(CPE1) 및 제2 전극(CPE2) 사이에 배치된 제2 절연층(IL2)의 일부는 제1 커패시터(CST)의 유전층을 정의할 수 있다. 제1 전극(CPE1) 및 제2 전극(CPE2)은 제2 절연층(IL2)을 사이에 두고 평면상에서 서로 중첩하며, 전계를 형성할 수 있다. 이에 따라, 전계는 제2 절연층(IL2)의 두께 및 제2 절연층(IL2)에 포함되는 재료 중 적어도 하나에 의해 영향을 받을 수 있다.

[0088] 제1 전극(CPE1) 및 제2 전극(CPE2) 사이에 배치된 제2 절연층(IL2)의 두께(d1)는 제1 제어 전극(CE1) 및 제2 반도체 패턴(SP2) 사이에 배치된 제2 절연층(IL2)의 두께(d2)보다 큰 것일 수 있다. 제1 전극(CPE1) 및 제2 전극(CPE2) 사이에 배치된 제2 절연층(IL2)의 두께(d1) 및 제1 제어 전극(CE1) 및 제2 반도체 패턴(SP2) 사이에 배치된 제2 절연층(IL2)의 두께(d2) 각각은 제3 방향(DR3)으로의 수직 거리를 의미하는 것일 수 있다.

[0089] 도 5는 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

[0090] 도 5를 참조하면, 제1 커패시터(CST)는 제2 절연층(IL2) 및 제2 전극(CPE2) 사이에 배치된 제3 반도체 패턴(SP3)을 더 포함할 수 있다. 제3 반도체 패턴(SP3)은 산화물 반도체를 포함한다. 예를 들어, 제3 반도체 패턴(SP3)은 제2 반도체 패턴(SP2)과 동일한 산화물 반도체를 포함하는 것일 수 있다. 제3 반도체 패턴(SP3)은 제2 전극(CPE2)과 접촉하고, 제1 전극(CPE1)과 이격된 것일 수 있다. 제3 반도체 패턴(SP3)의 도전성 또는 절연성을

조절하여 제1 커패시터(CST)의 커패시턴스를 다양하게 조절할 수 있다.

[0091] 제2 전극(CPE2)의 측면과 제3 반도체 패턴(SP3)의 측면은 하나의 라인을 따라 정렬될 수 있다. 제2 전극(CPE2) 및 제3 반도체 패턴(SP3)은 평면상에서 중첩할 수 있다. 제2 전극(CPE2) 및 제3 반도체 패턴(SP3)은 평면상에서 동일한 형상을 가질 수 있다.

[0092] 도 6은 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

[0093] 도 6을 참조하면, 본 발명의 일 실시예에 따른 반도체 장치는 제1 제어 전극(CE1) 및 제2 반도체 패턴(SP2) 사이에 배치된 제1 도전 패턴(CP1)을 더 포함하는 것일 수 있다. 이 경우, 제2 절연층(IL2)은 제1 도전 패턴(CP1) 하측에 배치되고, 제1 제어 전극(CE1)을 커버하는 제1 서브 절연층(IL2-1), 및 제1 도전 패턴(CP1) 상측에 배치되고, 제1 도전 패턴(CP1)을 커버하는 제2 서브 절연층(IL2-2)을 포함할 수 있다. 제1 반도체 패턴(SP1), 제1 제어 전극(CE1), 제1 도전 패턴(CP1), 제2 반도체 패턴(SP2), 절연 패턴(IP) 및 제2 제어 전극(CE2)은 평면상에서 중첩한다.

[0094] 제1 도전 패턴(CP1)의 용도는 필요에 따라 조절될 수 있다. 예를 들어, 제1 도전 패턴(CP1)은 제1 제어 전극(CE1)과 함께 반도체 장치의 제2 커패시터를 정의하는 것일 수 있다. 이 경우, 제1 제어 전극(CE1)은 제1 박막 트랜지스터(T1)의 일 구성이 되는 동시에 제2 커패시터의 일 전극이 될 수 있다. 이 경우, 반도체 장치는 전술한 제1 커패시터(CST, 도 4 참조)를 포함하지 않을 수도 있다. 다만, 이에 한정되는 것은 아니며, 제1 커패시터(CST, 도 4 참조)를 포함할 수도 있으며, 제1 커패시터(CST, 도 4 참조)와 제2 커패시터는 이격된 것일 수도 있고, 서로 연결된 것일 수도 있다. 예를 들어, 제1 제어 전극(CE1)은 제1 전극(CPE1)과 전기적으로 연결되고, 제1 도전 패턴(CP1)은 제2 제어 전극(CE2)과 전기적으로 연결되는 것일 수 있다.

[0095] 또 다른 예로, 제1 도전 패턴(CP1)은 접지 신호를 수신하여, 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2) 간의 신호 간섭을 방지하는 것일 수 있다.

[0096] 또 다른 예로, 제1 도전 패턴(CP1)은 제2 제어 전극(CE2)과 동일한 신호를 수신하는 것일 수 있다. 이 경우, 제2 박막 트랜지스터(T2)는 2개의 제어 전극들(CP1, CE2)을 포함할 수 있고, 일명, 더블 게이트 구조를 갖는 것일 수 있다. 도 6에는 미 도시되었으나, 제1 도전 패턴(CP1)과 제2 제어 전극(CE2)은 서로 전기적으로 연결될 수 있다. 도시하지는 않았으나, 제3 절연층(IL3) 및 제2 서브 절연층(IL2-2)을 관통하는 홀을 통해 제1 도전 패턴(CP1)과 제2 제어 전극(CE2)이 전기적으로 연결될 수 있다.

[0097] 도 7은 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

[0098] 도 7을 참조하면, 본 발명의 일 실시예에 따른 반도체 장치는 베이스 기판(SUB) 및 제1 반도체 패턴(SP1) 사이에 배치된 버퍼층(BF)을 더 포함할 수 있다. 다만, 이에 한정되는 것은 아니며, 본 발명의 일 실시예에 따른 반도체 장치는 필요에 따라 당 기술분야에 알려진 일반적인 구성요소를 더 포함하는 것일 수 있다. 버퍼층(BF)은 베이스 기판(SUB)과 제1 반도체 패턴(SP1)의 결합력을 향상시킬 수 있다. 버퍼층(BF)은 무기물 및/또는 유기물 중 어느 하나를 포함할 수 있다. 별도로 도시되지 않았으나, 이물질이 유입되는 것을 방지하는 배리어층이 베이스 기판(SUB)의 상면에 더 배치될 수도 있다. 버퍼층(BF)과 배리어층은 선택적으로 배치되거나 생략될 수 있다.

[0099] 도 8은 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

[0100] 도 8을 참조하면, 전술한 바와 같이, 본 발명의 일 실시예에 따른 반도체 장치는 발광 다이오드를 더 포함할 수 있으며, 예를 들어, 유기발광 다이오드(OLED)를 더 포함할 수 있다. 유기발광 다이오드(OLED)는 제1 박막 트랜지스터(T1)와 연결될 수 있다.

[0101] 유기발광 다이오드(OLED)는 애노드(AE), 캐소드(CE) 및 애노드(AE)와 캐소드(CE) 사이에 배치된 유기층을 포함할 수 있다. 유기층은 제1 전하 제어층(HCL), 발광층(EML), 제2 전하 제어층(ECL)을 포함할 수 있다.

[0102] 제3 절연층(IL3) 상에 배치된 층간 절연막(ILD)을 더 포함할 수 있다. 층간 절연막(ILD)은 무기물 및/또는 유기물을 포함한다. 층간 절연막(ILD)에는 층간 절연막(ILD)을 관통하는 제5 관통홀(OP5)이 정의될 수 있다. 제5 관통홀(OP5)은 제1 출력 전극(OE1)에 중첩하는 영역에 정의될 수 있다.

[0103] 층간 절연막(ILD) 상에 애노드(AE)가 배치된다. 애노드(AE)는 제5 관통홀(OP5)을 통해 제1 박막 트랜지스터(T1)의 제1 출력 전극(OE1)에 접속된다.

[0104] 층간 절연막(ILD) 상에 화소 정의막(PDL)이 배치될 수 있다. 화소 정의막(PDL)은 유기막 및/또는 유기막을 포함할 수 있다. 화소 정의막(PDL)에는 소정의 개구부(OP-PX)가 정의된다. 개구부(OP-PX)는 애노드(AE)의 적어도 일

부를 노출시킨다.

[0105] 애노드(AE) 상에 제1 전하 제어층(HCL), 발광층(EML), 제2 전하 제어층(ECL), 및 캐소드(CE)가 순차적으로 적층된다. 발광층(EML)은 개구부(OP-PX)에 중첩하는 발광 패턴일 수 있다. 제1 전하 제어층(HCL)은 정공 수송 영역이고, 제2 전하 제어층(ECL)은 전자 수송 영역일 수 있다. 유기발광 다이오드(OLED)는 애노드(AE) 및 캐소드(CE) 사이의 전압 차이를 이용하여 발광층(EML)으로부터 광을 생성한다. 한편, 도시되지 않았으나, 본 발명의 일 실시예에 따른 표시장치는 캐소드(CE) 상에 배치되는 유기막 및/또는 무기막을 더 포함할 수 있다.

[0106] 도 1 내지 도 8을 참조하여 설명한 본 발명의 일 실시예에 따른 반도체 장치는 결정질 반도체를 포함하는 제1 박막 트랜지스터(T1) 및 산화물 반도체를 포함하는 제2 박막 트랜지스터(T2)가 수직 적층되어 있어 집적도가 우수하며, 고해상도에 유리하다. 또한, 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)가 별도의 제어 전극을 포함하고 있어 독립적으로 구동이 가능하며, 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2) 각각이 일명 탑 게이트 구조를 가져 바텀 게이트 구조 대비 고해상도에 유리하다. 다만, 본 발명의 일 실시예가 도 1 내지 도 8에 한정되는 것은 아니다.

[0107] 이하, 도 9 내지 도 12를 참조하여, 본 발명의 일 실시예에 따른 반도체 장치에 대하여 설명한다. 한편, 도 1 내지 도 8에서 설명한 구성과 동일, 유사한 구성에 대해서는 설명의 편의를 위해 동일한 참조부호를 부여하고 중복된 설명은 생략하기로 한다.

[0108] 도 9는 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

[0109] 도 9를 참조하면, 본 발명의 일 실시예에 따른 반도체 장치는 베이스 기판(SUB), 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 및 제1 커패시터(CST)를 포함한다. 제1 박막 및 제2 박막 트랜지스터들(T1, T2), 및 제1 커패시터(CST)는 베이스 기판(SUB) 상에 배치된다.

[0110] 제1 박막 트랜지스터(T1)는 제1 입력 전극(IE1), 제1 출력 전극(OE1), 결정질 반도체를 포함하는 제1 반도체 패턴(SP1), 제1 반도체 패턴(SP1) 상에 배치된 제1 제어 전극(CE1)을 포함한다. 예를 들어, 제1 반도체 패턴(SP1)은 다결정 실리콘과 같은 다결정 반도체 물질을 포함할 수 있다. 제1 반도체 패턴(SP1)은 제1 영역(AR11), 제2 영역(AR12), 및 제3 영역(AR13)으로 구분될 수 있으며, 관련 설명은 전술한 바와 동일한 바 생략하도록 한다.

[0111] 제2 박막 트랜지스터(T2)는 제2 입력 전극(IE2), 제2 출력 전극(OE2), 제2 제어 전극(CE2), 산화물 반도체를 포함하는 제2 반도체 패턴(SP2), 및 제2 반도체 패턴(SP2) 상에 배치되고, 제2 반도체 패턴(SP2)의 일부를 노출시키는 제2 도전 패턴(CP2)를 포함한다. 제2 제어 전극(CE2)은 제2 반도체 패턴(SP2) 하부에 배치되는 것일 수 있다. 즉, 제1 박막 트랜지스터(T1)는 일명 탑 게이트 구조를 갖고, 제2 박막 트랜지스터(T2)는 일명 바텀 게이트 구조를 갖는 것일 수 있다.

[0112] 제2 반도체 패턴(SP2)은 불순물이 포함된 제1 영역(AR21) 및 제3 영역(AR23), 제1 영역(AR21)과 제3 영역(AR23)에 인접한 제2 영역(AR22)으로 구분될 수 있다. 제1 영역(AR21) 및 제3 영역(AR23)은 제2 영역(AR22)을 사이에 두고 서로 이격된다. 제2 영역(AR22)은 제2 박막 트랜지스터(T2)의 채널 영역일 수 있다.

[0113] 이하, 도 10 내지 도 12에서는 편의상 제1 반도체 패턴(SP1)의 제1 내지 제3 영역(AR11, AR12, AR13) 및 제2 반도체 패턴(SP2)의 제1 내지 제3 영역(AR21, AR22, AR23)의 도시를 생략하였다.

[0114] 다시 도 9를 참조하면, 제2 도전 패턴(CP2)은 제2 반도체 패턴(SP2)과 접한다. 제2 도전 패턴(CP2)은 제2 반도체 패턴(SP2)의 일부 상에 배치되어, 제2 반도체 패턴(SP2) 상면의 일부를 노출시킨다. 제2 반도체 패턴(SP2)은 제2 반도체 패턴(SP2)의 채널 영역인 제2 영역(AR22)을 노출시키고, 제1 영역(AR21) 및 제3 영역(AR23)을 커버한다.

[0115] 제2 도전 패턴(CP2)의 측면과 제2 반도체 패턴(SP2)의 측면은 하나의 라인을 따라 정렬될 수 있다. 제2 도전 패턴(CP2) 및 제2 반도체 패턴(SP2)은 평면상에서 상이한 형상을 가질 수 있다.

[0116] 제2 도전 패턴(CP2)은 제2 반도체 패턴(SP2)과 제2 입력 전극(IE2) 사이와, 제2 반도체 패턴(SP2)과 제2 출력 전극(OE2) 사이에 배치된다. 제2 반도체 패턴(SP2)과 제2 입력 전극(IE2) 사이에 배치된 제2 도전 패턴(CP2)은 제2 반도체 패턴(SP2) 및 제2 입력 전극(IE2) 각각과 접촉한다. 제2 반도체 패턴(SP2)과 제2 출력 전극(OE2) 사이에 배치된 제2 도전 패턴(CP2)은 제2 반도체 패턴(SP2) 및 제2 출력 전극(OE2) 각각과 접촉한다. 제2 입력 전극(IE2) 및 제2 입력 전극(IE2)과 접촉하는 제2 도전 패턴(CP2)이 함께 제2 박막 트랜지스터(T2)의 입력 전극 기능을 수행하고, 제2 출력 전극(OE2) 및 제2 출력 전극(OE2)과 접촉하는 제2 도전 패턴(CP2)이 함께 제2 박막

트랜지스터(T2)의 출력 전극 기능을 수행하는 것일 수 있다.

[0117] 제1 커패시터(CST)는 제1 전극(CPE1), 제1 전극(CPE1) 상에 배치된 제2 전극(CPE2), 및 제1 전극(CPE1)과 제2 전극(CPE2) 사이에 배치된 제3 반도체 패턴(SP3)을 포함한다. 제3 반도체 패턴(SP3)은 제2 전극(CPE2)과 접하고, 제1 전극(CPE1)과 이격된다. 제3 반도체 패턴(SP3)은 산화물 반도체를 포함한다. 예를 들어, 제3 반도체 패턴(SP3)은 제2 반도체 패턴(SP2)과 동일한 산화물 반도체를 포함할 수 있다. 제3 반도체 패턴(SP3)의 도전성 또는 절연성을 조절하여 제1 커패시터(CST)의 커패시턴스를 다양하게 조절할 수 있다.

[0118] 제2 전극(CPE2)의 측면과 제3 반도체 패턴(SP3)의 측면은 하나의 라인을 따라 정렬될 수 있다. 제2 전극(CPE2) 및 제3 반도체 패턴(SP3)은 평면상에서 중첩할 수 있다. 제2 전극(CPE2) 및 제3 반도체 패턴(SP3)은 평면상에서 동일한 형상을 가질 수 있다.

[0119] 제1 제어 전극(CE1), 제2 제어 전극(CE2), 및 제1 전극(CPE1)은 동일한 층 상에 배치될 수 있다. 제2 반도체 패턴(SP2) 및 제3 반도체 패턴(SP3)은 동일한 층 상에 배치될 수 있다. 제2 도전 패턴(CP2) 및 제2 전극(CPE2)은 동일한 층 상에 배치될 수 있다.

[0120] 본 발명의 일 실시예에 따른 반도체 장치는 복수 개의 절연층들을 포함할 수 있다. 복수 개의 절연층들은 베이스 기판(SUB) 상에 배치되는 제1 내지 제3 절연층들(IL1, IL2, IL3)을 포함하는 것일 수 있다. 본 발명의 일 실시예에 따른 반도체 장치는 베이스 기판(SUB) 및 제1 반도체 패턴(SP1) 사이에 배치된 버퍼층(BF)을 더 포함할 수 있다.

[0121] 제1 내지 제3 절연층들(IL1, IL2, IL3)은 베이스 기판(SUB) 상에 순차적으로 적층될 수 있다. 제1 절연층(IL1)은 베이스 기판(SUB) 상에 배치되고, 제1 반도체 패턴(SP1)을 커버할 수 있다. 제2 절연층(IL2)은 제1 절연층(IL1) 상에 배치되어 제1 제어 전극(CE1), 제2 제어 전극(CE2), 및 제1 전극(CPE1)을 커버할 수 있다. 제3 절연층(IL3)은 제2 절연층(IL2) 상에 배치될 수 있다.

[0122] 제3 절연층(IL3)에는 제1 컨택홀(CH1)이 정의될 수 있다. 제1 컨택홀(CH1)을 통해 제2 입력 전극(IE2) 및 제2 출력 전극(OE2) 각각이 제2 도전 패턴(CP2)과 접촉한다. 제1 컨택홀(CH1)은 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)이 배치되지 않는 영역을 포함하며, 상기 영역은 제2 반도체 패턴(SP2) 상에 제2 도전 패턴(CP2)이 배치되지 않은 영역과 연결되어 제2 반도체 패턴(SP2)의 제2 영역(AR22)을 노출시킨다.

[0123] 제1 입력 전극(IE1) 및 제1 출력 전극(OE1) 각각은 제1 내지 제3 절연층들(IL1, IL2, IL3)을 관통하고 서로 이격된 제2 컨택홀(CH2) 및 제3 컨택홀(CH3)을 통해 제1 반도체 패턴(SP1)과 접촉한다. 예를 들어, 제1 입력 전극(IE1)은 제2 컨택홀(CH2)을 통해 제1 반도체 패턴(SP1)의 제1 영역(AR11)과 접촉하고, 제1 출력 전극(OE1)은 제3 컨택홀(CH3)을 통해 제1 반도체 패턴(SP1)의 제3 영역(AR13)과 접촉할 수 있다.

[0124] 도 10은 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

[0125] 도 10을 참조하면, 제2 반도체 패턴(SP2)은 제1 반도체 패턴(SP1) 상에 배치되고, 제1 제어 전극(CE1) 및 제2 제어 전극(CE2)은 동일한 것이며, 제1 반도체 패턴(SP1), 제1 제어 전극(CE1), 및 제2 반도체 패턴(SP2)은 평면상에서 중첩하는 것일 수 있다. 이 경우, 집적도가 향상되어 고해상도에 유리하다는 장점이 있다.

[0126] 평면상에서, 제1 컨택홀(CH1)은 제2 컨택홀(CH2) 및 제3 컨택홀(CH3) 사이에 제공된 것일 수 있다. 다만, 이에 의하여 한정되는 것은 아니며, 다시 도 9를 참조하면, 제1 컨택홀(CH1), 제2 컨택홀(CH2) 및 제3 컨택홀(CH3)은 제1 방향(DR1)으로 서로 이격된 것일 수도 있다.

[0127] 도 11은 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

[0128] 도 9 및 도 11을 참조하면, 제2 도전 패턴(CP2)은 제2 반도체 패턴(SP2)과 제2 입력 전극(IE2) 사이에 배치된 제1 서브 패턴(CP2-1), 및 제2 반도체 패턴(SP2)과 제2 출력 전극(OE2) 사이에 배치된 제2 서브 패턴(CP2-2)을 포함할 수 있다. 제1 서브 패턴(CP2-1)은 하측으로 연장되어 제3 절연층(IL3)의 일부, 제2 절연층(IL2) 및 제1 절연층(IL1)을 관통하는 제4 컨택홀(CH4)을 통해 제1 반도체 패턴(SP1)과 접촉할 수 있다. 제1 서브 패턴(CP2-1)의 일부는 제4 컨택홀(CH4)을 통해 제2 반도체 패턴(SP2)의 측면과 접촉할 수 있다. 다만, 이에 의하여 한정되는 것은 아니며, 제4 컨택홀(CH4)은 제2 반도체 패턴(SP2), 제2 절연층(IL2) 및 제1 절연층(IL1)을 관통하는 것일 수도 있고, 이 경우, 제1 서브 패턴(CP2-1)은 제2 반도체 패턴(SP2)의 적어도 일부를 관통할 수 있다.

[0129] 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)를 연결하는 연결 전극이 필요한 경우 하측으로 연장된 제1 서브 패턴(CP2-1)을 이용할 수 있고, 집적도가 향상되어 고해상도에 유리하다는 장점이 있다. 제1 박막 트랜

지스터(T1) 및 제2 박막 트랜지스터(T2)는 제1 서브 패턴(CP2-1)을 통해 서로 연결될 수 있다. 제1 서브 패턴(CP2-1)은 제1 박막 트랜지스터(T1)의 입력 전극 및 제2 박막 트랜지스터(T2)의 입력 전극의 역할을 동시에 할 수 있다.

[0130] 도 12는 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

[0131] 도 9 및 도 12를 참조하면, 평면상에서, 제1 반도체 패턴(SP1)의 일부는 제2 반도체 패턴(SP2)의 일부와 중첩하고, 제2 제어 전극(CE2)은 제1 반도체 패턴(SP1)과 중첩하지 않는 것일 수 있다.

[0132] 전술한 바와 같이, 제2 도전 패턴(CP2)은 제1 서브 패턴(CP2-1) 및 제2 서브 패턴(CP2-2)를 포함할 수 있다. 제2 서브 패턴(CP2-2)은 하측으로 연장되어, 제3 절연층(IL3)의 일부, 제2 절연층(IL2) 및 제1 절연층(IL1)을 관통하는 제5 컨택홀(CH5)을 통해 제1 반도체 패턴(SP1)과 접촉할 수 있다. 제2 서브 패턴(CP2-2)의 일부는 제5 컨택홀(CH5)을 통해 제2 반도체 패턴(SP2)의 측면과 접촉할 수 있다. 다만, 이에 의하여 한정되는 것은 아니며, 제5 컨택홀(CH5)은 제2 반도체 패턴(SP2), 제2 절연층(IL2) 및 제1 절연층(IL1)을 관통하는 것일 수도 있고, 이 경우, 제2 서브 패턴(CP2-2)은 제2 반도체 패턴(SP2)의 적어도 일부를 관통할 수 있다.

[0133] 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)를 연결하는 연결 전극이 필요한 경우 하측으로 연장된 제2 서브 패턴(CP2-2)을 이용할 수 있고, 집적도가 향상되어 고해상도에 유리하다는 장점이 있다. 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)는 제2 서브 패턴(CP2-2)을 통해 서로 연결될 수 있다. 제2 서브 패턴(CP2-2)은 제1 박막 트랜지스터(T1)의 출력 전극 및 제2 박막 트랜지스터(T2)의 입력 전극의 역할을 동시에 할 수 있다.

[0134] 이하에서는 도 13, 도 14a 내지 도 14k를 참조하여, 본 발명의 일 실시예에 따른 반도체 장치의 제조방법에 대하여 설명한다. 이하에서는 앞서 설명한 본 발명의 일 실시예에 따른 반도체 장치와의 차이점을 위주로 구체적으로 설명하고, 설명되지 않은 부분은 도 1 내지 도 8을 참조하여 설명한 내용에 따른다.

[0135] 도 13은 본 발명의 일 실시예에 따른 반도체 장치의 제조방법의 개략적인 순서도이다. 도 14a 내지 도 14k는 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 순차적으로 도시한 단면도이다.

[0136] 도 2 내지 도 8, 및 도 13을 참조하면, 본 발명의 일 실시예에 따른 반도체 장치의 제조방법은 베이스 기판(SUB) 상에 결정질 반도체를 포함하는 제1 반도체 패턴(SP1)을 형성하는 단계(S100), 베이스 기판(SUB) 상에 제1 반도체 패턴(SP1)을 커버하는 제1 절연층(IL1)을 형성하는 단계(S200), 제1 절연층(IL1) 상에 평면상에서 제1 반도체 패턴(SP1)과 중첩하는 제1 제어 전극(CE1)을 형성하는 단계(S300), 제1 절연층(IL1) 상에 제1 제어 전극(CE1)을 커버하는 제2 절연층(IL2)을 형성하는 단계(S400), 제2 절연층(IL2) 상에 평면상에서 제1 반도체 패턴(SP1), 제1 제어 전극(CE1)과 중첩하고, 산화물 반도체를 포함하는 제2 반도체 패턴(SP2)을 형성하는 단계(S500), 및 제2 반도체 패턴(SP2) 상에 평면상에서 제1 반도체 패턴(SP1), 제1 제어 전극(CE1), 제2 반도체 패턴(SP2)과 중첩하는 제2 제어 전극(CE2)을 형성하는 단계(S600)를 포함한다.

[0137] 각 단계의 순서는 도 13에 의해 한정되는 것은 아니다. 예를 들어, 제1 반도체 패턴(SP1)을 형성하는 단계(S100)는 초기 제1 반도체 패턴(SP1-A, 도 14a 참조), 초기 제1 반도체 패턴 상에 초기 제1 절연층(IL1-A, 도 14b 참조)을 형성하는 단계(S200) 이후에 도핑 공정 등을 수행함으로써 완결될 수 있다. 이하, 도 14a 내지 도 14k을 참조하여, 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 보다 구체적으로 설명한다.

[0138] 도 14a에 도시한 바와 같이, 베이스 기판(SUB) 상에 초기 제1 반도체 패턴(SP1-A)을 형성한다. 초기 제1 반도체 패턴(SP1-A)은 베이스 기판(SUB) 상에 결정질 반도체 물질을 포함하는 층을 형성한 후, 이를 패터닝하여 형성될 수 있다. 이때, 초기 제1 반도체 패턴(SP1-A)은 반도체 물질을 포함하는 층을 형성한 후, 반도체 물질을 결정화시키기 위한 결정화 단계를 포함할 수 있다.

[0139] 한편, 도시하지는 않았으나, 베이스 기판(SUB) 상에 버퍼층(BF)을 형성하는 단계가 초기 제1 반도체 패턴(SP1-A) 형성 이전에 추가될 수 있다. 버퍼층(BF)은 본 발명의 일 실시예에 따른 반도체 장치 공정 과정 및 사용 과정에서 베이스 기판(SUB)으로부터 제공될 수 있는 불순물 등이 베이스 기판(SUB) 상에 형성되는 소자들로 유입되는 것을 방지할 수 있다.

[0140] 이후, 도 14b에 도시한 바와 같이, 베이스 기판(SUB) 상에 초기 제1 반도체 패턴(SP1-A)을 커버하는 초기 제1 절연층(IL1-A)을 형성한다. 초기 제1 절연층(IL1-A)은 무기 물질 또는 유기 물질을 증착, 코팅, 또는 프린팅하여 형성될 수 있다.

[0141] 도 14c에 도시한 바와 같이, 초기 제1 절연층(IL1-A) 상에 제1 제어 전극(CE1)을 형성한다. 보다 구체적으로,

제1 제어 전극(CE1)을 평면상에서 초기 제1 반도체 패턴(SP1-A)과 중첩하도록 형성한다. 제1 제어 전극(CE1)은 초기 제1 절연층(IL1-A) 상에 도전층(미도시)을 형성한 후, 도전층을 패터닝하는 방법으로 형성될 수 있다. 다만, 제1 제어 전극(CE1)을 형성하는 방법이 이에 한정되는 것은 아니다.

[0142] 한편, 도 14c에 도시한 바와 같이, 제1 반도체 패턴(SP1)은 초기 제1 반도체 패턴(SP1-A)에 제1 내지 제3 영역들(AR11, AR12, AR13)을 정의함으로써 형성할 수 있다. 초기 제1 반도체 패턴(SP1-A)에 소정의 불순물(DM)을 주입하면 제1 영역(AR11) 및 제3 영역(AR13)이 형성된다. 제1 영역(AR11) 및 제3 영역(AR13)은 제2 영역(AR12)에 비해 상대적으로 높은 도핑 농도를 가진다.

[0143] 불순물(DM)은 다양한 물질을 포함할 수 있다. 불순물(DM) 예를 들어 도펀트일 수 있다. 도펀트 물질은 예를 들어, 3가 원소를 포함할 수 있다. 이때, 제1 반도체 패턴(SP1)은 P형 반도체로 형성될 수 있다. 또는 불순물(DM)은 5가 원소를 포함할 수 있다. 이때, 제1 반도체 패턴(SP1)은 N형 반도체로 형성될 수 있다.

[0144] 이때, 제2 영역(AR12)은 제1 제어 전극(CE1)과 평면상에서 중첩할 수 있다. 예를 들어, 제2 영역(AR12)의 평면상에서의 형상은 제1 제어 전극(CE1)의 평면상에서의 형상과 동일할 수 있다. 초기 제1 반도체 패턴(SP1-A)에 소정의 도펀트 물질을 주입하는 공정에서, 제1 제어 전극(CE1)은 마스크 역할을 할 수 있다. 이에 따라, 제1 영역(AR11)과 제2 영역(AR12)의 경계 및 제2 영역(AR12)과 제3 영역(AR13)의 경계는 각각 제1 제어 전극(CE1)의 가장자리를 따라 정렬될 수 있다.

[0145] 본 발명의 일 실시예에 따른 반도체 장치의 제조방법은 제1 커패시터를 형성하는 단계를 더 포함할 수 있다. 제1 커패시터는 베이스 기판(SUB) 상에 형성된다. 제1 커패시터를 형성하는 단계는 제1 전극)을 형성하는 단계 및 제2 전극을 형성하는 단계를 포함할 수 있고, 제1 전극 및 제2 전극은 대향하도록 형성될 수 있다.

[0146] 도 14c에 도시한 바와 같이, 초기 제1 절연층(IL1-A) 상에 제1 전극(CPE1)을 형성한다. 제1 전극(CPE1)은 도 4에 도시된 제1 전극(CPE1)과 대응될 수 있다. 제1 전극(CPE1)은 제1 커패시터의 일 전극이다. 제1 전극(CPE1)은 제1 제어 전극(CE1)과 동일한 층 상에 형성된다. 구체적으로, 제1 전극(CPE1) 및 제1 제어 전극(CE1) 각각은 초기 제1 절연층(IL1-A) 상에 초기 제1 절연층(IL1-A)과 접촉하도록 형성될 수 있다.

[0147] 이에 따라, 제1 전극(CPE1)을 형성하는 단계는 제1 제어 전극(CE1)을 형성하는 단계와 동일한 마스크를 이용하여 수행될 수 있다. 예를 들어, 제1 전극(CPE1)을 형성하는 단계 및 제1 제어 전극(CE1)을 형성하는 단계는 제1 마스크를 이용하여 수행될 수 있다. 제1 전극(CPE1)을 형성하는 단계 및 제1 제어 전극(CE1)을 형성하는 단계는 하나의 단계일 수 있다. 따라서, 본 발명의 일 실시예에 따른 반도체 장치의 제조방법에 따르면, 제1 커패시터의 제1 전극(CPE1)을 형성하기 위한 별도 공정 추가없이 제1 제어 전극(CE1)을 형성하는 단계에서 동시에 수행될 수 있는 바, 공정 경제성 측면에서 유리하다.

[0148] 이후, 도 14d에 도시한 바와 같이, 초기 제1 절연층(IL1-A) 상에 초기 제2 절연층(IL2-A)을 형성한다. 초기 제2 절연층(IL2-A)은 무기 물질 또는 유기 물질을 증착, 코팅, 또는 프린팅하여 형성될 수 있다.

[0149] 도 14e에 도시한 바와 같이, 초기 제2 절연층(IL2-A) 상에 초기 제2 반도체 패턴(SP2-A)을 형성한다. 초기 제2 반도체 패턴(SP2-A)은 평면상에서 제1 반도체 패턴(SP1) 및 제1 제어 전극(CE1)과 중첩하도록 형성한다. 초기 제2 반도체 패턴(SP2-A)은 산화물 반도체 물질을 포함한다. 초기 제2 반도체 패턴(SP2-A)은 초기 제2 절연층(IL2-A) 상에 산화물 반도체 물질을 포함하는 층을 형성한 후, 이를 패터닝하여 형성될 수 있다.

[0150] 이후, 도 14f에 도시한 바와 같이, 초기 제2 반도체 패턴(SP2-A)을 커버하도록 초기 제2 절연층(IL2-A) 상에 초기 절연 패턴(IP-A)를 형성한다. 초기 절연 패턴(IP-A)은 초기 제2 절연층(IL2-A) 및 초기 제2 반도체 패턴(SP2-A) 상에 무기 물질 및/또는 유기 물질을 포함하는 층을 형성한 후 이를 패터닝하여 형성될 수 있다. 구체적으로, 초기 절연 패턴(IP-A)을 평면상에서 제1 반도체 패턴(SP1), 제1 제어 전극(CE1) 및 초기 제2 반도체 패턴(SP2-A)와 중첩하도록 형성한다.

[0151] 도 14g에 도시한 바와 같이, 초기 절연 패턴(IP-A) 상에 제2 제어 전극(CE2)을 형성한다. 제2 제어 전극(CE2)은 초기 제2 절연층(IL2-A) 및 초기 절연 패턴(IP-A) 상에 도전층(미도시)을 형성한 후, 도전층을 패터닝하는 방법으로 형성될 수 있으나, 이에 의하여 한정되는 것은 아니다. 구체적으로, 제2 제어 전극(CE2)을 평면상에서 제1 반도체 패턴(SP1), 제1 제어 전극(CE1) 및 초기 제2 반도체 패턴(SP2-A)와 중첩하도록 형성한다.

[0152] 한편 전술한 바와 같이, 제1 커패시터를 형성하는 단계는 제2 전극(CPE2)을 형성하는 단계를 포함한다. 예를 들어, 초기 제2 절연층(IL2-A) 상에 제2 전극(CPE2)을 형성한다. 제2 전극(CPE2)은 도 4에 도시된 제2 전극(CPE2)과 대응될 수 있다. 제2 전극(CPE2)은 제1 커패시터의 일 전극이다. 제2 전극(CPE2)은 제2 제어 전극

(CE2)과 동일한 층 상에 형성된다. 구체적으로, 제2 전극(CPE2)은 초기 제2 절연층(IL2-A) 상에 초기 제2 절연층(IL2-A)과 접촉하도록 형성되고, 제2 제어 전극(CE2)은 초기 절연 패턴(IP-A) 상에 초기 절연 패턴(IP-A)과 접촉하도록 형성된다.

[0153] 이에 따라, 제2 전극(CPE2)을 형성하는 단계는 제2 제어 전극(CE2)을 형성하는 단계와 동일한 마스크를 이용하여 수행될 수 있다. 예를 들어, 제2 전극(CPE2)을 형성하는 단계 및 제2 제어 전극(CE2)을 형성하는 단계는 제2 마스크를 이용하여 수행될 수 있다. 제2 마스크는 전술한 제1 마스크와 상이한 마스크일 수 있다. 제2 전극(CPE2)을 형성하는 단계 및 제2 제어 전극(CE2)을 형성하는 단계는 하나의 단계일 수 있다. 따라서, 본 발명의 일 실시예에 따른 반도체 장치의 제조방법에 따르면, 제1 커패시터의 제2 전극(CPE2)을 형성하기 위한 별도 공정 추가없이 제2 제어 전극(CE2)을 형성하는 단계에서 동시에 수행될 수 있는 바, 공정 경제성 측면에서 유리하다.

[0154] 이후, 도 14h에 도시한 바와 같이, 초기 절연 패턴(IP-A)를 추가 패터닝하여 절연 패턴(IP)을 형성한다. 추가 패터닝하는 공정에서, 제2 제어 전극(CE2)은 마스크 역할을 할 수 있다. 이에 따라, 제2 제어 전극(CE2)의 측면 및 절연 패턴(IP)의 측면은 하나의 라인을 따라 정렬될 수 있다. 제2 제어 전극(CE2) 및 절연 패턴(IP)은 평면상에서 동일한 형상을 가지도록 형성될 수 있다.

[0155] 도 14i에 도시한 바와 같이, 초기 제3 절연층(IL3-A)을 형성한다. 초기 제3 절연층(IL3-A)은 초기 제2 절연층(IL2-A) 상에 초기 제2 반도체 패턴(SP2-A), 절연 패턴(IP), 제2 제어 전극(CE2) 및 제2 전극(CPE2)를 커버하도록 형성하고, 예를 들어, 무기 물질을 증착하여 형성할 수 있다.

[0156] 이때, 초기 제2 반도체 패턴(SP2-A) 중 절연 패턴(IP)에 의해 노출된 영역들은 변형되어 제1 영역(AR21), 제2 영역(AR22) 및 제3 영역(AR23)으로 구분되는 제2 반도체 패턴(SP2)이 형성될 수 있다. 초기 제2 반도체 패턴(SP2-A) 중 절연 패턴(IP)에 의해 노출된 영역들은 소정의 불순물들이 주입되거나, 초기 제3 절연층(IL3-A)을 형성하는 과정에서 제공되는 식각 가스에 의해 노출되어 적어도 일부분이 환원됨으로써 제1 영역(AR21) 및 제3 영역(AR23)으로 변화될 수 있다. 이에 따라, 상대적으로 불순물 유입 또는 환원 결과물이 적은 제2 영역(AR22)은 채널 영역으로 정의될 수 있다.

[0157] 이후, 도 14j에 도시한 바와 같이, 제1 내지 제4 관통홀들(OP1, OP2, OP3, OP4)을 형성하여, 제1 내지 제3 절연층들(IL1, IL2, IL3)을 형성할 수 있다. 제1 관통홀(OP1) 및 제2 관통홀(OP2)은 각각 제1 반도체 패턴(SP1)에 중첩하고, 제3 관통홀(OP3) 및 제4 관통홀(OP4)은 각각 제2 반도체 패턴(SP2)에 중첩하도록 형성할 수 있다. 평면상에서, 제1 관통홀(OP1) 및 제2 관통홀(OP2) 사이에 제3 관통홀(OP3) 및 제4 관통홀(OP4)이 제공되도록 형성할 수 있다. 예를 들어, 제1 관통홀(OP1)은 제1 반도체 패턴(SP1)의 제1 영역(AR11)과 중첩하고, 제2 관통홀(OP2)은 제1 반도체 패턴(SP1)의 제3 영역(AR13)과 중첩하며, 제3 관통홀(OP3)은 제2 반도체 패턴(SP2)의 제1 영역(AR21)과 중첩하고, 제4 관통홀(OP4)은 제2 반도체 패턴(SP2)의 제3 영역(AR23)과 중첩하도록 형성할 수 있다.

[0158] 제1 관통홀(OP1) 및 제2 관통홀(OP2)은 제1 절연층(IL1), 제2 절연층(IL2), 및 제3 절연층(IL3)을 관통하도록 형성한다. 제1 관통홀(OP1)은 제1 반도체 패턴(SP1)의 제1 영역(AR11)의 적어도 일부를 노출시키고, 제2 관통홀(OP2)은 제1 반도체 패턴(SP1)의 제3 영역(AR13)의 적어도 일부를 노출시키도록 형성한다.

[0159] 제3 관통홀(OP3) 및 제4 관통홀(OP4)을 제3 절연층(IL3)을 관통하도록 형성한다. 제3 관통홀(OP3)은 제2 반도체 패턴(SP2)의 제1 영역(AR21)의 적어도 일부를 노출시키고, 제4 관통홀(OP4)은 제2 반도체 패턴(SP2)의 제3 영역(AR23)의 적어도 일부를 노출시키도록 형성한다.

[0160] 제1 관통홀(OP1) 및 제2 관통홀(OP2)을 평면상에서 제1 방향(DR1)으로 이격되도록 형성할 수 있다, 제3 관통홀(OP3) 및 제4 관통홀(OP4)을 평면상에서 제1 관통홀(OP1) 및 제2 관통홀(OP2) 사이에 위치하도록 형성할 수 있다.

[0161] 이후, 도 14k에 도시한 바와 같이, 제1 입력 전극(IE1), 제1 출력 전극(OE1), 제2 입력 전극(IE2), 및 제2 출력 전극(OE2)을 형성한다. 제1 입력 전극(IE1), 제1 출력 전극(OE1), 제2 입력 전극(IE2), 및 제2 출력 전극(OE2) 각각은 제3 절연층(IL3) 상에 도전 물질을 포함하는 층을 형성한 후, 이를 패터닝하여 형성할 수 있다. 제1 입력 전극(IE1)은 제1 관통홀(OP1)을 충진하고, 제1 출력 전극(OE1)은 제2 관통홀(OP2)을 충진하며, 제2 입력 전극(IE2)은 제3 관통홀(OP3)을 충진하고, 제2 출력 전극(OE2)은 제4 관통홀(OP4)을 충진한다. 제1 입력 전극(IE1)의 일부, 제1 출력 전극(OE1)의 일부, 제2 입력 전극(IE2)의 일부, 및 제2 출력 전극(OE2)의 일부는 각각 제3 절연층(IL3) 상에 형성된다.

[0162] 제1 입력 전극(IE1)은 제1 관통홀(OP1)을 통해 제1 반도체 패턴(SP1)의 제1 영역(AR11)에 접속되고, 제1 출력 전극(OE1)은 제2 관통홀(OP2)을 통해 제1 반도체 패턴(SP1)의 제3 영역(AR13)에 접속되어 제1 박막 트랜지스터(T1)를 구성한다. 제2 입력 전극(IE2)은 제3 관통홀(OP3)을 통해 제2 반도체 패턴(SP2)의 제1 영역(AR21)에 접속되고, 제2 출력 전극(OE2)은 제4 관통홀(OP4)을 통해 제2 반도체 패턴(SP2)의 제3 영역(AR23)에 접속되어 제2 박막 트랜지스터(T2)를 구성한다.

[0163] 이후, 도시하지는 않았으나, 제3 절연층(IL3) 상에 발광 다이오드를 형성하는 단계가 수행될 수 있으며, 발광 다이오드를 형성하는 단계는 당 기술분야에 알려진 일반적인 방법으로 수행될 수 있다.

[0164] 본 발명의 일 실시예에 따른 반도체 장치의 제조방법에 따르면 제1 반도체 패턴(SP1), 제1 제어 전극(CE1), 제2 반도체 패턴(SP2), 및 제2 제어 전극(CE2)이 평면상에서 중첩하도록 형성하는 단계를 포함하는 바, 집적도가 우수하여 고해상도에 유리한 반도체 장치를 제조할 수 있다. 또한, 본 발명의 일 실시예에 따른 반도체 장치의 제조방법은 제1 커패시터를 형성하기 위한 단계가 별도로 요구되지 않으며, 제1 제어 전극을 형성하는 단계에서 제1 커패시터의 제1 전극이 동일한 마스크를 이용하여 동시에 형성될 수 있고, 제2 제어 전극을 형성하는 단계에서 제1 커패시터의 제2 전극이 동일한 마스크를 이용하여 동시에 형성될 수 있는 바, 공정 경제성이 우수하다.

[0165] 이하에서는 도 15a 내지 도 15l을 참조하여, 본 발명의 일 실시예에 따른 반도체 장치의 제조방법에 대하여 설명한다. 이하에서는 앞서 설명한 본 발명의 일 실시예에 따른 반도체 장치와의 차이점을 위주로 구체적으로 설명하고, 설명되지 않은 부분은 도 8 내지 도 12, 및 도 14a 내지 도 14k을 참조하여 설명한 내용에 따른다.

[0166] 도 15a 내지 도 15l은 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 순차적으로 도시한 단면도이다. 도 14a 내지 도 14k에서 설명한 구성과 동일, 유사한 구성에 대해서는 설명의 편의를 위해 동일한 참조부호를 부여하고, 중복된 설명은 생략하기로 한다.

[0167] 도 15a 및 도 15b를 참조하면, 먼저, 베이스 기판(SUB) 상에 초기 제1 반도체 패턴(SP1-A)을 형성하고, 베이스 기판(SUB) 상에 초기 제1 반도체 패턴(SP1-A)을 커버하는 초기 제1 절연층(IL1-A)을 형성한다. 도 14a 및 도 14b를 참조하여 설명한 내용이 동일하게 적용될 수 있는 바, 구체적인 설명은 생략하기로 한다.

[0168] 도 15c를 참조하면, 초기 제1 절연층(IL1-A) 상에 제1 제어 전극(CE1), 제2 제어 전극(CE2), 및 제1 전극(CPE1)을 형성한다. 도 15c는 예시적인 것이며, 제1 제어 전극(CE1) 및 제2 제어 전극(CE2)은 동일한 것일 수 있으며, 이 경우, 초기 제1 반도체 패턴(SP1-A) 상에 제1 제어 전극(CE1) 및 제2 제어 전극(CE2)의 역할을 동시에 수행하는 공통 제어 전극이 형성될 수 있다. 제1 제어 전극(CE1), 제2 제어 전극(CE2), 및 제1 전극(CPE1) 각각은 초기 제1 절연층(IL1-A) 상에 도전층(미도시) 형성한 후, 도전층을 패터닝하는 방법으로 형성될 수 있다.

[0169] 제1 반도체 패턴(SP1)은 초기 제1 반도체 패턴(SP1-A)에 소정의 불순물(DM)을 주입하는 방법에 의해 초기 제1 반도체 패턴(SP1-A)에 제1 내지 제3 영역들(AR11, AR12, AR13)을 정의함으로써 형성할 수 있으며, 구체적인 설명은 도 14c를 참조하여 설명한 내용과 동일한 바 생략하도록 한다.

[0170] 이후, 도 15d를 참조하면, 초기 제1 절연층(IL1-A) 상에 제1 제어 전극(CE1), 제2 제어 전극(CE2), 및 제1 전극(CPE1)을 커버하는 초기 제2 절연층(IL2-A)을 형성한다. 초기 제2 절연층(IL2-A)은 무기 물질 또는 유기 물질을 증착, 코팅, 또는 프린팅하여 형성될 수 있다.

[0171] 도 15e를 참조하면, 초기 제2 절연층(IL2-A) 상에 평면상에서 제2 제어 전극(CE2)과 중첩하는 초기 제2 반도체 패턴(SP2-A) 및 초기 제2 도전 패턴(CP2-A)를 순차적으로 형성한다. 한편, 초기 제2 절연층(IL2-A) 상에 평면상에서 제1 전극(CPE1)과 중첩하는 제3 반도체 패턴(SP3) 및 제2 전극(CPE2)을 순차적으로 형성한다. 초기 제2 반도체 패턴(SP2-A) 및 제3 반도체 패턴(SP3)은 각각 산화물 반도체를 포함하며, 동일한 산화물 반도체를 포함하는 것일 수 있다.

[0172] 초기 제2 반도체 패턴(SP2-A) 및 초기 제2 도전 패턴(CP2-A)은 함께 패터닝될 수 있고, 이에 따라, 초기 제2 반도체 패턴(SP2-A)의 측면 및 초기 제2 도전 패턴(CP2-A)의 측면은 하나의 라인을 따라 정렬될 수 있다. 초기 제2 반도체 패턴(SP2-A) 및 초기 제2 도전 패턴(CP2-A)은 평면상에서 동일한 형상을 가지도록 형성될 수 있다. 초기 제2 반도체 패턴(SP2-A) 및 초기 제2 도전 패턴(CP2-A) 서로 접촉하도록 형성된다.

[0173] 제3 반도체 패턴(SP3) 및 제2 전극(CPE2)은 함께 패터닝될 수 있고, 이에 따라, 제3 반도체 패턴(SP3)의 측면 및 제2 전극(CPE2)의 측면은 하나의 라인을 따라 정렬될 수 있다. 제3 반도체 패턴(SP3) 및 제2 전극(CPE2) 평

면상에서 동일한 형상을 가지도록 형성될 수 있다. 제3 반도체 패턴(SP3) 및 제2 전극(CPE2)은 서로 접촉하도록 형성된다.

[0174] 제2 제어 전극(CE2), 초기 제2 반도체 패턴(SP2-A), 제3 반도체 패턴(SP3), 및 제2 전극(CPE2)는 동일한 마스크를 이용하여 패터닝될 수 있다. 제2 제어 전극(CE2) 및 제2 전극(CPE2)을 형성하기 위한 마스크를 이용하여 초기 제2 반도체 패턴(SP2-A) 및 제3 반도체 패턴(SP3)도 같이 형성할 수 있는 바, 공정 경제성 측면에서 유리하다.

[0175] 이후, 도 15f에 도시한 바와 같이, 초기 제2 절연층(IL2-A) 상에 초기 제3 절연층(IL3-A)을 형성한다. 초기 제3 절연층(IL3-A)은 무기 물질을 증착하여 형성할 수 있다. 초기 제3 절연층(IL3-A)은 초기 제2 반도체 패턴(SP2-A), 초기 제2 도전 패턴(CP2-A), 제3 반도체 패턴(SP3) 및 제2 전극(CPE2)를 커버하도록 형성한다.

[0176] 제1 전극(CPE1) 및 제2 전극(CPE2)은 커패시터의 전극으로의 기능을 한다. 제3 반도체 패턴은 도전성 또는 절연성을 조절함으로써 다양한 역할을 수행할 수 있으며, 제3 반도체 패턴을 형성하는 단계 이후에 제3 반도체 패턴의 도전성 또는 절연성을 조절하기 위한 별도의 단계가 추가로 수행될 수 있다.

[0177] 도 15g에 도시한 바와 같이, 초기 제3 절연층(IL3-A)에 제1 컨택홀(CH1)을 형성할 수 있다. 초기 제3 절연층(IL3-A)을 관통하도록 제1 컨택홀(CH1)을 형성한다. 제1 컨택홀(CH1)은 초기 제2 도전 패턴(CP2-A)와 중첩하도록 형성한다. 제1 컨택홀(CH1)은 초기 제2 도전 패턴(CP2-A)의 적어도 일부를 노출시키도록 형성한다.

[0178] 이후, 도 15h에 도시한 바와 같이, 서로 이격된 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)을 형성한다. 제2 입력 전극(IE2) 및 제2 출력 전극(OE2) 각각은 초기 제3 절연층(IL3-A) 상에 도전 물질을 포함하는 층을 형성한 후, 이를 패터닝하여 형성될 수 있으나, 이에 한정되는 것은 아니다. 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)은 제1 컨택홀(CH1) 내에 서로 이격되어 형성되고, 제2 입력 전극(IE2)의 일부 및 제2 출력 전극(OE2)의 일부는 초기 제3 절연층(IL3-A) 상에 형성된다. 제1 컨택홀(CH1)은 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)으로 충진되지 않은 영역이 존재하며, 상기 영역에 의해 초기 제2 도전 패턴(CP2-A)의 일부가 노출된다.

[0179] 이후, 도 15i 및 도 15j에 도시한 바와 같이, 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)이 충진되지 않은 제1 컨택홀(CH1)의 영역에 의해 노출된 초기 제2 도전 패턴(CP2-A)의 일부를 제거하여 제2 도전 패턴(CP2)을 형성한다. 제2 도전 패턴(CP2)을 형성하는 단계는 포토리소그래피 공정을 통해 수행될 수 있다. 예를 들어, 제2 입력 전극(IE2) 및 제2 출력 전극(OE2) 상에 포토레지스트(PR)를 형성한 후, 초기 제2 도전 패턴(CP2-A)의 일부를 선택 에칭하여 제2 도전 패턴(CP2)을 형성할 수 있다.

[0180] 제2 입력 전극(IE2) 및 제2 출력 전극(OE2) 각각이 제1 컨택홀(CH1)을 통해 제2 도전 패턴(CP2)과 접속되어 제2 박막 트랜지스터(T2)를 구성한다. 제2 박막 트랜지스터(T2)에서는 제2 입력 전극(IE2) 및 제2 입력 전극(IE2)과 접촉하는 제2 도전 패턴(CP2)이 함께 입력 전극 기능을 수행하고, 제2 출력 전극(OE2) 및 제2 출력 전극(OE2)과 접촉하는 제2 도전 패턴(CP2)이 함께 출력 전극 기능을 수행한다.

[0181] 이 단계에서, 제1 영역(AR21), 제2 영역(AR22) 및 제3 영역(AR23)으로 구분되는 제2 반도체 패턴(SP2)이 형성될 수 있다. 제1 영역(AR21) 및 제3 영역(AR23) 각각은 제2 도전 패턴(CP2)과 중첩하고, 제2 영역(AR22)은 제2 도전 패턴(CP2)에 의해 노출된다. 제2 영역(AR22)은 채널 영역으로 정의될 수 있다.

[0182] 이어서, 도 15k에 도시한 바와 같이, 제2 컨택홀(CH2) 및 제3 컨택홀(CH3)을 형성하여 제1 내지 제3 절연층들(IL1, IL2, IL3)을 형성한다. 제2 컨택홀(CH2) 및 제3 컨택홀(CH3)은 제1 내지 제3 절연층들(IL1, IL2, IL3)을 관통하도록 형성한다.

[0183] 제2 컨택홀(CH2) 및 제3 컨택홀(CH3)은 서로 이격되며, 각각 제1 반도체 패턴(SP1)과 중첩하도록 형성한다. 구체적으로, 제2 컨택홀(CH2)은 제1 반도체 패턴(SP1)의 제1 영역(AR11)과 중첩하고, 제3 컨택홀(CH3)은 제1 반도체 패턴(SP1)의 제3 영역(AR13)과 중첩하도록 형성한다.

[0184] 제2 컨택홀(CH2)은 제1 반도체 패턴(SP1)의 제1 영역(AR11)의 적어도 일부를 노출시키고, 제3 컨택홀(CH3)은 제1 반도체 패턴(SP1)의 제3 영역(AR13)의 적어도 일부를 노출시키도록 형성한다.

[0185] 구체적으로 도시하지 않았으나, 전술한 바와 같이, 제2 반도체 패턴(SP2)은 평면상에서 제1 반도체 패턴(SP1)과 중첩하도록 형성될 수 있으며, 제1 제어 전극(CE1) 및 제2 제어 전극(CE2)은 동일한 것일 수 있고, 이 경우, 제1 컨택홀(CH1)은 평면상에서 제2 컨택홀(CH2) 및 제3 컨택홀(CH3) 사이에 배치되도록 형성한다.

[0186] 이후, 도 15l에 도시한 바와 같이, 제1 입력 전극(IE1) 및 제1 출력 전극(OE1)을 형성한다. 제1 입력 전극(IE1)

및 제1 출력 전극(OE1) 각각은 제3 절연층(IL3) 상에 도전 물질을 포함하는 층을 형성한 후, 이를 패터닝하여 형성할 수 있다. 제1 입력 전극(IE1)은 제2 컨택홀(CH2)을 충진하고, 제1 출력 전극(OE1)은 제3 컨택홀(CH3)을 충진한다. 제1 입력 전극(IE1)의 일부 및 제1 출력 전극(OE1)의 일부는 는 제3 절연층(IL3) 상에 형성된다.

[0187] 제1 입력 전극(IE1)은 제2 컨택홀(CH2)을 통해 제1 반도체 패턴(SP1)의 제1 영역(AR11)에 접속되고, 제1 출력 전극(OE1)은 제3 컨택홀(CH3)을 통해 제1 반도체 패턴(SP1)의 제3 영역(AR13)에 접속되어 제1 박막 트랜지스터(T1)를 구성한다.

[0188] 본 발명의 일 실시예에 따른 반도체 장치의 제조방법은 제1 반도체 패턴 및 제2 반도체 패턴이 상이한 층 상에 배치되고, 상이한 재료를 포함하는 반도체 장치에서 제2 반도체 패턴을 형성하기 위한 별도의 마스크 구비없이 커패시터의 제2 전극 형성에 사용되는 마스크를 이용하여 함께 형성하는 바 공정 경제성이 우수하다. 또한, 커패시터의 제2 전극 형성시 제2 전극과 함께 반도체 패턴을 함께 형성하고, 반도체 패턴의 도전성 또는 절연성을 조절하여 다양한 커패시턴스를 구현할 수 있는 반도체 장치를 제조할 수 있다.

[0189] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징으로 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

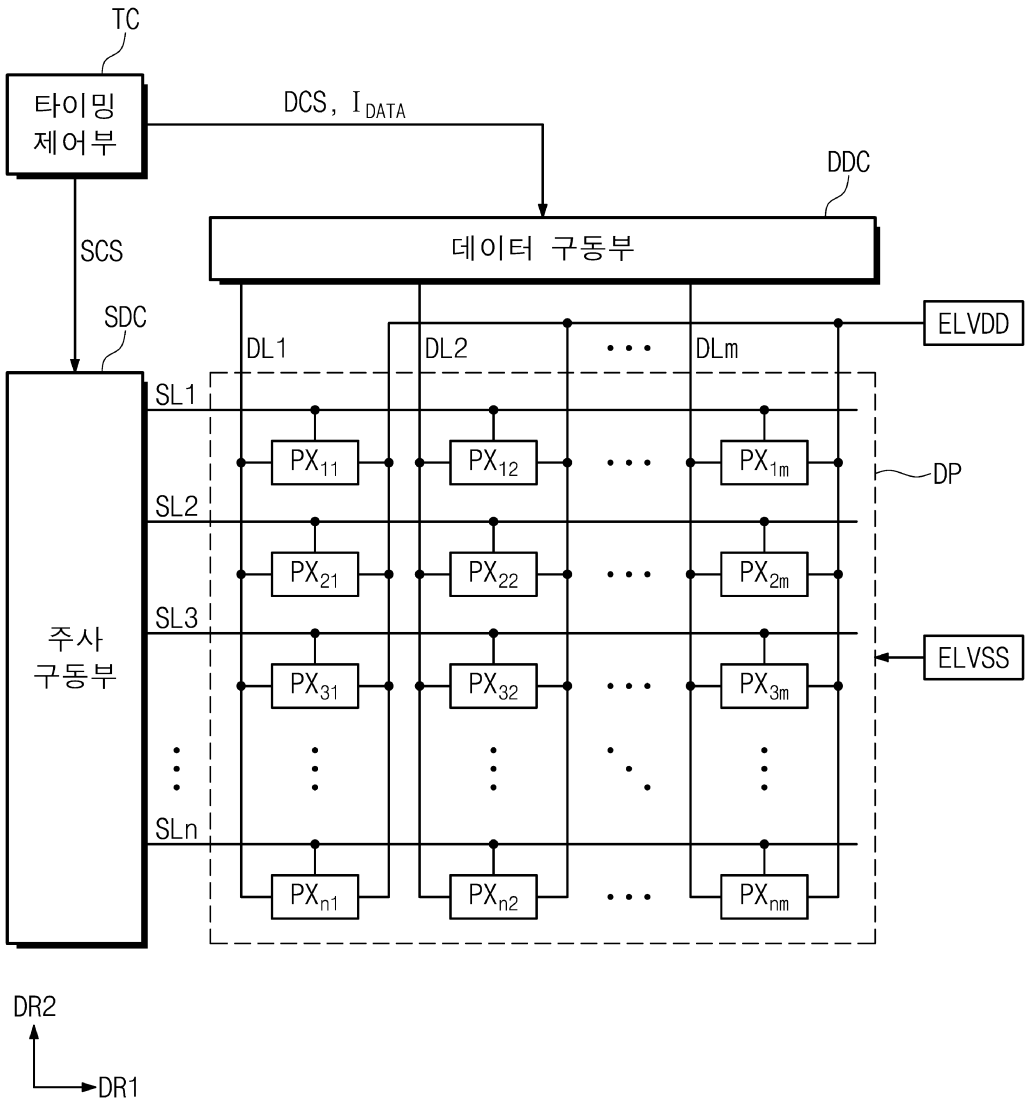
부호의 설명

[0190]

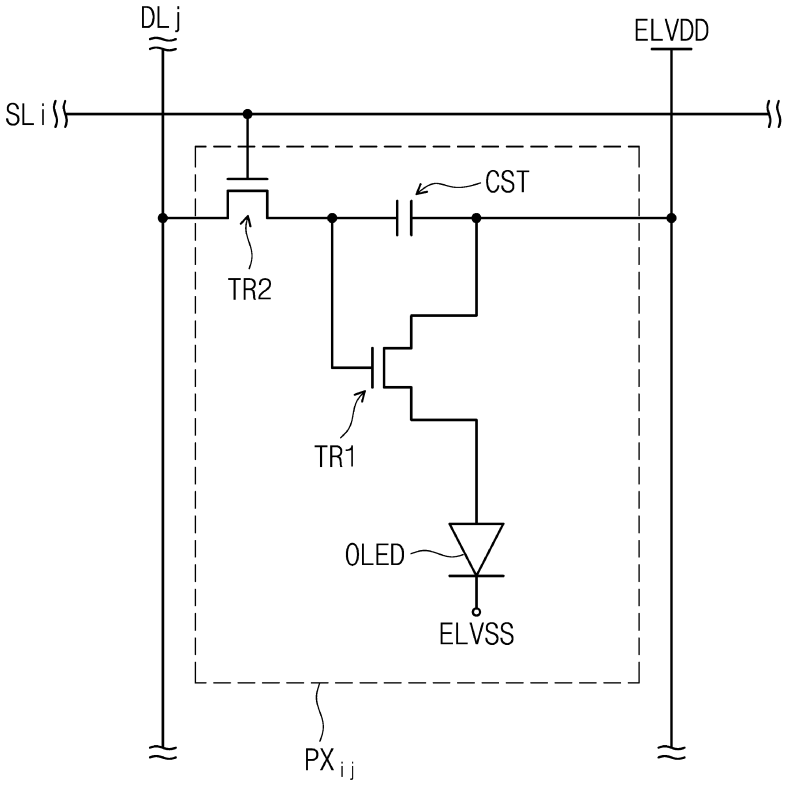
SP1: 제1 반도체 패턴	CE1: 제1 제어 전극
IE1: 제1 입력 전극	OE1: 제1 출력 전극
SP2: 제2 반도체 패턴	CE2: 제2 제어 전극
IE2: 제2 입력 전극	OE2: 제2 출력 전극
T1: 제1 박막 트랜지스터	T2: 제2 박막 트랜지스터

도면

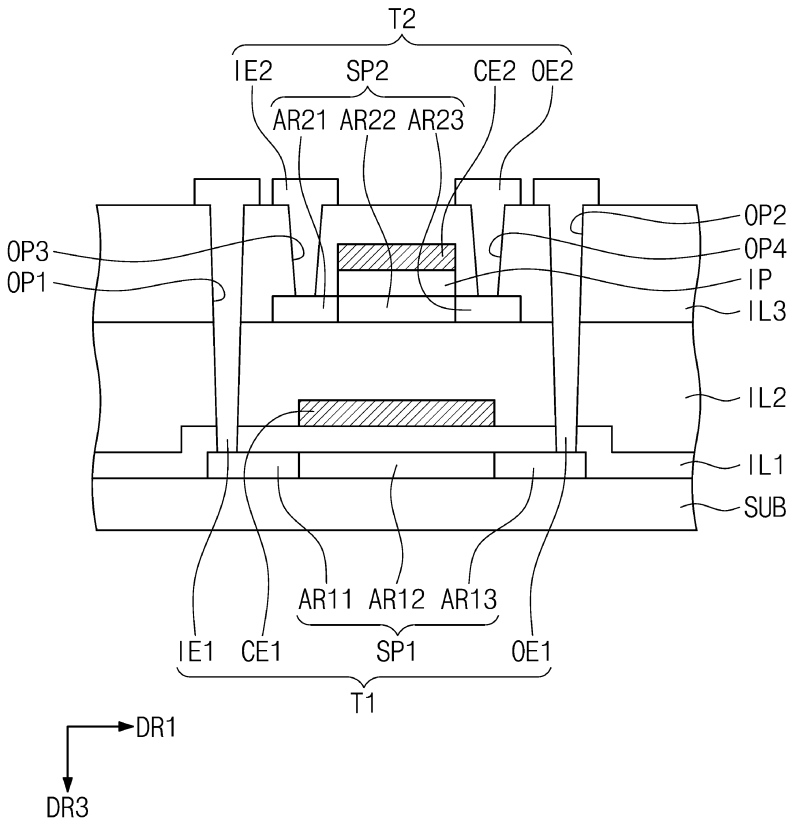
도면1


TC
타이밍
제어부
DCS, I_{DATA}
DDC
데이터 구동부
SCS
SDC
주사
구동부
DL1
DL2
DLm
ELVDD
ELVSS
DP
SL1
SL2
SL3
SLn
PX_{11}
PX_{12}
PX_{1m}
PX_{21}
PX_{22}
PX_{2m}
PX_{31}
PX_{32}
PX_{3m}
PX_{n1}
PX_{n2}
PX_{nm}
DR2
DR1

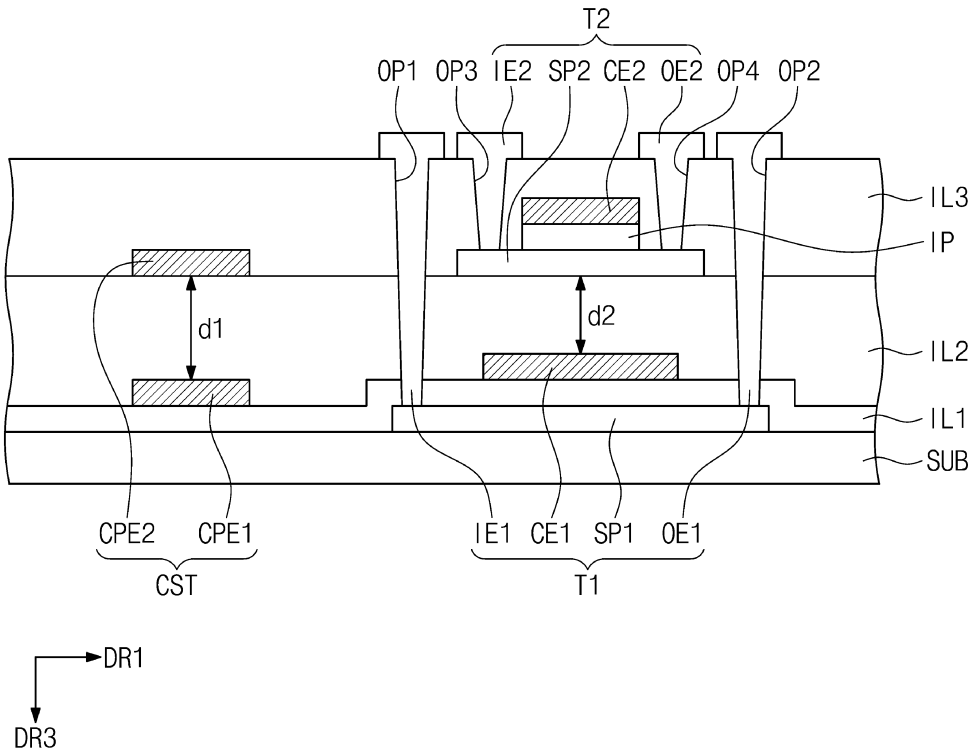
도면2


DLj
ELVDD
SLi
CST
TR2
TR1
OLED
ELVSS
PXij

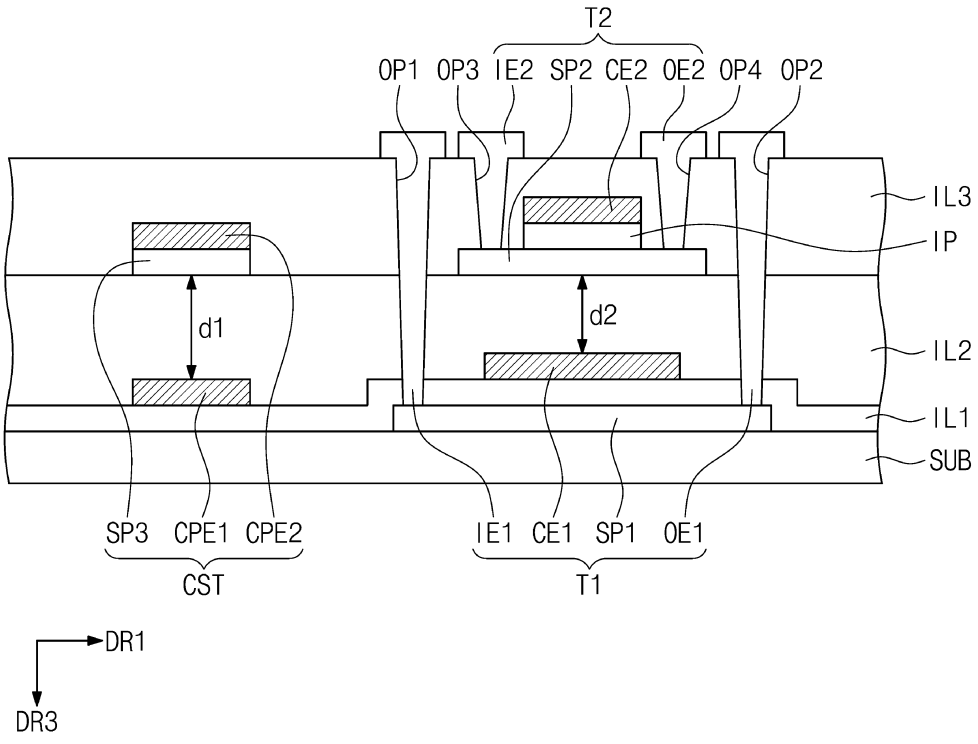
도면3


T2
IE2
SP2
CE2
OE2
AR21
AR22
AR23
OP2
OP4
OP3
OP1
IP
IL3
IL2
IL1
SUB
AR11
AR12
AR13
IE1
CE1
SP1
OE1
T1
DR1
DR3

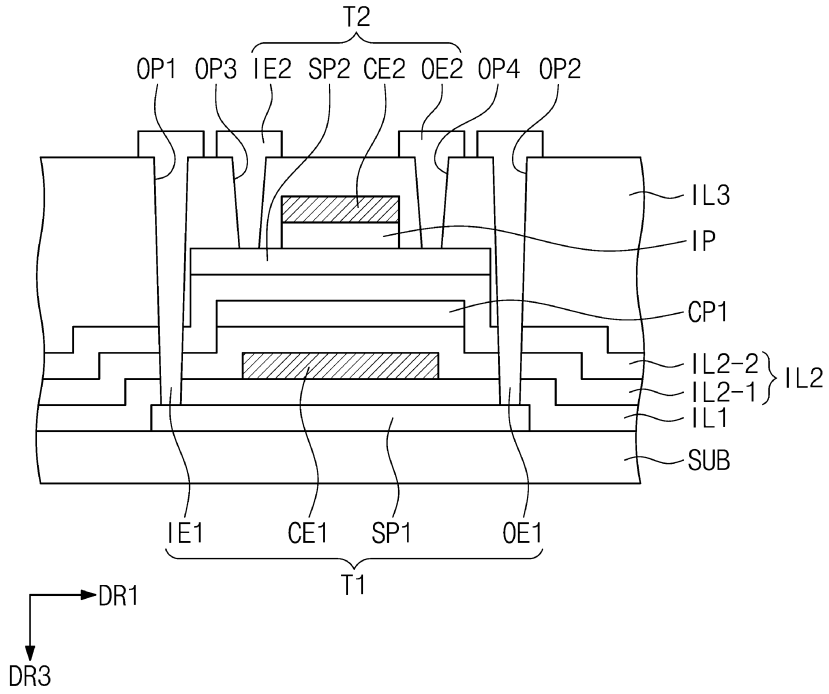
도면4


T2
OP1
OP3
IE2
SP2
CE2
OE2
OP4
OP2
IL3
IP
d1
d2
IL2
IL1
SUB
CPE2
CPE1
IE1
CE1
SP1
OE1
CST
T1
DR1
DR3

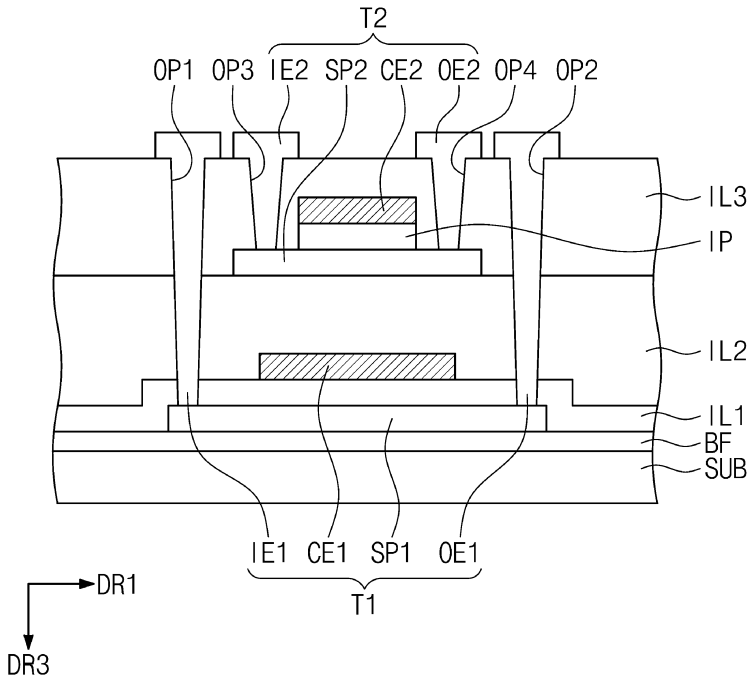
도면5


T2
OP1
OP3
IE2
SP2
CE2
OE2
OP4
OP2
IL3
IP
d1
d2
IL2
IL1
SUB
SP3
CPE1
CPE2
IE1
CE1
SP1
OE1
CST
T1
DR1
DR3

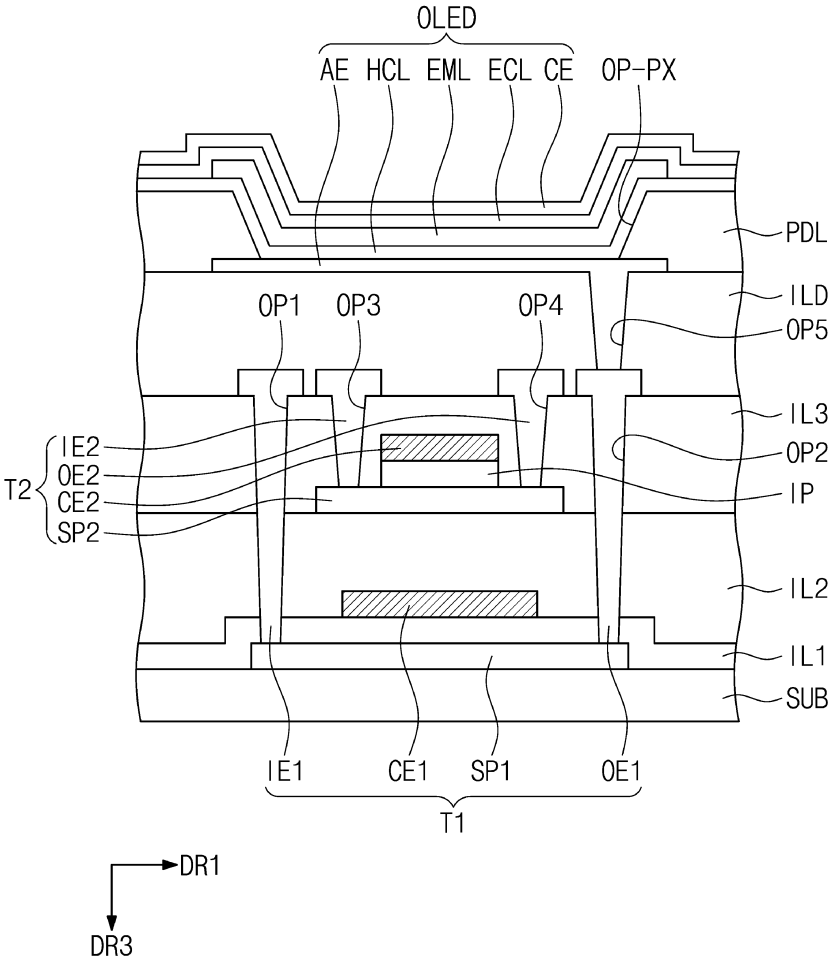
도면6


T2
OP1
OP3
IE2
SP2
CE2
OE2
OP4
OP2
IL3
IP
CP1
IL2-2
IL2-1
IL2
IL1
SUB
IE1
CE1
SP1
OE1
T1
DR1
DR3

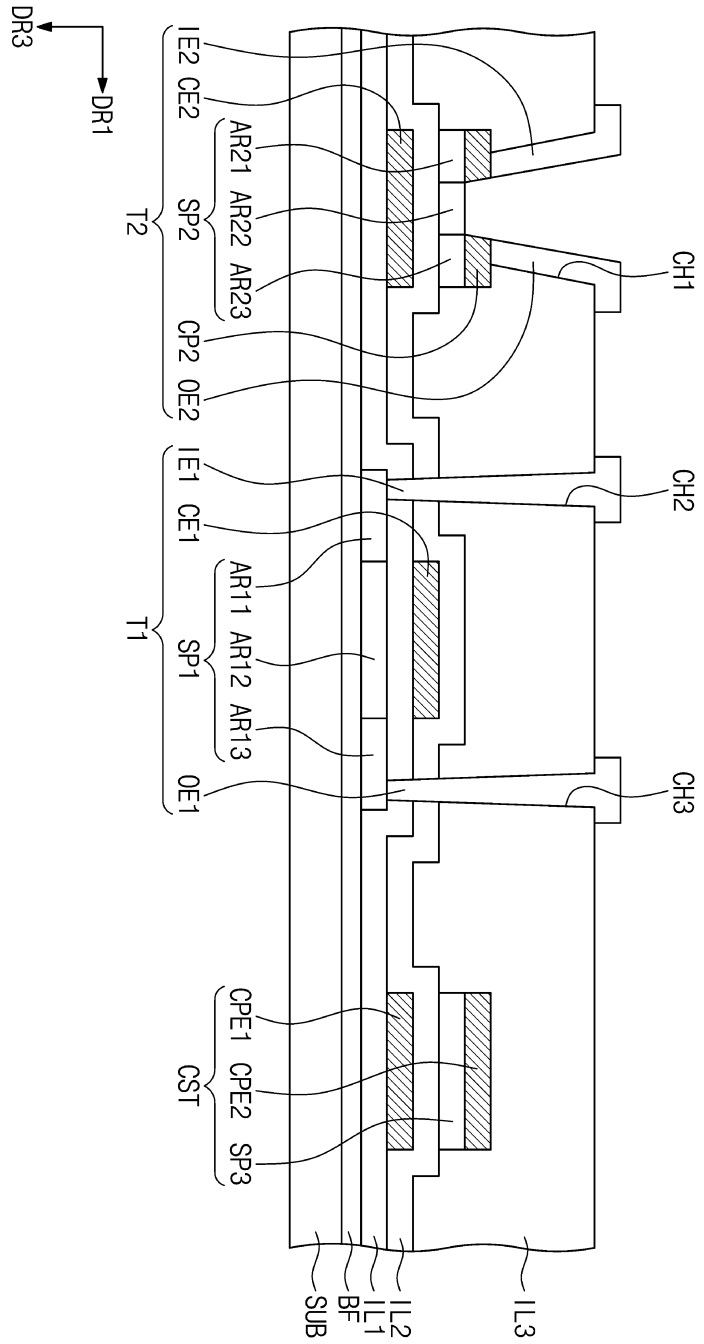
도면7


T2
OP1
OP3
IE2
SP2
CE2
OE2
OP4
OP2
IL3
IP
IL2
IL1
BF
SUB
IE1
CE1
SP1
OE1
T1
DR1
DR3

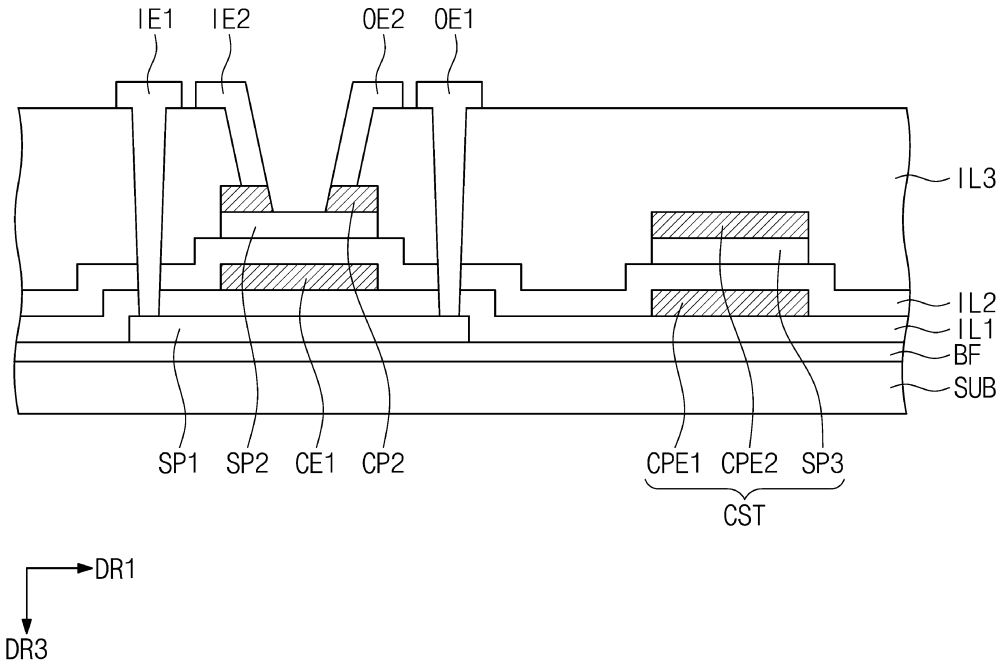
도면8


OLED
AE
HCL
EML
ECL
CE
OP-PX
PDL
ILD
OP1
OP3
OP4
OP5
IL3
IE2
OE2
CE2
SP2
T2
OP2
IP
IL2
IL1
SUB
IE1
CE1
SP1
OE1
T1
DR1
DR3

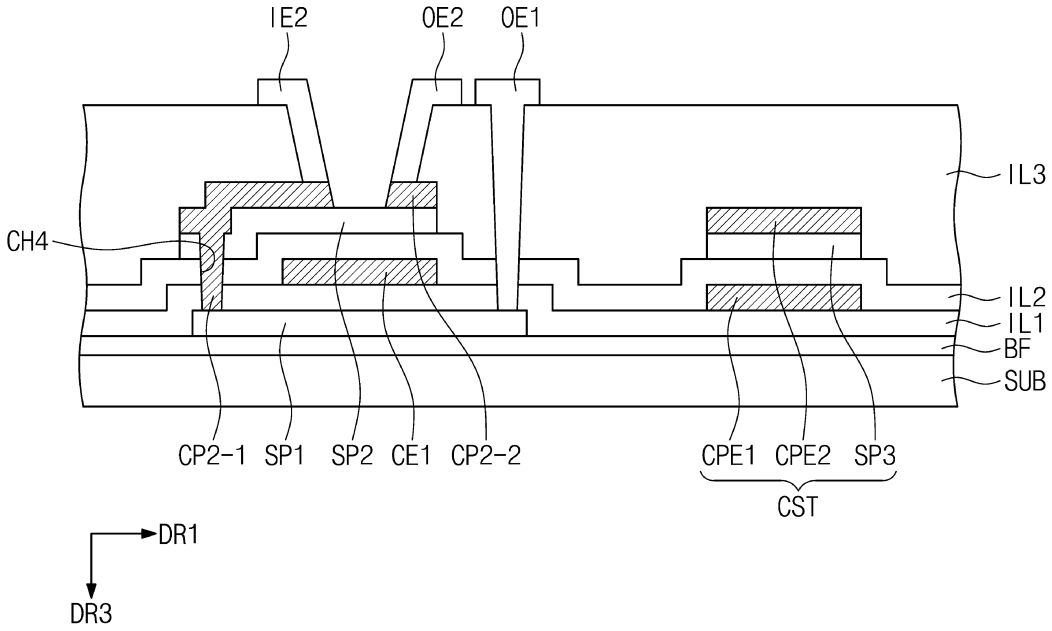
도면9


DR3
DR1
IE2
CE2
AR21
AR22
AR23
SP2
CP2
OE2
T2
IE1
CE1
AR11
AR12
AR13
SP1
OE1
T1
CH1
CH2
CH3
CPE1
CPE2
SP3
CST
SUB
BF
IL1
IL2
IL3

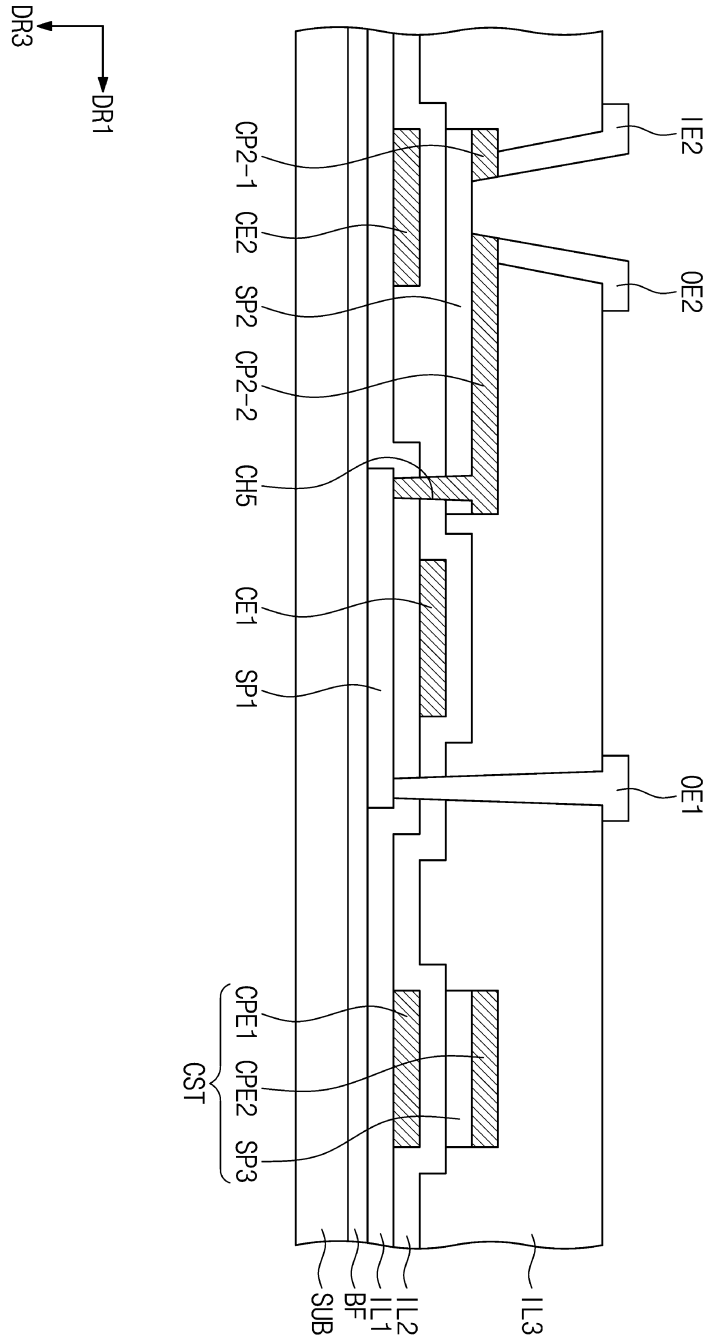
도면10


IE1
IE2
OE2
OE1
IL3
IL2
IL1
BF
SUB
SP1
SP2
CE1
CP2
CPE1
CPE2
SP3
CST
DR1
DR3

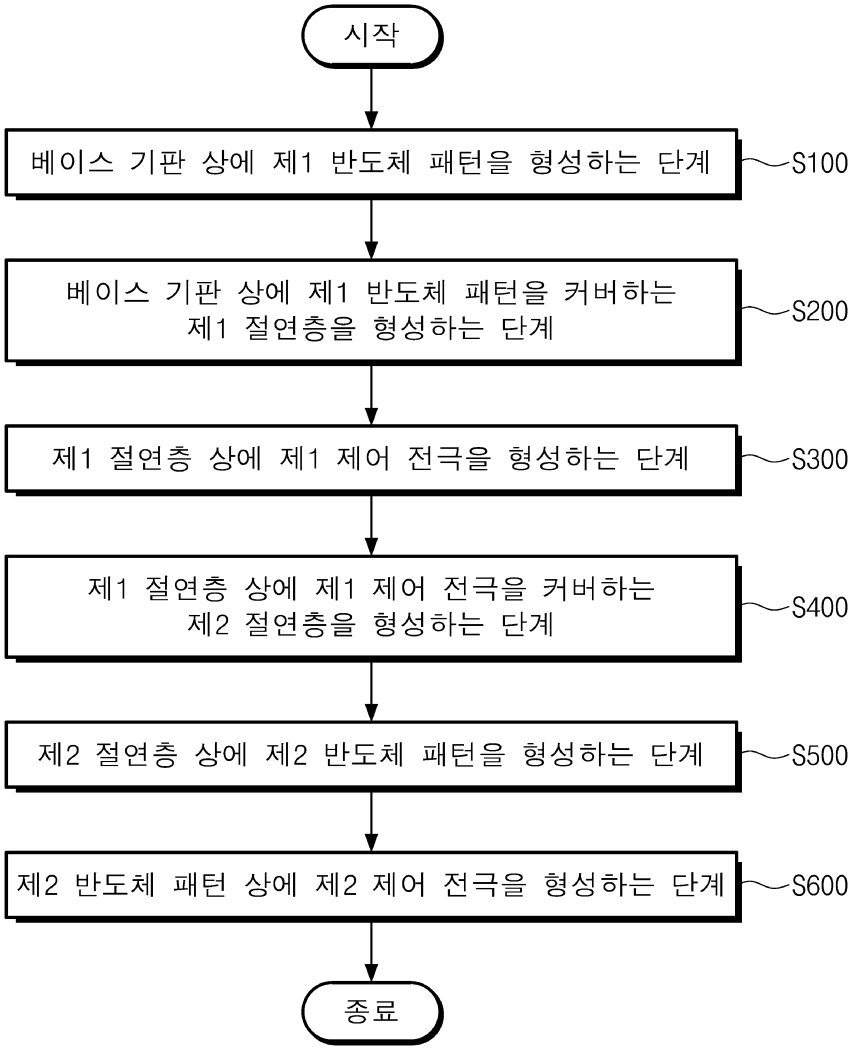
도면11


IE2
OE2
OE1
IL3
CH4
IL2
IL1
BF
SUB
CP2-1
SP1
SP2
CE1
CP2-2
CPE1
CPE2
SP3
CST
DR1
DR3

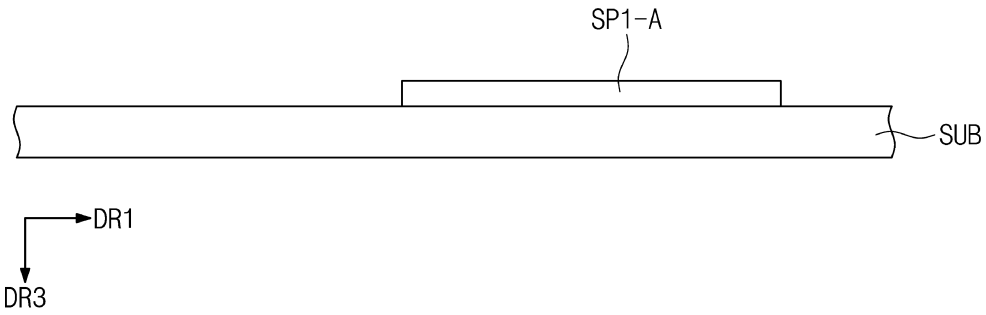
도면12


DR3
DR1
CP2-1
CE2
SP2
CP2-2
CH5
CE1
SP1
CPE1
CPE2
SP3
CST
IE2
OE2
OE1
SUB
BF
IL1
IL2
IL3

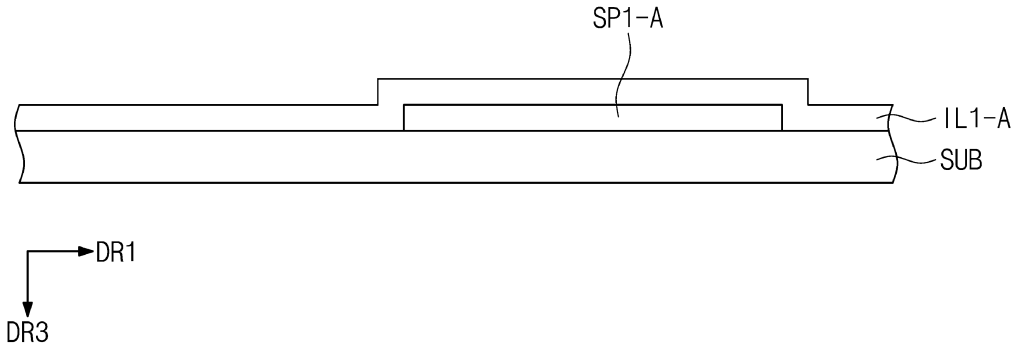
도면13


시작
베이스 기판 상에 제1 반도체 패턴을 형성하는 단계
S100
베이스 기판 상에 제1 반도체 패턴을 커버하는 제1 절연층을 형성하는 단계
S200
제1 절연층 상에 제1 제어 전극을 형성하는 단계
S300
제1 절연층 상에 제1 제어 전극을 커버하는 제2 절연층을 형성하는 단계
S400
제2 절연층 상에 제2 반도체 패턴을 형성하는 단계
S500
제2 반도체 패턴 상에 제2 제어 전극을 형성하는 단계
S600
종료

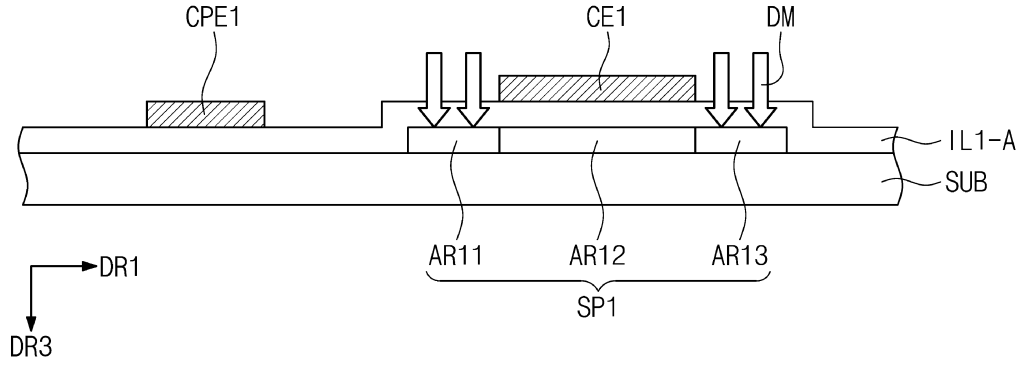
도면14a


SP1-A
SUB
DR1
DR3

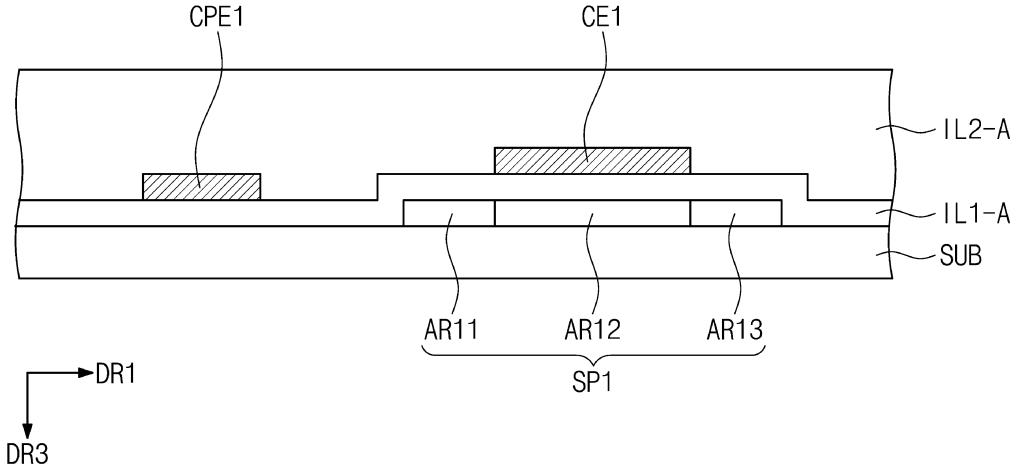
도면14b



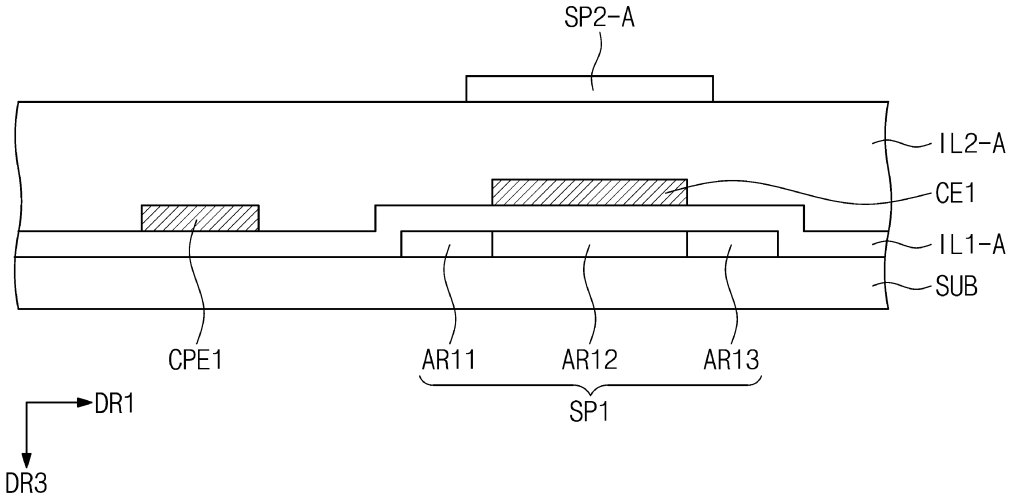
도면14c



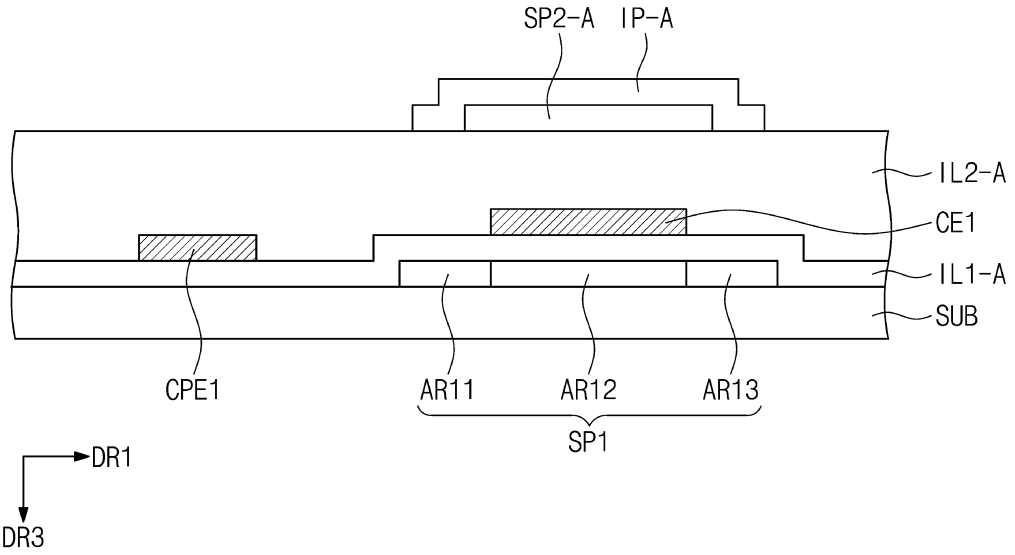
도면14d



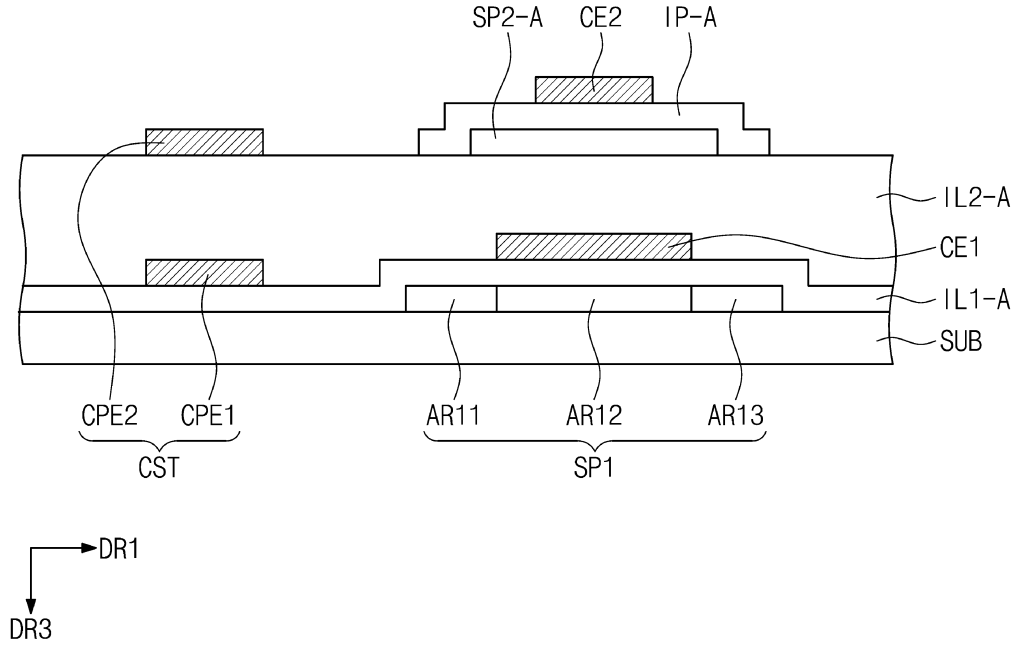
도면14e


SP2-A
IL2-A
CE1
IL1-A
SUB
CPE1
AR11
AR12
AR13
SP1
DR1
DR3

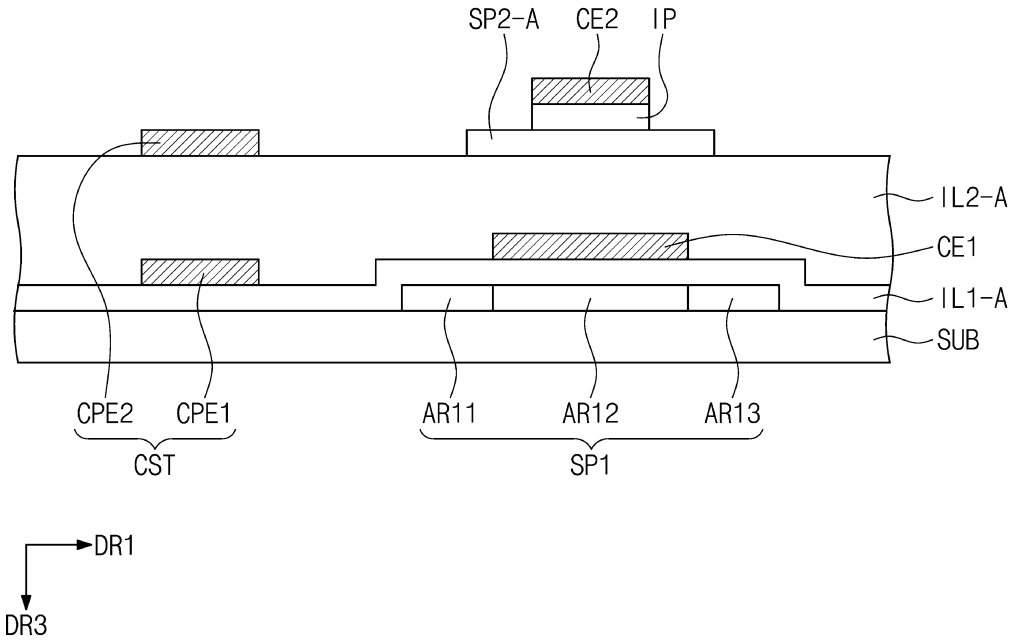
도면14f


SP2-A
IP-A
IL2-A
CE1
IL1-A
SUB
CPE1
AR11
AR12
AR13
SP1
DR1
DR3

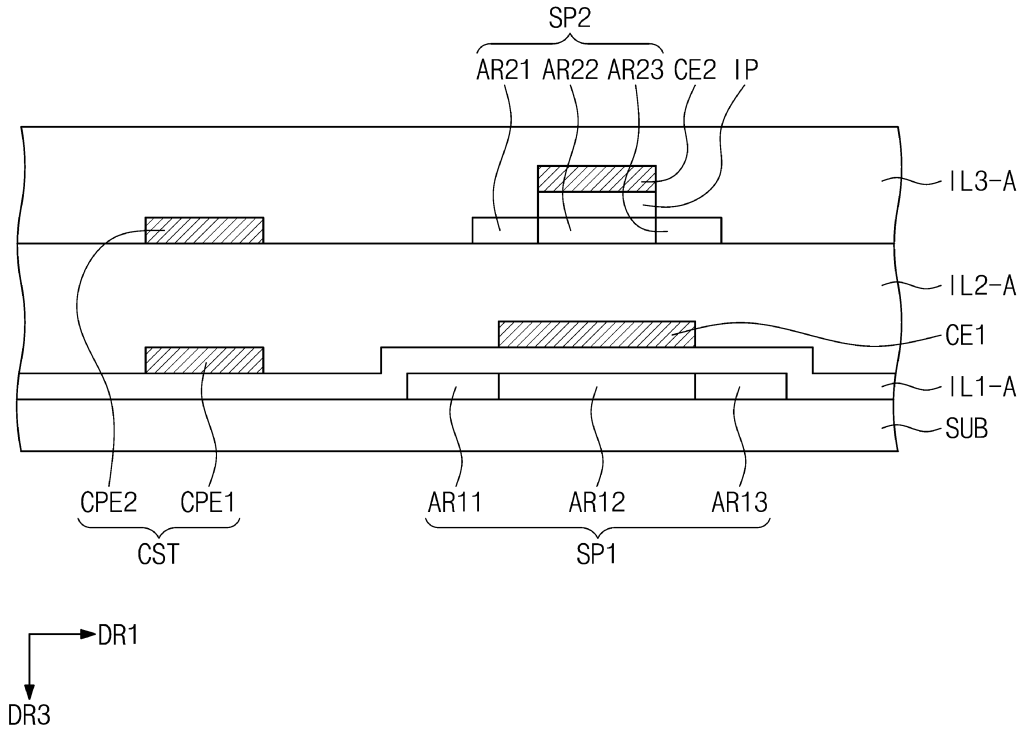
도면14g


SP2-A
CE2
IP-A
IL2-A
CE1
IL1-A
SUB
CPE2
CPE1
AR11
AR12
AR13
CST
SP1
DR1
DR3

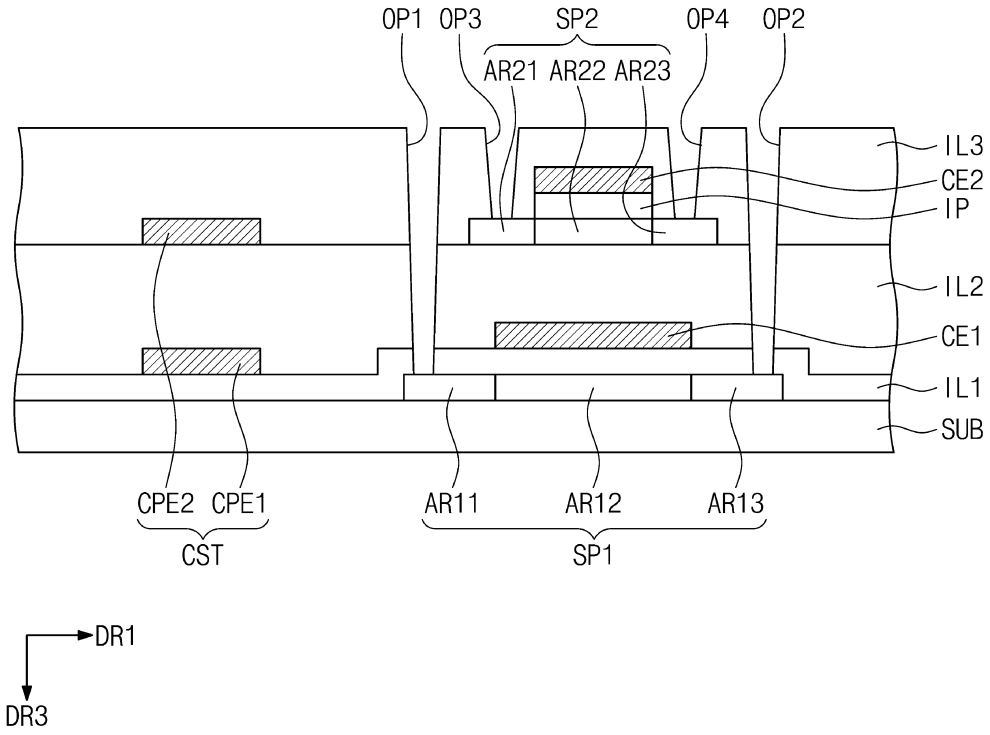
도면14h


SP2-A
CE2
IP
IL2-A
CE1
IL1-A
SUB
CPE2
CPE1
AR11
AR12
AR13
CST
SP1
DR1
DR3

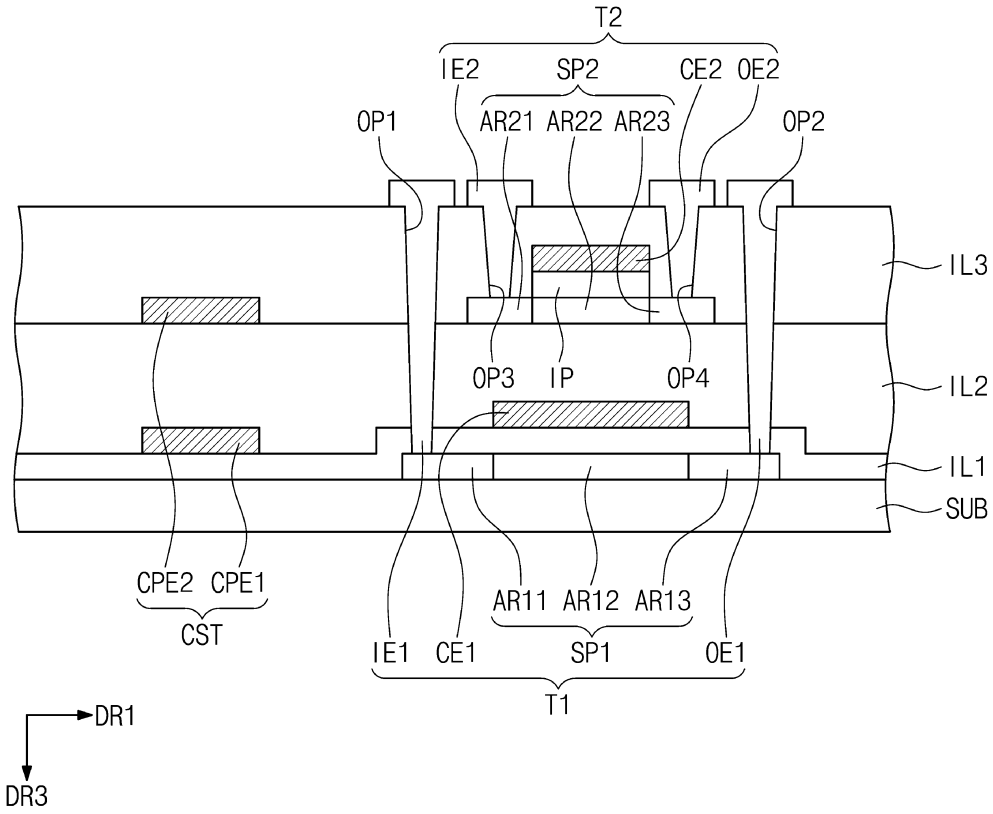
도면14i


SP2
AR21 AR22 AR23 CE2 IP
IL3-A
IL2-A
CE1
IL1-A
SUB
CPE2 CPE1
CST
AR11 AR12 AR13
SP1
DR1
DR3

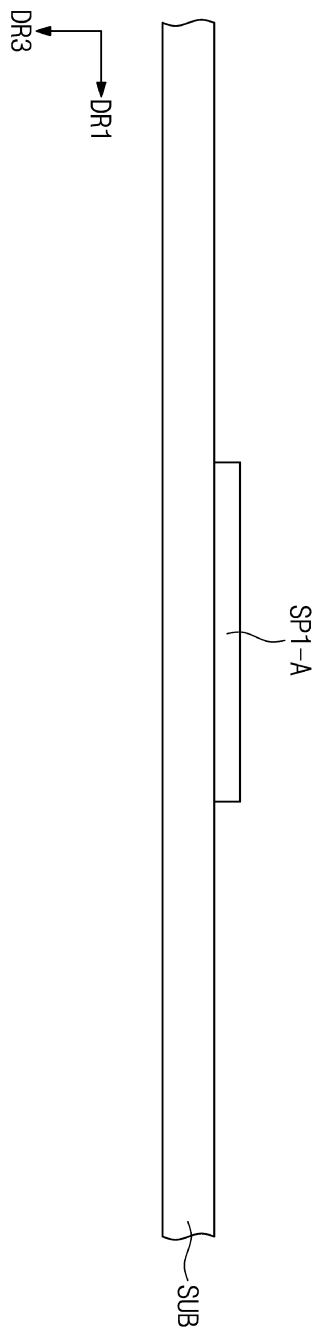
도면14j


OP1 OP3 SP2 OP4 OP2
AR21 AR22 AR23
IL3
CE2
IP
IL2
CE1
IL1
SUB
CPE2 CPE1
CST
AR11 AR12 AR13
SP1
DR1
DR3

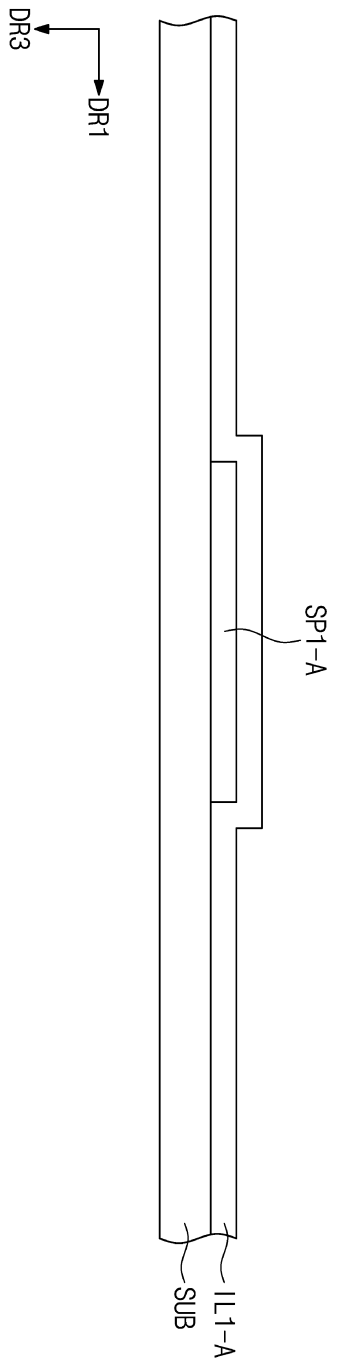
도면14k


T2
IE2
SP2
CE2
OE2
OP1
AR21
AR22
AR23
OP2
IL3
OP3
IP
OP4
IL2
IL1
SUB
CPE2
CPE1
CST
AR11
AR12
AR13
IE1
CE1
SP1
OE1
T1
DR1
DR3

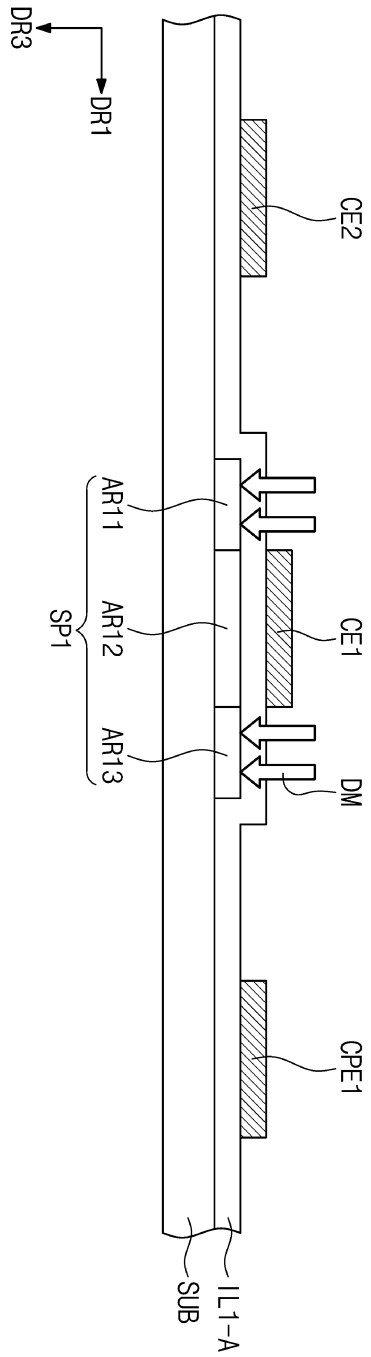
도면15a



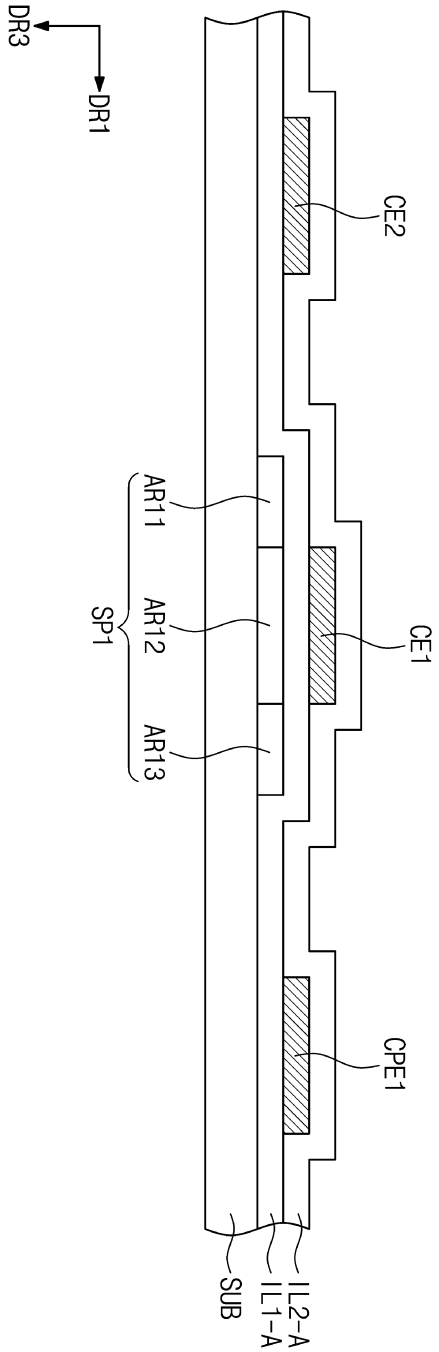
도면15b



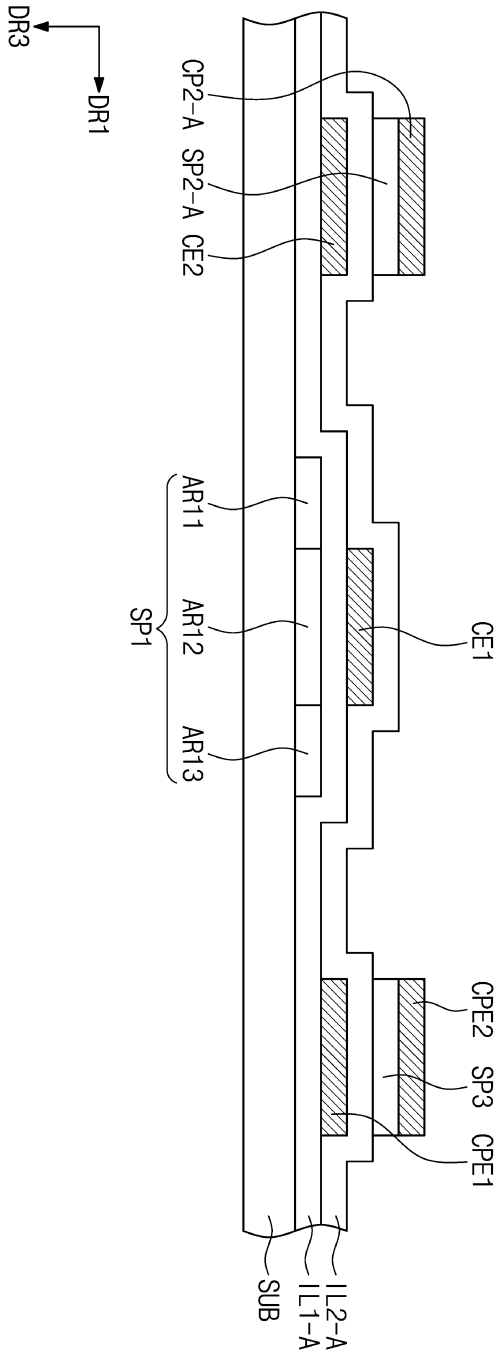
도면15c



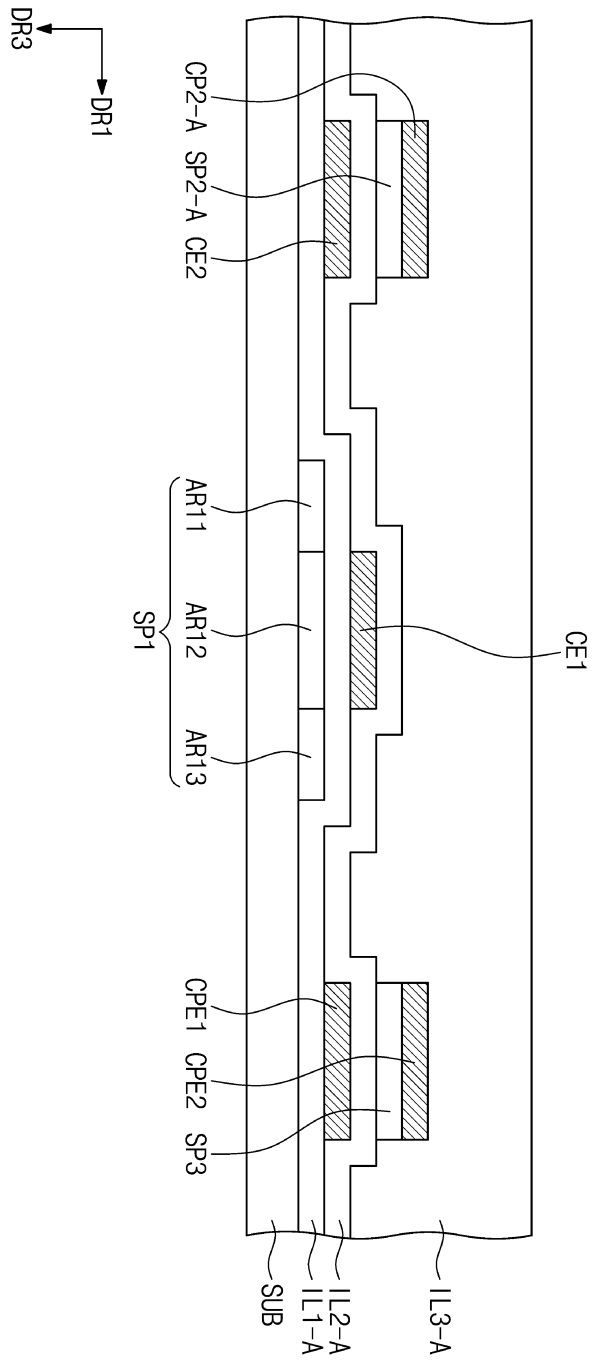
도면15d



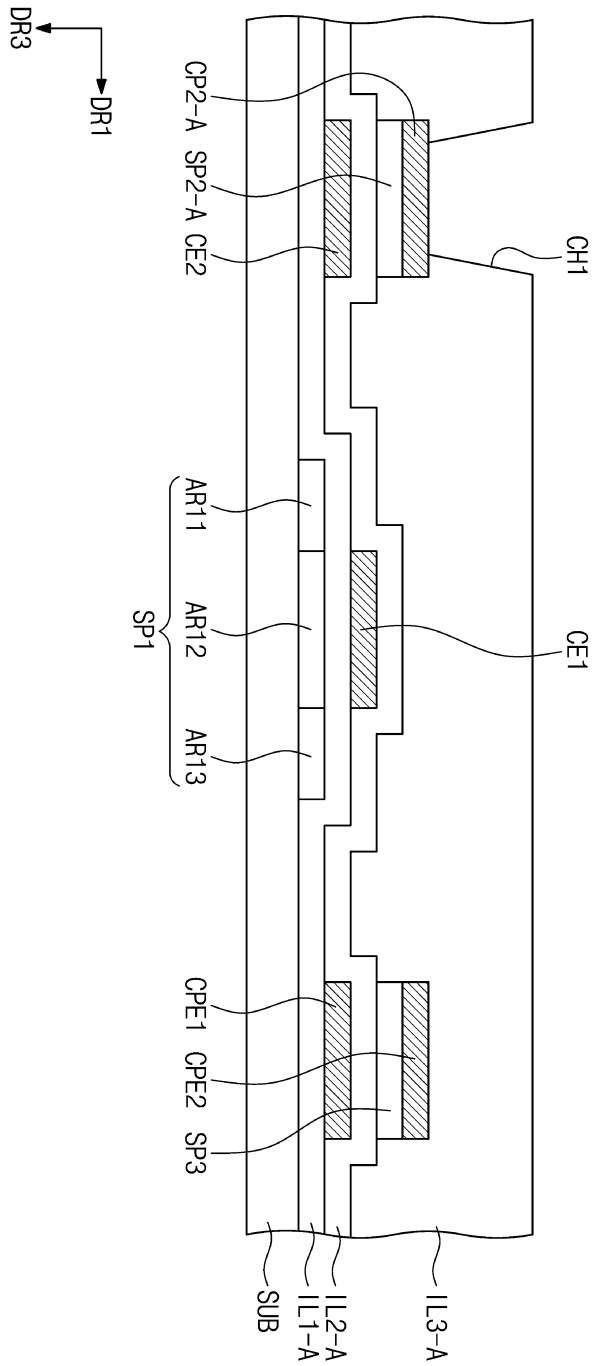
도면15e


DR3
DR1
CP2-A
SP2-A
CE2
AR11
AR12
AR13
SP1
CE1
CPE2
SP3
CPE1
SUB
IL1-A
IL2-A

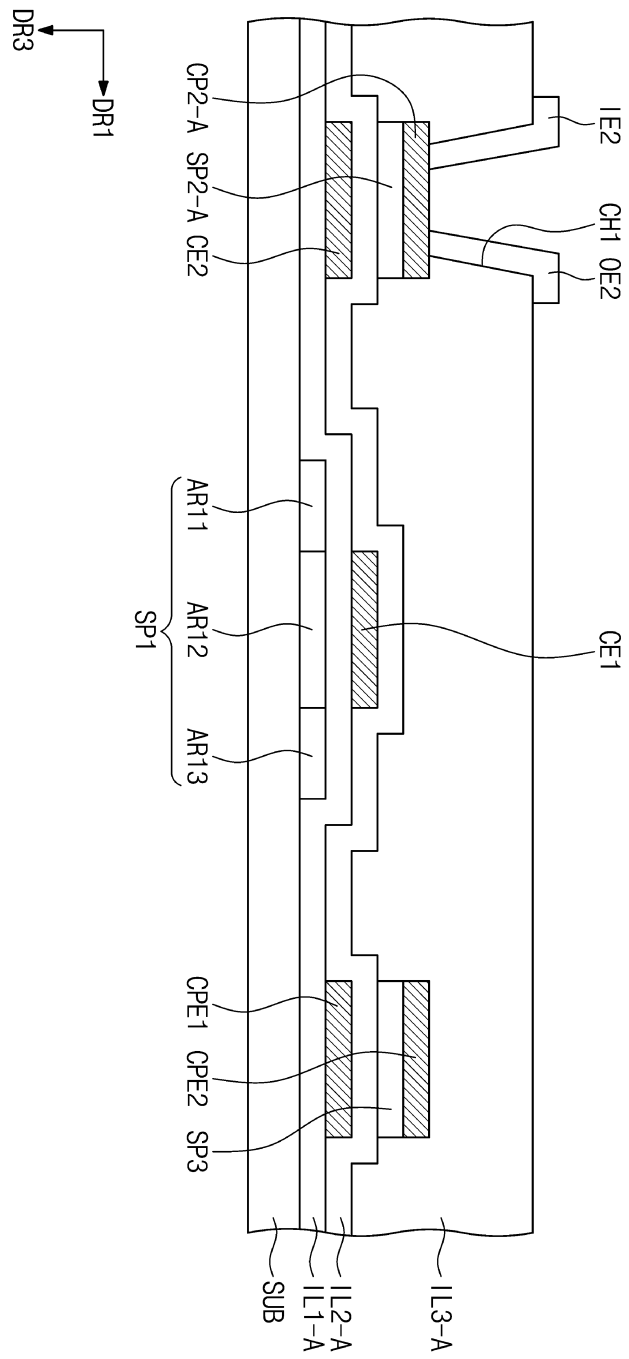
도면15f


DR3
DR1
CP2-A
SP2-A
CE2
AR11
AR12
AR13
SP1
CE1
CPE1
CPE2
SP3
SUB
IL1-A
IL2-A
IL3-A

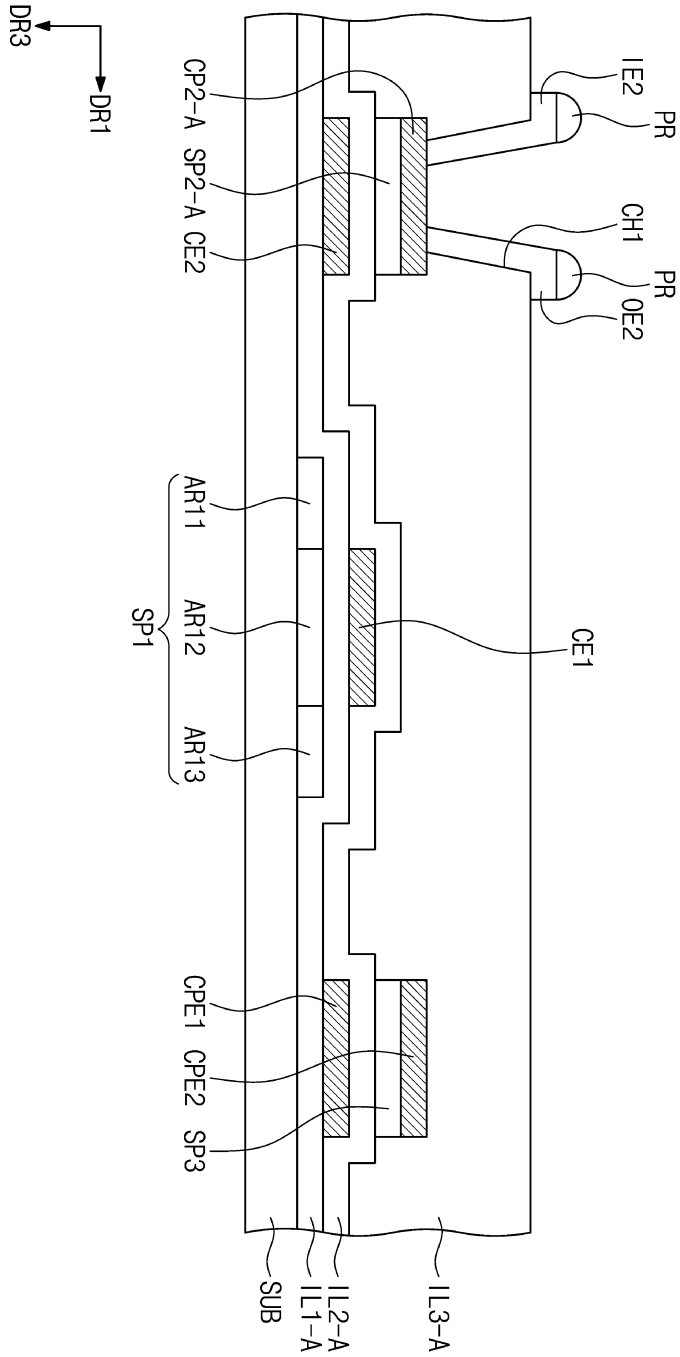
도면15g


DR3
DR1
CP2-A
SP2-A
CE2
CH1
AR11
AR12
AR13
SP1
CE1
CPE1
CPE2
SP3
SUB
IL1-A
IL2-A
IL3-A

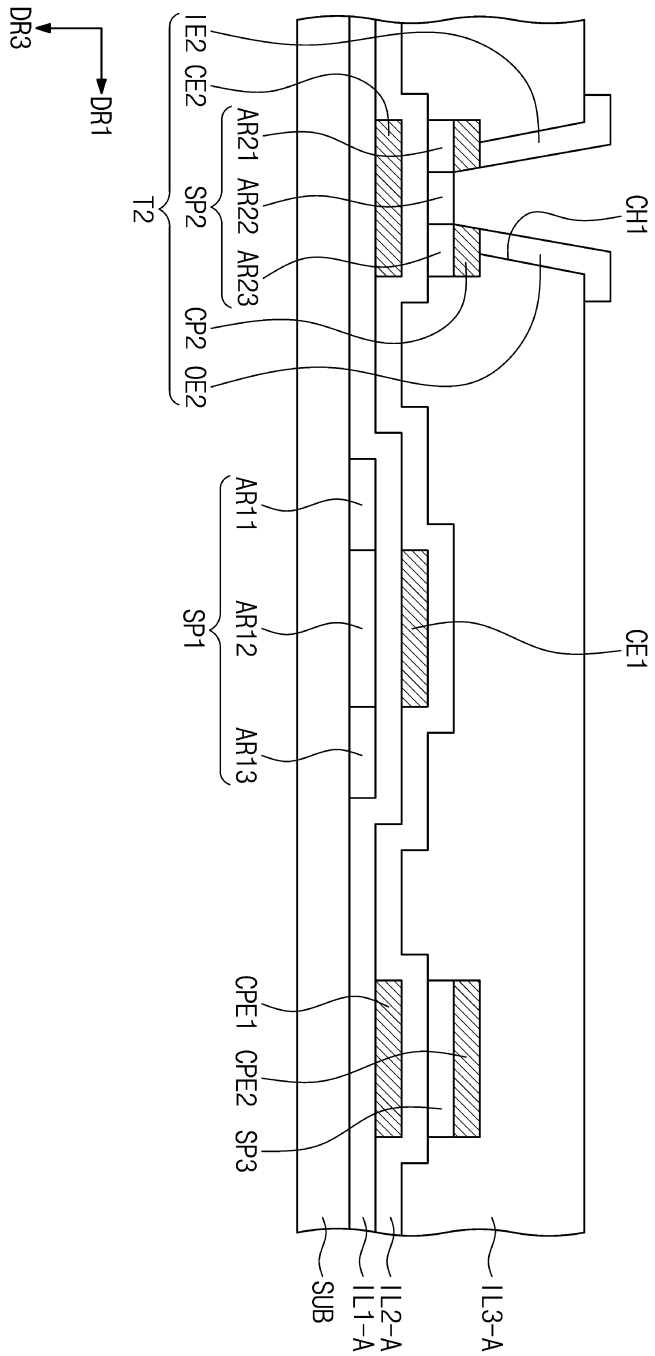
도면15h


DR3
DR1
CP2-A
SP2-A
CE2
IE2
CH1
OE2
AR11
AR12
AR13
SP1
CE1
CPE1
CPE2
SP3
SUB
IL1-A
IL2-A
IL3-A

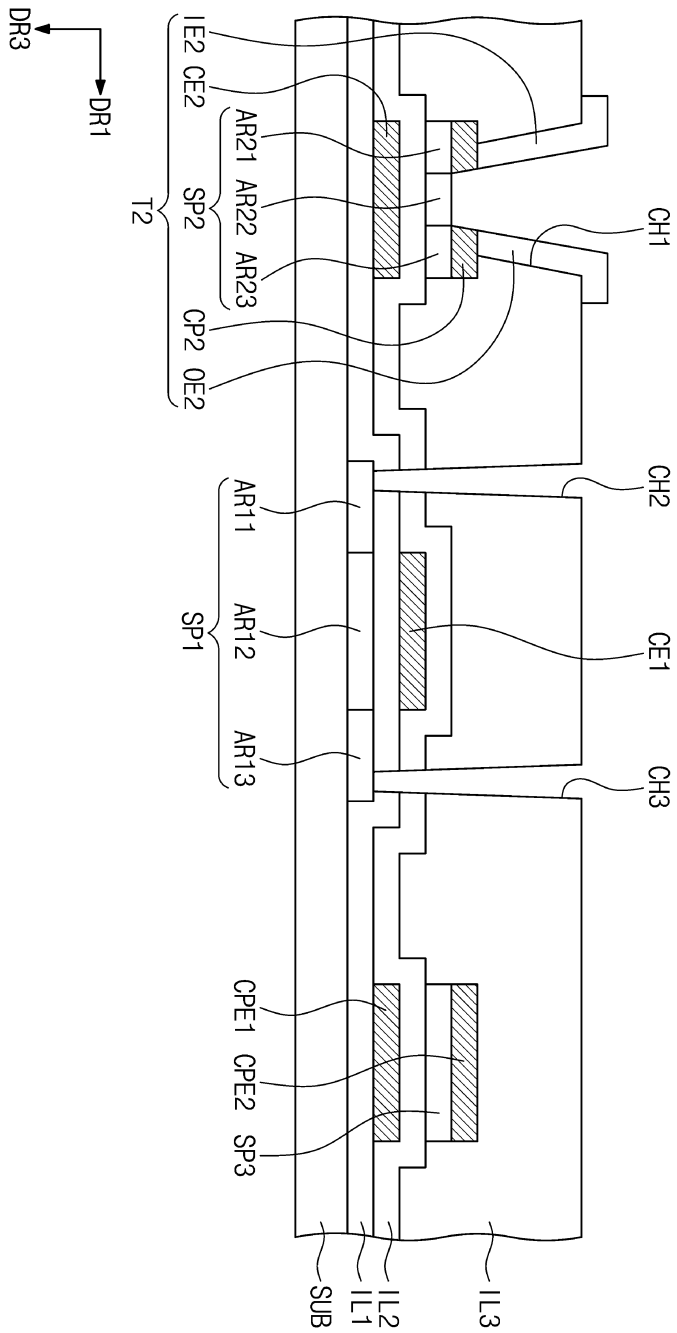
도면15i


DR3
DR1
CP2-A
SP2-A
CE2
IE2
PR
CH1
PR
OE2
AR11
AR12
AR13
SP1
CE1
CPE1
CPE2
SP3
SUB
IL1-A
IL2-A
IL3-A

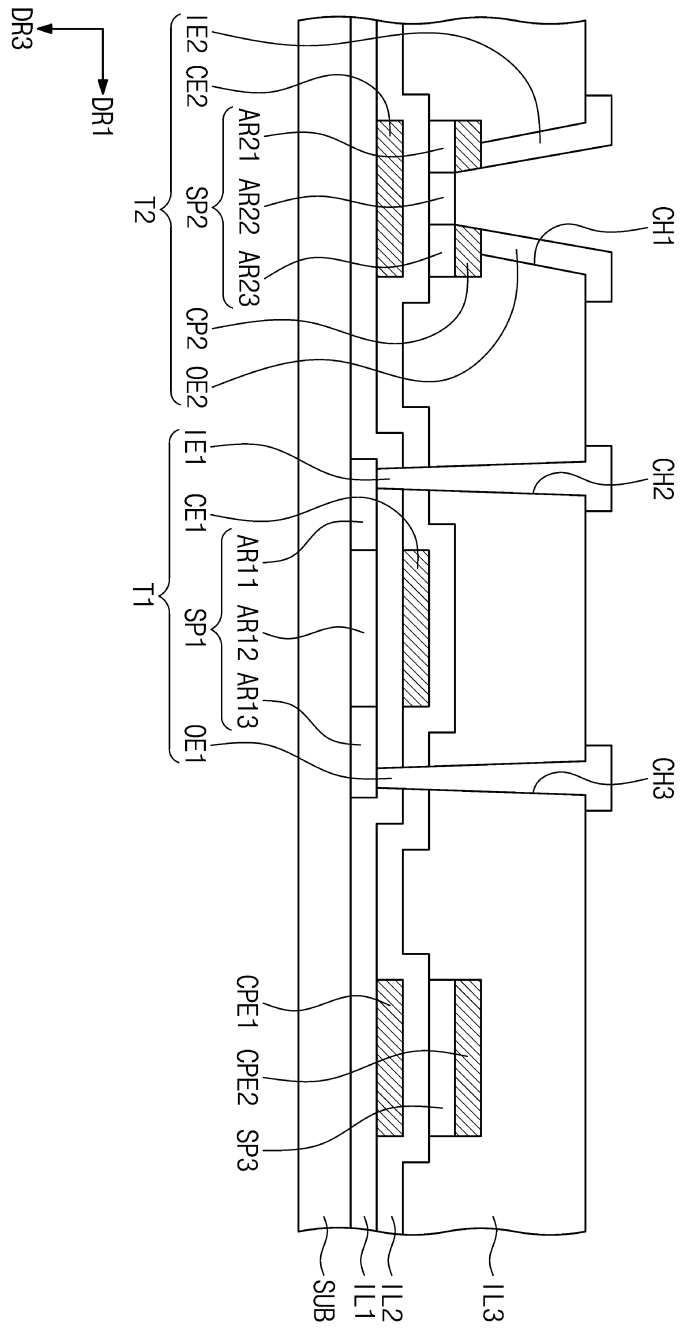
도면15j


DR3
DR1
IE2
CE2
AR21
AR22
AR23
SP2
T2
CP2
OE2
CH1
AR11
AR12
AR13
SP1
CE1
CPE1
CPE2
SP3
SUB
IL1-A
IL2-A
IL3-A

도면15k


DR3
DR1
T2
IE2
CE2
AR21
AR22
AR23
SP2
CP2
OE2
CH1
CH2
AR11
AR12
AR13
SP1
CE1
CH3
CPE1
CPE2
SP3
SUB
IL1
IL2
IL3

도면151


DR3
DR1
IE2
CE2
AR21
AR22
AR23
SP2
CP2
OE2
T2
IE1
CE1
AR11
AR12
AR13
SP1
OE1
T1
CH1
CH2
CH3
CPE1
CPE2
SP3
SUB
IL1
IL2
IL3