

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3639883号
(P3639883)

(45) 発行日 平成17年4月20日(2005.4.20)

(24) 登録日 平成17年1月28日(2005.1.28)

(51) Int. Cl.⁷

G06G 7/12

F I

G06G 7/12

Z

請求項の数 6 (全 21 頁)

(21) 出願番号 特願平7-256550
 (22) 出願日 平成7年10月3日(1995.10.3)
 (65) 公開番号 特開平9-102006
 (43) 公開日 平成9年4月15日(1997.4.15)
 審査請求日 平成14年5月13日(2002.5.13)

(73) 特許権者 504157024
 国立大学法人東北大学
 宮城県仙台市青葉区片平2丁目1番1号
 (72) 発明者 大見 忠弘
 宮城県仙台市青葉区米ヶ袋2の1の17の
 301
 (72) 発明者 柴田 直
 宮城県仙台市太白区日本平5番2号

審査官 田中 友章

(56) 参考文献 特開平06-252744 (JP, A)
 特開平06-274633 (JP, A)

最終頁に続く

(54) 【発明の名称】 瞬時認識機能を有する演算回路及び瞬時認識方式

(57) 【特許請求の範囲】

【請求項1】

複数のアナログ信号より構成される一組の入力信号群に対し所定のコードを選び出す演算回路において、前記一組の入力信号群を前記アナログ信号の数より少数のアナログ変数もしくは多値の変数より構成される一組の入力変数群に変換する手段と、あらかじめ定められたアナログもしくは多値の変数複数個を一組として構成されるデータを複数個記憶保持するメモリ回路と、前記入力変数群と前記メモリ回路に保持されている複数のデータを並列処理により同時に所定の比較演算を行う回路と、前記比較演算の結果所定の条件を満たすデータに対応したコードを少なくとも一つ選び出す手段を備えたことを特徴とする瞬時認識機能を有する演算回路。

【請求項2】

前記比較演算を行う回路は、ソース電極が互いに接続された複数のMOS型トランジスタを有し、前記MOS型トランジスタのゲート電極はスイッチ素子を介して所定の電位を有する信号線に接続され、前記ゲート電極と容量結合する入力電極を少なくとも一つ有し、前記複数のMOS型トランジスタ中の少なくとも第1及び第2のMOS型トランジスタからなるペアに対し、第1、第2の入力電圧がそれぞれ前記第1及び第2のMOS型トランジスタの入力電極に加えられるとともに前記スイッチ素子を導通させて前記ゲート電極の電位を前記信号線の電位と等しくする手段を有し、前記スイッチ素子を遮断して前記ゲート電極を電氣的にフローティングとした後前記第1及び第2のMOS型トランジスタの入力電極にそれぞれ前記第2及び第1の入力電圧を入力する手段を有したことを特徴とする

請求項 1 に記載の瞬時認識機能を有する演算回路。

【請求項 3】

前記メモリ回路は、電氣的に絶縁された第 1 のフローティングゲートを有する第 3 の MOS 型トランジスタと、前記第 1 のフローティングゲートと容量結合する第 1 の電極と、前記第 1 のフローティングゲートとトンネル接合を介して設けられた第 2 の電極と、前記第 2 の電極と容量結合する第 3 の電極と、前記第 1 及び第 2 の電極と接続する第 4 の MOS 型トランジスタとを有し、前記第 1 及び第 3 の電極間に所定の電位差を与える事により前記トンネル接合にトンネル電流を流し、前記の第 1 のフローティングゲート内の電荷量を変化させるとともに、前記電荷量が所定の値になったときに前記第 4 の MOS 型トランジスタを導通させる手段を備えたことを特徴とする請求項 1 又は 2 に記載の瞬時認識機能を有する演算回路。

10

【請求項 4】

前記メモリ回路は、電氣的に絶縁された第 1 のフローティングゲートを有する第 3 の MOS 型トランジスタと、前記第 1 のフローティングゲートと容量結合する第 1 の電極と、前記第 1 のフローティングゲートとトンネル接合を介して設けられた第 2 の電極と、前記第 2 の電極とスイッチを介して接続されている第 3 の電極からなる半導体装置を 2 つ以上有し、それぞれの半導体装置の前記第 3 の電極同士を共通に接続した第 4 の電極と、それぞれの前記第 3 の MOS 型トランジスタのソース電極同士を共通に接続した第 5 の電極と、前記第 4 の電極と容量結合する第 6 の電極と、前記第 4 の電極とスイッチを介して接続する第 7 の電極とを備えたことを特徴とする請求項 1 又は 2 に記載の瞬時認識機能を有する演算回路。

20

【請求項 5】

複数のアナログ信号より構成される一組の入力信号群に対し、前記入力信号群の特徴を抽出し前記アナログ信号の数より少数のスカラー変数により表現し、前記スカラー変数の組を複数のあらかじめ定められた特徴量変数の組と比較し、その差が最小となる前記特徴量変数の組を見い出すことにより入力信号群の特定を行うことを特徴とする瞬時認識方式。

【請求項 6】

所定の特徴を表す前記特徴量変数が連続するコード番号で表され、番号が近いほど特徴に差が少なく、番号が離れるに従ってより大きな特徴の差を有するごとくコード化されていることを特徴とする請求項 5 に記載の瞬時認識方式。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、瞬時認識機能を有する演算回路及び瞬時認識方式に係わり、特に外界情報を取り入れ、これを瞬時に認識する機能を持った演算回路に関する。

【0002】

【関連技術】

エレクトロニクスの進歩は実に目覚ましいが、人間のように外界の状況を判断し適切な行動をとるといった知的な機能を持った電子システムはまだ存在しない。現在のコンピュータシステムは、四則演算を非常に高速に実行できるが、例えば蛙のような生物が飛んでくる蠅を見つけて即座に行動を起こし獲物を一瞬のうちにとらえる、あるいは敵が来たのを見つけてすぐに逃げ出すといった実時間の応答は全く不可能である。その理由は、すべてを厳密なブール代数にもとづくバイナリデジタル演算で情報処理を行っているからである。

40

【0003】

そもそも外界の情報はすべてアナログ量であり、非常に冗長な表現となっている。例えば飛んでいる蠅を網膜上に画像としてとらえ、これを蠅と認識する場合を考えてみる。蠅はいろんな方向を向くので、その画素レベルの信号値は様々な値をとりうる。また動きが速いと像が流れてしまい画像の精度が落ちる。つまり一つ一つの画素（網膜の視細胞）レベルのアナログ信号値は、きわめて曖昧であり、また多くのノイズを含んでいるといえる。

50

さらに背景の情報も入ってくるので、実世界の情報は、そのままでは極めて膨大である。これを一画素ごと逐一A/D変換してすべてを0と1のデジタル変数で表現し、逐次演算処理するのが現在のデジタルコンピュータ技術である。

【0004】

ちなみに500×500の画素をもつイメージセンサを考えると画素数にして25万画素、一画素あたり三原色R、G、Bの信号を各1バイト(8ビット)で表現するとその情報量は1画面だけで75万バイトという膨大なものとなる。こんな膨大な情報が時々刻々入力されるためどんなスーパーコンピュータを持ってしても実時間で画像の認識を行うことは不可能なのである。

【0005】

これには、例えばイメージセンサの2次元アレイの各セルごとに小型のプロセサを配し、並列処理によって高速化を実現するいわゆるインテリジェントセンサ技術が開発されている。近傍画素のデータを用いてのノイズの除去、エッジの検出、エッジの強調、方位の検出等の演算が高速に処理できるようになっている。しかしこのような画像処理ができて、その画像がいったい何であるか、またその画像入力に対していかなる行動をとるのかといった、いわゆる認識や判断といった機能の実現は未だ全く現実のものとはなっていない。知識ベースのソフトウェア処理によってコンピュータを用いて認識を行う技術もあるが、演算処理量が膨大であり大型のスーパーコンピュータを用いてもとうてい実時間に答えを出すことは不可能である。

【0006】

すなわち、現在の電子システムに人間のような知的な機能を持たせるためには、認識・判断といった機能を持つハードウェアの開発が必須である。

【0007】

【発明が解決しようとする課題】

本発明は、以上の点に鑑みなされたものであり、実時間で外界情報の認識や、判断を行う知的な電子システム、即ち、瞬時認識機能を有する演算回路及び瞬時認識方式を提供するものである。

【0008】

【課題を解決するための手段】

本発明の瞬時認識機能を有する演算回路は、複数のアナログ信号より構成される一組の入力信号群に対し所定のコードを選び出す演算回路において、前記一組の入力信号群を前記アナログ信号の数より少数のアナログ変数もしくは多値の変数より構成される一組の入力変数群に変換する手段と、あらかじめ定められたアナログもしくは多値の変数複数個を一組として構成されるデータを複数個記憶保持するメモリ回路と、前記入力変数群と前記メモリ回路に保持されている複数のデータを並列処理により同時に所定の比較演算を行う回路と、前記比較演算の結果所定の条件を満たすデータに対応したコードを少なくとも一つ選び出す手段を備えたことを特徴とする。

【0009】

本発明の瞬時認識方式は、複数のアナログ信号より構成される一組の入力信号群に対し、前記入力信号群の特徴を抽出し前記アナログ信号の数より少数のスカラー変数により表現し、前記スカラー変数の組を複数のあらかじめ定められた特徴量変数の組と比較し、その差が最小となる前記特徴量変数の組を見い出すことにより入力信号群の特定を行うことを特徴とする。

【0010】

【発明の実施の形態】

本発明の実施の形態を図1のブロック図を用いて説明する。

【0011】

図1において、101は、例えば500画素×500画素の2次元イメージセンサであり、各画素102は、例えば、光信号を電圧信号に変換するとともにその信号を記憶する機能を持ったバイポーラ型イメージセンサBASIS103とニューロンMOSトランジス

10

20

30

40

50

タ (MOS) を用いて構成されたプロセサ 104 の 2 つの要素によって構成されている。 MOS はフローティングゲートを有する MOS 型トランジスタで、フローティングゲートと容量結合した複数の電極が入力ターミナルとなった素子であり、多入力演算素子の機能を持っており、生体神経細胞ニューロンと類似の機能を有することからニューロン MOS と名付けられた (T. Shibata and T. Ohmi, IEEE Trans. Electron Devices, Vol. 39, No. 6, pp1444-1455(1992))。 MOS データプロセサ 104 は、周り 8 近傍の画素からのデータを受け取り演算処理により、ノイズの除去、エッジの検出、方位の検出等の画像処理演算を行う。全画素並列処理を行うため極めて短時間に処理を行うことができる。またこれらのデータをさらに圧縮することにより画像の特徴を捉え、例えば 16 個の多値信号の組: C1 ~ C16 から成る特徴ベクトル C (105) を出力する。 C1 ~ C16 は、

10

【 0012 】

しかしながら、このような 2 次元画像の圧縮システムは様々な回路構成が提案されている。例えば、Christof Koch と Hua Li 著、「Implementing Vision Algorithms with Analog VLSI Circuits」 (IEEE Computer Society Press, Washington, 1995, ISBN0-8186-6492-4) 等々に掲載されている公知技術を用いてもよい。

【 0013 】

また、いわゆるニューラルネットワーク技術を用いれば極めて効率よくデータ処理を行うことができる。また、 MOS を用いてプロセサ 104 を構成すると、高度な機能が少数

20

【 0014 】

また、 C1 ~ C16 は 0 ~ 5 V の間で連続的に変化するアナログ変数でもよい。要するに、入力の画像信号に対し、その重要な特徴を全画素数に比べ圧倒的に少ないスカラー量の変数 C1 ~ C16 で表現することであり、その手段はいかなる従来技術を用いてもよい。本発明において重要なのは、このスカラー変数 C1 ~ C16 で表されたコードを瞬時に認識・判断することであり、これに関しては次に説明する。

【 0015 】

特徴ベクトル C (105) は、比較演算器 106 によって様々な鑄型のデータと比較される。 107 は、大規模メモリであり、鑄型のデータをたとえば 10 万組記憶保持している。大規模メモリ 107 中、例えば 1000 組のデータが一括して比較演算器 106 に転送され一時的に記憶されるとともに、特徴ベクトル C (105) との比較演算が行われる。この比較演算器 106 の構成法の一例、並びに大規模メモリ 107 の構成法の一例については、それぞれ図 3 及び図 6、8 に於いて説明する。

30

【 0016 】

比較演算器 106 の機能は、例えば、特徴ベクトル C の各要素 C1 ~ C16 とメモリ内のそれぞれのデータの各要素 M1 ~ M16 との一致度を計算する回路である。例えば、 $D = |C1 - M1| + |C2 - M2| + \dots + |C16 - M16|$ を計算し、その値に比例した電圧値を出力する。

40

【 0017 】

108 はいわゆるウィナー・テークオール回路であり、 1000 個のデータに対し D の値が最小値をとるデータを特定する機能を持っている。つまり、特徴ベクトル C にもっとも似通ったデータが自動的に選び出されてくるのである。各データには、それぞれコード番号が例えばバイナリーコードで付与されており、そのコードは、 2 次元イメージセンサ 101 に投影された画像が何であるかを示している。

【 0018 】

本例では、 1000 個のデータとの比較演算について述べたが、これは全データについて順次行ってもよい。そのときは、 1000 個のデータとの比較演算を 100 回繰り返し、各比較演算で得られたもっともに通った候補を、最後にもう一度比較して最終的な候補を

50

見つければよい。

【0019】

一回の比較演算は、約100ナノ秒で実行できるので、すべてのデータとの比較を行っても約10マイクロ秒で画像が何であるかを特定できる。人間の实時間応答は、0.1秒程度であり、一方ロボットにおける機械的な制御の速度は最も速くて1ミリ秒程度である。これらのことを考慮すると、本発明のシステムが、いかに高速に認識を行えるかが分かる。

【0020】

【実施例】

次にこのシステムの具体的な応用例への適用を説明することにより、本発明の特徴を明らかにする。

【0021】

(実施例1)

図2は、本発明の第1の実施例を示すブロック図であり、人間の顔を認識するシステムへの応用を示したものである。201は、101と同様の2次元イメージセンサであり、例えばある企業の顧客の顔をとりえるものである。センサのほぼ中心部にだいたい大きさをそろえて画像を写すため、光学系は、ズームレンズを備え、ズーミング及びオートフォーカス動作により自動的にこれを行う。これには、従来カメラの技術とコンピュータによる制御を用いれば、従来技術で容易に実現することができる。

【0022】

202は、このイメージセンサの機能を模式的に示したものである。まずノイズの除去、エッジの検出等を行った後、顔の特徴が抽出される。つまり、「顔の輪郭」、「髪の毛の形」、「目の形」、「鼻の形」、「口の形」等が、それぞれ予め例えば50種類に分類されたどの形が一番近いかを見つけたし、その番号を多値変数として特定する。例えば、図の例では「顔」、「髪」、「目」、「鼻」、「口」に対し、それぞれ4、2、11、50、4という番号が選択されている。この多値変数の組203が、図1の特徴ベクトルC(105)に相当する。ここで大切なことは、50種類の分類の仕方である。これは形状の似たものが近い番号となるように分類することが本質的に重要である。例えば、顔の輪郭の番号4と番号5はよく似かよった形に対応している。しかし、番号4と十分に離れた番号、例えば20や30は、かなり異なった形を表している。

【0023】

このように、分類された形状の中から、入力画像の各部分に最も似かよったものを見出すのは、例えば、次のようにして行われる。ここでは、顔の輪郭についてのやり方を説明する。

【0024】

204は入力画像の中から抽出された顔の輪郭であり、50種類のマッチング用のパターンとほぼ同じ大きさになるようノーマライズされ、2次元の画素データとして表現されている。一方、マッチング用の50種類の各パターンも2次元の画素データとして用意されており、両者の差の絶対値を各画素ごとに求め、それを全部合計した値が最小となるパターンをウィナー・テイク・オール回路205で選び出せばよい。このやり方は、図1で説明したコードの選び方と全く同様である。図1の説明では、16個のデータの比較であったが、ここでは2次元の画素データであるから、その数が多いことの違いだけである。しかし、形状の特徴を捜すだけであるから、せいぜい $30 \times 30 = 900$ 、即ち900画素程度のデータを用意すれば十分である。

【0025】

このようにして選ばれた入力画像の特徴ベクトル203は、次に大規模連想メモリ206に記憶されている20万人分の顔のデータと比較され、最も似かよったコードが選び出される。その選び方は、図1で説明したのと同じである。ここでは、全てのデータが絶対値演算機能を持ったメモリセル207にROMとして記憶されており、ウィナー・テイク・オール回路208、209を用いて2段の処理で最も近いものが並列演算で見つけ出され

10

20

30

40

50

る。

【0026】

つまり、各列ごとの最も近いコードがウィナー・テーク・オール回路群208によって選
び出され、次にその中で最も近いコードがウィナー・テーク・オール209によって選
び出される。

【0027】

こうして選出されたコードは、各個人を特定する番号であり、例えばこの番号をアドレ
スとして、別のメモリにアクセスすれば、そこに特定された人物に関する個人データが全
て格納されているのである。

【0028】

従来のメモリ（磁気メモリ、半導体メモリ等）は全てアドレスによってアクセスし、必要
なデータがすぐに引き出せるものであるが、このアドレスを見つけ出すことが非常に困難
なのである。しかし、本発明のシステムを用いれば、例えば顧客の顔を見ただけで、その
顧客の個人データが格納されているメモリのアドレスが即座に分かるのである。

【0029】

本方式の優れている点を次に述べる。

【0030】

202は、顔の5つの特徴それぞれに対し、50個の番号のうち1つの番号をあてはめる
わけだから、表現しうる場合の数は、50の5乗、即ち約3億通りある。しかし、連想メ
モリ206に登録されている顔のデータは、20万人分である。言い換えれば、各個人に
対して3億÷20万=1500、即ち1500通りもの組み合わせが対応することになる
。これは、非常に冗長な表現となっており、同一人物の顔が1500種類もの異なった特
徴ベクトルで表されてもよいことになる。他と比較して最も似かよった個人が特定され
るのであるから、画像に少々の変化があっても正確に特定される。

【0031】

個人特定の確度をもっと上げるためには、例えば次のようにすればよい。各個人のコード
をたった1種類で表現するのではなく、いろいろな見え方に対しそれぞれコードを選び、
例えば10種類のコードで表現しておくのである。こうすれば、この10種類のどれか1
つに近ければ、全て同一人物として特定されるのである。従って、よく似た他の人物と間
違う確立を非常に小さくすることができる。

【0032】

以上のように本発明のシステムによれば、これまでデジタルコンピュータを用いた方法で
は、非常に多くの演算を必要とすることから、到底実時間応答が不可能であった個人の顔
の認識が瞬時に行えるようになり、ここで述べた顧客の確認以外にも、防犯や個人IDの
認識等に幅広い応用が可能となる。

【0033】

尚、コードの比較は絶対値演算の場合のみを述べたが、これ以外にも、絶対値の2乗を全
ての成分に対して加算し、その平方根をとった値について行ってもよい。つまり、ユーク
リッド距離の最小値を求めてもよい。これ以外にいかなる距離の定義を用いてもよいこと
はいうまでもない。

【0034】

（実施例2）

図3は本発明の第2の実施例であり、比較演算器106の構成をニューロンMOSを用い
て実現したものである。

【0035】

301、302はNMOSトランジスタであり、303、304はそれぞれ例えばN⁺ポ
リシリコンで形成されたゲート電極で、ゲート電極303はNMOSトランジスタ30
1の、ゲート電極304はNMOSトランジスタ302のON・OFF状態をそれぞれ制
御している。

【0036】

10

20

30

40

50

NMOS301、302のドレイン305、306はここでは互いに接続され、例えばPMOSスイッチ307をスイッチ素子として介し、ここでは5Vの信号線308に接続されている。一方、NMOS301、302のソース309、310は互いに接続され、NMOS311をスイッチ素子として介し、ここでは0Vの接地電位312に接続されている。NMOS301のゲート電極303は例えばNMOS313をスイッチ素子として介しここでは0Vの接地電位314に接続され、NMOS313をスイッチ素子として用いることによりゲート電極303を所定の電位と等しくすることができ、さらにまたNMOS313をOFF状態にすることにより電氣的にフローティングとすることができる。

【0037】

NMOS302のゲート電極304は、例えばNMOS315をスイッチ素子として介し、ここでは0Vの接地電位316に接続され、NMOS315をスイッチとして用いることによりゲート電極304を所定の電位と等しくすることができ、さらにまたNMOS315をOFF状態にすることにより電氣的にフローティングとすることができる。NMOSTランジスタ301のゲート電極303に電極317が容量結合され、NMOSTランジスタ302のゲート電極304に電極318が容量結合されている。

10

【0038】

入力電極317は、ここでは例えばCMOS構成のトランスマシヨングート319をスイッチ素子として電極323に接続され、またここでは例えばCMOS構成のトランスマシヨングート320をスイッチ素子として電極324に接続されている。入力電極318は、ここでは例えばCMOS構成のトランスマシヨングート321をスイッチ素子として電極323に接続され、またここでは例えばCMOS構成のトランスマシヨングート322をスイッチ素子として電極324に接続されている。ここでは電極323、324と電極317、318を接続するためにCMOS構成のトランスマシヨングート319、320、321、322をスイッチ素子として用いているが、これはこの半導体演算回路が精度よく演算できるように用いただけであり、他のスイッチ素子をCMOS構成のトランスマシヨングート319、320、321、322の代わりに用いても本発明の効果に全く変化は生じない。

20

【0039】

また、NMOSTランジスタ301、302のソース309、310は、例えば外部の容量負荷325に接続され、ソース・フォロワ回路としてゲート電極303の電位 V_{FG1} 、ゲート電極304の電位 V_{FG2} のうち高い方の電位を外部に V_{OUT} として読み出すことができる構成になっている。ここで V_{OUT} は $V_{FG1} - V_{TH1}$ あるいは $V_{FG2} - V_{TH2}$ のうち高い方の電圧であり、 V_{TH1} はNMOS301のゲート電極303から、 V_{TH2} はNMOS302のゲート電極304からみた閾値電圧である。例えば、 $V_{TH1} = V_{TH2} = 0V$ としておけば、 V_{OUT} は V_{FG1} あるいは V_{FG2} のうち高い方の電圧となる。ここでは簡単のために $V_{TH1} = V_{TH2} = 0V$ としており、0V以外の値でも本発明の効果に全く変化はない。

30

【0040】

出力電位 V_{OUT} はここではNMOSTランジスタ311をOFF状態とすることで得られる。この時、出力電位 V_{OUT} はNMOSTランジスタ311がON状態の時0Vだったが、NMOSTランジスタ311をOFF状態にしたことで0Vから上昇を始め、NMOSTランジスタ301、302のそれぞれのゲート電極とそれぞれのソースの間のそれぞれの電位差が閾値になり、NMOSTランジスタ301、302の両方のランジスタがOFF状態となるまで上昇するため、結果的に出力電位 V_{OUT} は V_{FG1} 、 V_{FG2} のうち高い方の電圧が出力されるのである。

40

【0041】

ここではNMOSTランジスタ301、302のドレイン305、306はここでは互いに接続され、PMOSTランジスタ307をスイッチ素子として介し、5Vの信号線308に接続されているが、これはNMOSTランジスタ312がON状態の時に5Vの信号線308から電流が流れることを防ぎ、消費電力を抑さえるために設置したものである。従って、PMOSTランジスタ307の代わりに他のスイッチ素子を用いても、本発明の

50

効果に全く変化はない。

【 0 0 4 2 】

また、PMOSトランジスタ307のスイッチ素子の代わりに抵抗、コンデンサを使用してもよいし、何も使用せずNMOSトランジスタ301、302のドレイン305、306を直接5Vの信号線308に接続されていても、本発明の効果に全く変化はない。さらに、ドレイン305、306は特に互いを接続する必要はなく、別々に先に述べたような手段を用いて5Vの信号線308に接続しても何ら問題は生じない。ここでは回路設計上便宜を図るため、ドレイン305、306を互いに接続しただけである。

【 0 0 4 3 】

次に、この回路の動作について説明する。

10

【 0 0 4 4 】

NMOSトランジスタ301のゲート電極303に容量結合している入力電極317には、まずはじめに入力電極323の電位(V_A)がCMOS構成のトランスミッションゲート319を介して入力されるとともに、NMOSトランジスタ302のゲート電極304に容量結合している入力電極318には、入力電極324の電位(V_X)がCMOS構成のトランスミッションゲート322を介して入力される。その時、ゲート電極303、304はNMOSトランジスタ313、314をそれぞれ導通させることにより、ここでは例えば0Vの接地電位に等しくしておく。そして、現在導通しているスイッチ素子319、322が遮断される前に、現在導通しているNMOSトランジスタのスイッチ素子313、315を遮断し、ゲート電極303、304を電氣的にフローティング状態にする。

20

【 0 0 4 5 】

その後、導通しているスイッチ素子319、322を遮断し、ともに今度はスイッチ素子320、321を導通させ、入力電極323の電位を入力電極318に、また入力電極324の電位を入力電極317に入力する。つまり、はじめゲート電極303、304を接地電位に等しくしておき、入力電極323、324の電位をそれぞれ入力電極317、318に入力する。

【 0 0 4 6 】

そしてゲート電極303、304を電氣的にフローティングとした後に、入力電極323、324の電位をはじめの状態とは入れ替えて、それぞれ入力電極318、317に入力する。ここでは入力電極323の電位をまず入力電極317に、入力電極324の電位を入力電極318に入力した。しかし、入力電極317、318に入力する順序は、先に述べた順序と反対にしても何ら問題がないのはいうまでもない。この回路の動作の本質が入力電極317、318に入力する際、1度目と2度目で入力を入れ替えることであるからである。

30

【 0 0 4 7 】

入力を入れ替えた後、ゲート電極303の電位は $V_X - V_A$ 、ゲート電極304の電位は $V_A - V_X$ となっている。これは、入力を入れ替える前にゲート電極303、304が電氣的にフローティングとなっているため、入力を入れ替えるとはじめ入力されていた電位とあとから入力された電位の差の分だけゲート電極303、304が引き上げられるためである。これにより、互いの入力に関して差分をとったことになる。

40

【 0 0 4 8 】

出力動作になると、ここでは先に述べたようにNMOSトランジスタ311がOFF状態となることで、ゲート電極303の電位($V_X - V_A$)、ゲート電極304の電位($V_A - V_X$)のうち大きな電位が出力されるのである。これにより、入力に対して互いに差分をとり、その結果のうち大きな値を出力することができるので、最大値を検出したことになる。そして、最終的な出力結果 V_{OUT} を数式で表すと、 $|V_A - V_X|$ となる。

【 0 0 4 9 】

ここでは、例えば入力電極323の電位 V_A を4V、入力電極324の電位 V_X を1Vとして考える。まず、スイッチ素子319を導通することで入力電極317に入力電極323の電位4Vを入力し、またスイッチ素子322を導通することで入力電極318に入力電

50

極324の電位1Vを入力する。その時、ゲート電極303、304はそれぞれNMOSトランジスタ313、315を導通させることで接地電位0Vと等しくしておく。

【0050】

30nsたったあと、NMOSトランジスタ313、315を遮断し、ゲート電極303、304を電氣的にフローティング状態にし、ゲート電極303、304をそれぞれ接地電位0Vに保っておく。そして、2NSCたったあとスイッチ素子319、322をOFF状態とし、ともにスイッチ素子320、321をON状態とすることで入力電極323の電位4Vを入力電極318に、入力電極324の電位1Vを入力電極317にそれぞれ入力する。

【0051】

この時、ゲート電極303の電位ははじめ4V入力されていたのがつぎに1V入力されたことで、その差の3Vだけゲート電極303の電位が引き下げられ-3Vとなる。しかし、実際にはNMOSトランジスタ313を構成しているPN接合が順方向バイアスになるので、0Vからビルトインポテンシャル分までしか下がらないが、回路上問題にはならない。一方、ゲート電極304の電位ははじめ1V入力されていたのがつぎに4V入力されたことで、その差の3Vだけゲート電極304の電位が引き上げられ3Vとなる。

【0052】

最後に、出力動作でNMOSトランジスタ311をOFF状態とし、PMOSトランジスタ307をON状態とすることでNMOSトランジスタ301、302がソースフォロワ回路として動作し、ゲート電極303、304のうち大きな電位を保持しているゲート電極304の電位3Vが出力される。

【0053】

この例について、回路シミュレーション(商品名: HSPICEシミュレーション)を使ってシミュレーションを行った。その結果を図4に示す。図4では入力電極323、324に与える入力電圧を4V、1Vとしたが他の場合についても例として同時にシミュレーションを行っている。図4より、明らかなようにすべての例について正しく動作していることが分かる。

【0054】

ここでは具体的な例として、入力電極323の電位を4V、入力電極324の電位を1Vとして扱ったが、もちろん任意のアナログ値で演算可能であることは言うまでもない。

【0055】

ここでは、NMOSトランジスタ311、313、315をスイッチ素子として用いているが、その代わりにPMOSトランジスタ、CMOS構成のトランスミッションゲートなどを他のスイッチ素子として用いても何ら問題は生じない。また、NMOSトランジスタ311について、ここではスイッチ素子を用いているがスイッチ素子の代わりに抵抗、コンデンサなどを用いても何ら問題は生じない。また、接地電位312についてもここでは回路設計上便宜を図るため0Vとしたが、接地電位を0V以外の他の電圧としても、本発明の効果に影響を与えるものではない。

【0056】

以上述べたように、本発明の回路では、入力を入れ替えることとゲート電極303、304にスイッチ素子313、315をつけゲート電極303、304を接地電位と等しくしたり電氣的にフローティング状態とすることで、入力データについて互いの差分をとることができ、また差分をとった結果大きな値を選び出すことができるため最終的に入力されたデータの差分絶対値を実時間でしかも高精度で演算できる回路を実現できる。

【0057】

図5は、例えば本実施例で述べた差分絶対値回路を複数並べ、それぞれの出力をウィナーテークオール回路の入力端子に入力することにより、それぞれの差分絶対値回路の演算結果の中でどの結果がもっとも小さい値であるかを演算する回路である。

【0058】

このウィナーテークオール回路を差分絶対値回路と組み合わせて用いることにより、入力

10

20

30

40

50

されてきたデータが今までに蓄積されていた膨大な数のデータの中のどのデータに近いかが高速で且つ高精度で演算することができる。

【0059】

また、ここでは例えば3つの差分絶対値回路と3入力のウィナーテークオール回路を組み合わせた回路構成をしているが、もちろん差分絶対値回路をいくつ用いても、その数だけウィナーテークオール回路の入力数を組み合わせれば問題がないことは言うまでもない。ウィナーテークオール回路は、同じ機能を持った回路であれば、この実施例のウィナーテークオール回路の代わりに用いても問題がないことは言うまでもない。ウィナーテークオール回路については、例えば特願平4-222166号に開示されているものを用いればよい。

10

【0060】

(実施例3)

図6、図8は、本発明の第3の実施例を示したもので、大規模メモリ107の構成について述べたものである。つまり、所定のアナログ若しくは所定の多値の変数を正確に書き込み、不揮発的に記憶・保持するメモリである。

【0061】

図6において、601はNMOSトランジスタであり、602は例えばN⁺ポリシリコンで形成されたフローティングゲート電極で、NMOS601のオン・オフ状態を制御している。NMOSのドレイン603は、電源ライン604に接続され、一方ソース605は、例えば外部の容量負荷606に接続され、ソース・フォロワ回路としてフローティングゲート602の電位V_{FG}を外部にV_{OUT}として読み出す構成になっている。ここでV_{OUT} = V_{FG} - V_{TH}であり、V_{TH}はNMOS601のフローティングゲートから見た閾電圧である。例えばV_{TH} = 0としておけば、V_{OUT} = V_{FG}となる。ここでは簡単のためにV_{TH}を0としているが、0以外の値でも本発明の効果に全く変化はない。V_{TH}は製造時に決定される一定の値であり、それを考慮してフローティングゲートの電圧V_{FG}、電荷Q_Fを求めればよいからである。V_{FG} = Q_F / C_{TOT} (Q_Fはフローティングゲート602の電荷、C_{TOT}はフローティングゲート602につながる容量の総和)と表せるから、

20

$$V_{OUT} = Q_F / C_{TOT} \cdots (1)$$

によって、メモリの内容を外部に読み出すことができる。607はフローティングゲート602と容量結合した電極であり、例えばこの例では接地されている。この容量結合係数をC₁とする。608は、電荷注入電極であり、トンネル接合609を介してフローティングゲートにつながっている。このトンネル接合は、例えばN⁺ポリシリコンで形成されたフローティングゲートの表面を熱酸化して10nmの酸化膜を形成し、この上に例えばN⁺ポリシリコンのゲート電極608を設置することで形成することができる。しかし、これはあくまでもトンネル接合形成の一例であり、他のいかなる材料・方法を用いて形成してもよいことは言うまでもない。このトンネル接合部609の容量をC₂と表す。電荷注入電極608は容量610(その大きさをC₃とする)を介してプログラム電圧(V_{EXT})印加用端子611に接続されている。612はNMOSトランジスタであり、そのオン・オフ状態はフローティングゲート613によって制御されている。フローティングゲート613はスイッチ614を介して信号線615に接続されており、スイッチ614がオンの状態ではその電位は信号線615の電位V_Sに固定され、オフの時はフローティング状態となり、その電位はフローティングゲート602の電位とそれとの容量結合係数によって決まるようになっている(フローティングゲート602とフローティングゲート613との間の容量結合係数をC₄とする)。

30

40

【0062】

次に、この回路の動作について説明する。今、フローティングゲート602にV_{FG} = V_mなるデータを書き込むことを考える。即ち、フローティングゲート602に、Q_{FG} = C_{TOT} V_mなる電荷を注入することになる。これは次のような方法で行う。

【0063】

まずV_S = -V_mとし、スイッチ614をオンしてフローティングゲート613の電位

50

= $-V_m$ とする。そしてスイッチ614をオフするとフローティングゲート613には $Q_c = -C_4 V_m$ なる電荷が蓄えられた状態となる。(ここでは簡単のためにフローティングゲート613の全容量を C_4 に等しいと仮定した。)フローティングゲート613より見たNMOS612の閾電圧を0Vに設定しておく、この時NMOS612はオフの状態にあり、電極607、608は互いに電氣的に切り離されている。

【0064】

この状態で端子611にプログラム電圧として例えば $V_{EXT} = 25V$ を印加すると、容量分割によりトンネル接合609の両端には次式で与えられる電圧 V_T がかかる。

【0065】

$$V_T = (1/C_2) V_{EXT} / (1/C_1 + 1/C_2 + 1/C_3) \dots (2)$$

10

いま $C_2 \ll C_1, C_3$ であるとすると、 $V_T = V_{EXT}$ となり大きな電界がトンネル接合609に発生して電流が流れ、電子がフローティングゲート602より電荷注入電極608へ移動する。その結果 V_{FG} は正の値で大きくなる。この時間変化をHSPICEシミュレーションで求めた結果を図7に示す。 V_{FG} は時間と共に増加し、 V_{PP} は $t = 0$ での $V_{PP} = 25V$ より時間とともに減少しており、電荷の移動が起こっていることがわかる。

【0066】

さて、 V_{FG} が増加するためにフローティングゲート613の電位もそれとの容量結合により増加し、その値は、

$$V_c = (C_4 V_{FG} + Q_c) / C_4 = V_{FG} - V_m \dots (3)$$

と表される。即ち、 V_{FG} が増加し $V_{FG} = V_m$ となったところで $V_c = 0$ となり、NMOS612の閾電圧0Vを越えるのでNMOS612がオンする。そうすると電極607、608がNMOS612を介して電氣的に接続されるため、電極608の正電荷はアースに流れ、 V_{PP} は急速に減少する。その結果 V_T が減少してトンネル電流は流れなくなり、 V_{FG} は一定値となる。即ち $V_{FG} = V_m$ の値にプログラムされたことになる。

20

【0067】

図7では、 $V_m = +4.0V$ と設定している。パルス印加後約 $1.2 \mu sec$ で V_{FG} は一定値(約 $3.5V$)に達しているのがわかる。従来例では秒単位の長い時間を必要としていたことから、書き込み時間が劇的に減少していることがわかる。ここで書き込みの目標値 V_m と実際の V_{FG} の収束値との間には約 $0.5V$ の差があるが、あらかじめこの差を考慮して V_m の値を設定すれば正確な制御を行うことができる。

30

【0068】

以上述べたように、本発明の回路では、フローティングゲート602に電荷注入が生じてそれにより変化する V_{FG} を実時間で連続的にモニターしながら所定の値となったときに自動的に注入を終結する機能の実現されており、所定の値を正確にかつ超高速に書き込むことができた。

【0069】

上では $C_2 \ll C_1, C_3$ という仮定の下で説明したが、この回路はそのような条件に限定されない。まず、 $C_2 \ll C_3$ という条件は、 V_T を V_{EXT} にできるだけ近づけるためにだけ必要であり、例えば V_{EXT} を大きくするか、またはトンネル酸化膜を薄くするなどしてトンネル注入部にかかる電界を大きくし、必要な電界の値を得られるようにすればその条件は完全に不必要になる。 $C_2 \ll C_1$ という条件は、上の理由と併せてさらに、 V_{EXT} が印加されたときに、その電圧によってフローティングゲート602が持ち上げられる効果を見無視できるようにするために定めた。例えば $V_{EXT} = 25V$ を印加すると、 C_1, C_2, C_3 の容量結合により端子607に対するフローティングゲートの電位 V_{FG} は V_{EXT} によって

$$V_{FG} = (1/C_2) V_{EXT} / (1/C_1 + 1/C_2 + 1/C_3) \dots (4)$$

40

だけ持ち上げられる。もし $C_2 \ll C_1$ ならば上で述べているように V_{FG} はほぼ0に等しくなる。もし C_2 が C_1 に比べて無視できるほど小さくないとしても、 V_{FG} は C_1, C_2, C_3, V_{EXT} という、あらかじめわかっただけで決定されるので、この値を見越して書き込むデータを設定することによって $C_2 \ll C_1, C_3$ としたときと全く同じような制御を行うことができる。 V_{FG} が無視できないときの具体的な影響は(3)式の場合で $V_{FG} = V_{FG} +$

50

V_{FG} と置き換えた式で表される。つまり $Q_C = V_{FG} + C_{FG} - V_m = 0$ となったときに書き込みが終了するので、フローティングゲート602には $V_{FG} = V_m - C_{FG}$ なるデータが書き込まれる。つまりセットした値 V_m より、ある決まった値だけ少ない値が書き込まれることになる。この C_{FG} の分だけ大きなデータを書き込むような制御を行えばなんら変わらない制御を行える。

【0070】

書き込まれたデータを読み出す時にはNMOS601（フローティングゲート602からみたその閾電圧 V_{TH} をたとえば0Vとする）を用いたソースフォロワ回路を動作させることによって、 $V_{OUT} = V_{FG}$ として直接フローティングゲート602の電圧をアナログ電圧として読み出すことができる。上記NMOS601の閾電圧 V_{TH} が必ず0Vである必要はなく、有限の値 V_{TH} を持つときは $V_{OUT} = V_{FG} - V_{TH}$ がアナログデータとして読み出される。

10

【0071】

また図6の例では、ソースフォロワの負荷素子として容量 (C_0 とする) を用いる場合を例として示してあるが、もちろんこれに限定されず、例えば抵抗でもよいし、あるいはMOSトランジスタを用いて構成された負荷素子を用いてもよいことは言うまでもない。

【0072】

また多数のメモリセルをマトリクス状に集積して、所定のセルのデータのみ選択的に読み出すには、例えば電源ライン604を選択的に V_{DD} まで持ち上げることにより、その電源ラインに接続されているソースフォロワのみを活性化して読み出してもよいし、あるいは604は常に V_{DD} 一定電圧とし、 V_{OUT} 端子605に各セル毎に選択用のMOSトランジスタを配置してもよい。

20

【0073】

上記例では、 V_m の値を書き込むには、 V_S として負の値 $-V_m$ を与える必要があったが、負の信号発生を行わないために例えば次のようにしてもよい。

【0074】

NMOS612の閾電圧を V_{TH}' とすると、(3)式よりこれがオンする条件は、

$$Q_C = V_{FG} + V_S > V_{TH}' \quad \dots (5)$$

となる。すなわち、 $V_S > V_{TH}' - V_{FG}$ であり、 V_{FG} をゲートに書き込むには、

$$V_S > V_{TH}' - V_{FG} \quad \dots (6)$$

30

とすればよい。ここで例えば $V_{TH}' = 5V$ とすれば、 V_{FG} として、0、1、2、3、4 [V] を書き込むには $V_S = 5、4、3、2、1$ [V] とすればよく、 V_S に設定すべき書き込み制御用の電圧はすべて正の電位となり、負の信号を発生する必要はなくなる。

【0075】

図6の回路における書き込みデータの設定法としてまた別の方法を用いてもよい。それを次に説明する。まずスイッチ614をオンした後 V_S を0Vに設定し、電極607の電位を V_m に設定する。今 $C_1 > C_2$ としておくと、 $V_{FG} = V_m$ となる。その後スイッチ614をオフにするとフローティングゲート613には $Q_C = -C_4 V_m$ の電荷が蓄えられたことになる。ここで書き込みを始めると(3)式に従って Q_C が変化するため、NMOS612の閾電圧を例えば0Vに設定しておけば $Q_C = 0$ 即ち $V_{FG} = V_m$ となったときにNMOS612がオンしてフローティングゲート602への電荷注入が終了することになる。この方法を用いればNMOS612の閾電圧を特別高い値にせずとも、書き込み制御のための電圧として非負の値を用いることができる。

40

【0076】

さらにNMOS612の閾電圧が0Vではなく有限の値をもっているとしてもよく、その時には $V_m - V_{TH}'$ の値がフローティングゲート602に書き込まれることになる。あるいはスイッチ614をオンして電極607の電位を V_m とする際に $V_S = V_{TH}'$ と定めれば、フローティングゲート602には V_m の値がそのまま書き込まれることになる。

【0077】

以上述べたいかなるデータの設定法を用いても、本発明は有効な効果を与えることは言う

50

までもない。

【0078】

以上の説明は、プログラミング電圧印加用端子611にプログラム電圧(V_{EXT})を初めて印加する前の状態において、フローティングゲート602には一切チャージが存在していない場合にのみ当てはまる説明である。即ち、最初に説明した書き込み方法は、 $V_S = -V_m$ としてフローティングゲート613にチャージをセットした時に $V_{FG} = 0V$ である場合にのみ正しい説明である。もしこのときフローティングゲート602に電荷が存在し、 $V_{FG} = V_{FG0} \neq 0$ であったとすると、 $V_S = -V_m$ として書き込み制御用の電圧をフローティングゲート613にセットし V_{EXT} にプログラミング電圧をかけると、 $V_{FG} = V_m + V_{FG0}$ にまで上昇したときに初めて制御トランジスタ612がオンすることになり、フローティングゲート602には $V_m + V_{FG0}$ の電圧が書き込まれることになる。従ってそこに電荷があらかじめ存在する場合には、例えばNMOS601のソースフォロワ動作を利用して V_{FG0} をあらかじめ読みだし、 V_S の値としてこの V_{FG0} の効果を検討した設定値、即ち $V_S = -(V_m - V_{FG0})$ を設定すればよい。こうすれば最初に電荷が存在しても $V_{FG} = V_m$ の値を書き込むことができる。

10

【0079】

次に、一度データが書き込まれたフローティングゲート上のデータを書き換える様々な方法について説明する。

【0080】

$V_{FG} = 0$ 、つまりフローティングゲート602の電荷を0とすることは簡単であり、例えば電極607の電位を0とした状態で紫外光(UV光)を照射してやればよい。

20

【0081】

一方、電氣的にフローティングゲート602の保持するデータを消去する方法として、例えば V_{EXT} に負の電圧を加え、電子をフローティング電極に注入する方法がある。あるいはプログラミング電圧印加用端子611を接地した状態で電極607に正の電位を加え、電子をフローティングゲートに注入する方法でもよい。さらに別な方法として電子注入用のトンネル接合部を609以外に別途設け、いくつかのセルを一括して消去する方式を用いてもよい。また、例えば図6で V_{OUT} 端子605を0Vにリセットした状態で電源ライン604を V_{DD} より大きな電圧にセットし、NMOS601のドレイン端でホットエレクトロンを発生させ、フローティングゲート602へそのホットエレクトロンを注入することにより正の電荷を打ち消す方法でもよい。この時電極607を様々な電位に定めることにより、その注入量を制御することができる。フローティングゲートへのホットエレクトロン注入の他の方法として、トランジスタ601を用いなくとも、ホットエレクトロンを発生しやすいショートチャネルトランジスタを別途注入専用にてゲート電極をフローティングゲートと共用させてもよい。以上のような様々な電氣的な方法では通常フローティングゲート602内の電荷が正確に0にはならず、負の値にまでふれこんでしまうので、このときはやはりソースフォロワ動作でチャージ量を読み出しこれを考慮して V_S もしくは電極607に与える電圧値を調整してやる必要がある。

30

【0082】

以上、様々なデータ更新の方法を説明したが、上の方法いずれを用いてもよいことは言うまでもない。

40

【0083】

また、図8において、801はNMOSトランジスタであり、802は例えば N^+ ポリシリコンで形成されたフローティングゲート電極で、NMOS801のオン・オフ状態を制御している。NMOSのドレイン803は、電源ライン804に接続され、一方ソース805は、NMOSトランジスタ806のドレインに接続され、トランジスタ806のソースは共通読み出し電圧線807に接続されている。そして電極808はトランジスタ806のゲート電極である。このトランジスタ806の閾電圧を V_{FG1} とし、読み出し選択用トランジスタと呼ぶことにする。810はフローティングゲートと容量結合する電極であり、その容量係数は C_1 であり、その電位は接地電位となるように設定する。811はN

50

MOSトランジスタで、そのソース電極部はトンネル酸化膜を介してフローティングゲート802と容量結合しており、その容量係数を C_2 とする。トランジスタ811のドレインは共通書き込み電圧発生線812に接続されており、813をトランジスタ811のゲート電極とする。このトランジスタ811の閾電圧を V_{FG2} とし、書き込み選択用トランジスタと呼ぶことにする。上に述べたような構成が一つのメモリセルとなっており、そこに一つのアナログ量を保持するようになっている。それぞれのセルを図の上から814、815、816とする。

【0084】

このように同一に作られたメモリセルが複数集まり、各セルの読み出し選択用トランジスタのソース電極を共通読み出し電圧線807に接続するような構成になっている。また各セルの書き込み選択用トランジスタのドレインは共通書き込み電圧発生線812に接続されている。817は共通書き込み電圧発生線812と容量結合する電極であり、その容量結合係数を C_3 とする。また共通書き込み電圧発生線812はノーマリーオフ型NMOSトランジスタ818のドレインと接続され、トランジスタ818のソース電極819は接地されている。またゲート電極820をもち、閾電圧を V_{FG3} とする。電圧線807はNMOSトランジスタ821を介して制御回路の入力電極822と接続されている。入力電極822はインバータ823の入力824と容量結合されており、また入力824はNMOSトランジスタ825を介してインバータ823の出力826と接続されるようになっている。その出力は更にもう一つのインバータを介してトランジスタ818のゲート電極820と接続されている。

【0085】

今回すべてのトランジスタをNチャネル型としているが、特定のトランジスタをPチャネル型MOSトランジスタで置き換えても回路の効果には全く変化無いことは言うまでもなく、また図8ではメモリセルを3つ並べて一つのブロックを構成しているが、これは紙面の都合からで、2つ以上のいかなる数においても同様の回路の効果を得られることは言うまでもない。また、説明の便宜上、番号をつけていないメモリセルの書き込み選択用トランジスタのゲート電極、読み出し選択用トランジスタのゲート電極にそれぞれ827、828、829、830と番号をつけ、トンネル注入口には831、832と番号をつけることにする。なお、電極810、819は接地電位に定められているが、この値にのみ限定することはなく、任意の値を与えるならばそれを基準として他の電圧をすべて調節すればよい。

【0086】

次に、回路の動作原理について説明する。いま、メモリセル814にのみ電圧 V_{TAR} を書き込むことを考える。

【0087】

まず、外部に一つだけある制御回路に V_{REF} を参照電圧として入力する。その後トランジスタ825をオンさせ、その後オフさせる。するとこの回路は参照電圧を記憶し、次に参照値と等しい値が入力されたときにゲート820に電源電圧を出力する。この値 V_{REF} は、書き込み中にメモリセルに V_{TAR} だけ書き込まれたら出力される値であり、 V_{TAR} にあるオフセット電圧を足した値となる。このオフセット値は設計によって決まる値なので V_{TAR} から V_{REF} を逆算する事は容易である。また電極808には閾電圧 V_{FG1} 以上の値、829、830には閾電圧 V_{FG1} 以下の値を加える。このようにすると書き込み対象のメモリセルの内容のみを共通読み出し電圧線807に読み出すことができる。

【0088】

電極813には閾電圧 V_{FG2} 以上の値、827、828には閾電圧 V_{FG2} 以下の値を入力する。また共通書き込み電圧発生線812の電位は接地電位としておく。このようにすることによってメモリセル815、816のトンネル注入電極831、832は常に接地電位となるように電荷が保持され、以降、もし共通書き込み電圧発生線812の電位が変化しようとも電極831、832の電位は変化しない。

【0089】

10

20

30

40

50

次に、トランジスタ 8 2 1 を導通させたのち、電極 8 1 7 に十分高い電圧を加える。その値はメモリセルのトンネル接合部に書き込みに十分な電流を流す程度の値である。そうするとメモリセル 8 1 4 のトンネル接合部に電流が流れてフローティングゲート 8 0 2 から電子が引き抜かれフローティングゲートの電圧は上昇し続ける。その電圧の値はソースフォロア構成になっているトランジスタ 8 0 1 から、読み出し選択トランジスタを通じて制御回路の入力 8 2 2 に読み出される。そのセルの書き込み進行中、他のメモリセルはどのようになっているかということ、電極 8 2 7、8 2 8 に V_{FG2} 以下の値を与えているので、それらの書き込み選択用トランジスタはオフの状態にあり、トンネル注入電極は以前の状態、つまり接地電位を保持している。つまりメモリセル 8 1 4 が書き込まれようともセル 8 1 5、8 1 6 には書き込みは行われていない。ここで書き込みが選択的に行われていることがわかる。書き込みがある程度の時間行われ V_{TAR} が書き込まれると、その時メモリセルは V_{REF} を出力するようになる。

【0090】

値は随時制御回路によってモニタされており、 V_{REF} が出力されたときに制御回路は電源電圧を出力し、ゲート電極 8 2 0 には閾電圧以上の電圧が加わる。するとトランジスタ 8 1 8 はオンの状態になり、共通書き込み電圧発生線は放電され、接地電位となる。そして書き込みは終了する。

【0091】

また、読み出し時の選択性についても、各読み出し選択用トランジスタのオン・オフ状態を制御することにより容易に実現することができる。

【0092】

この回路構成を用いた結果はあきらかである。従来同様、容量 C_3 は他の容量 C_1 、 C_2 より大きくなくてはならないという要件があるが、その容量 C_3 をブロック当たり一つだけにし、そのかわりセル一つ毎に書き込み選択用トランジスタを用いることにより、書き込み時、読み出し時の選択性を失わずに集積度の大幅な向上を実現できた。トランジスタ数も従来例と代わり無く、1セル当たり3トランジスタとなっている。

【0093】

また、本実施例では制御回路部にインバータの出力と入力を短絡するスイッチを持った回路を用いたが、従来用いている他の制御回路を用いても全く本発明の効果には影響がない。これは本発明の効果があくまでも複数のセルの持つ素子の共通化による高集積化であり、制御回路の機構には依存しないことからもうまくもない。

【0094】

(実施例4)

図9は本発明の第4の実施例を表すブロック図であり、基本的な構成は図1のと同じである。異なるのは、新たに優先順位決定回路901を加えた点である。なお、同図には、図1と同じ機能ブロックに関しては同一の番号が付してある。優先順位決定回路901は、特徴ベクトルを入力として受けとり、大規模メモリ107内のどのグループのデータから比較を始めるのがよいかを決定する回路である。つまり、特徴ベクトルの値から判断して候補のいる確率の高いブロックを最初に相関器106にダウンロードし検索を始めるのである。

【0095】

これは例えば次のようにすればよい。図2の例で、顔の輪郭が丸いもの、即ち丸顔は番号が25~40の間に分類されており、長い髪が例えば40~50に分類されているとすると、特徴ベクトルがこの範囲に入っていることを検出して、丸顔で髪が長いという分類に入っている人のデータをまず一括して相関器にロードダウンすれば、見つけ出すのが速くなるのである。

【0096】

この限られた範囲の探索で候補が絞り込まれ、その時の一致度、即ち、各番号の差の合計が、例えば20以下ならばそれ以上捜すのをやめるようにしてもよい。あるいは、もう少し観点を変えて捜すようにしてもよい。即ち、髪の毛は前は短かったが、今は長くなって

10

20

30

40

50

いる可能性があるので、この項目は評価からはずして探索することもできる。

【 0 0 9 7 】

このように、本システムは、ちょうど人間が他人の顔を見て、順次思い出していくように、非常に知的な処理ができるのである。このような情報処理は、例えば、デジタル計算器（マイクロプロセサ）902と情報を交換しながら行ってもよい。マイクロプロセサ902は、一致度等を見て、もっと探索を続けるきか否かを判断する。これに対し、本発明の主要部である相関器106やウィナー・テーク・オール108は、並列に大量のデータ検索を行い、最も近い事例を見つけ出してくるのである。ちょうどマイクロプロセサが人間の脳の左脳であれば、106、107、108は大枠の判断をする右脳であるといえる。このように、正しく人間の頭脳に相当する機能を電子回路で実現することができるのである。

10

【 0 0 9 8 】

【 発明の効果 】

本発明によって、外界情報を取り入れ、これを瞬時に認識する機能を持った演算回路が実現し、これにより、人間のように外界の状況を判断し適切な行動をとるといった知的な機能を持った電子システムの実現が可能になる。

【 図面の簡単な説明 】

【 図 1 】 本発明の構成を説明するための概念図である。

【 図 2 】 顔の認識システムを説明する概念図である。

【 図 3 】 本発明の比較演算回路の一例を示す回路図である。

20

【 図 4 】 比較演算回路の動作を示すグラフである。

【 図 5 】 比較演算回路の演算結果の中から最小値を選択する回路である。

【 図 6 】 大規模メモリ回路の一例を示す回路図である。

【 図 7 】 図 6 の大規模メモリ回路の動作を示すグラフである。

【 図 8 】 大規模メモリ回路の他の例を示す回路図である。

【 図 9 】 本発明の構成の他の例を示す概念図である。

【 符号の説明 】

101 2次元イメージセンサ、

102 画素、

103 バイポーラ型イメージセンサ（BASIS）、

30

104 MOSデータプロセサ、

105 特徴ベクトル、

106 比較演算器1、

107 大規模メモリ、

108 ウィナー・テーク・オール（WTA）回路、

201 2次元イメージセンサ、

202 イメージセンサの機能

203 多値変数、

204 入力画像の中から抽出された顔の輪郭、

206 大規模連想メモリ、

40

207 メモリセル、

208、209 ウィナー・テーク・オール回路、

301、302 NMOSトランジスタ、

303、304 ゲート電極、

305、306 NMOS301、302のドレイン、

307 PMOSスイッチ、

308 信号線、

309、310 NMOS301、302のソース、

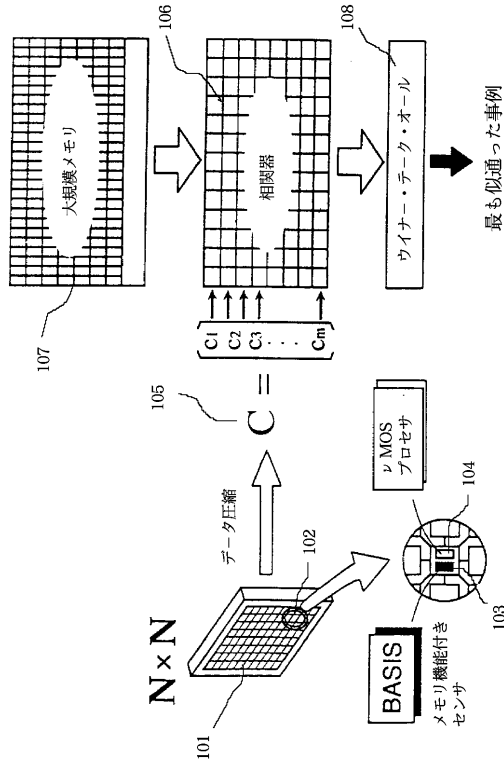
311、313、315 スイッチ素子、

312、314、316 接地電位、

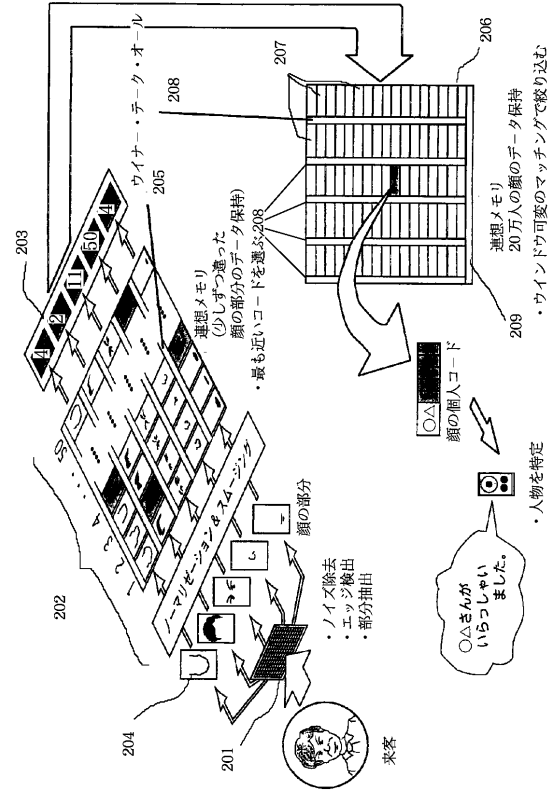
50

3 1 3	スイッチ素子、	
3 1 7、3 1 8、3 2 3、3 2 4	入力電極、	
3 1 9、3 2 0、3 2 1、3 2 2	トランスミッションゲート、	
3 2 5	外部の容量負荷、	
6 0 1	NMOSトランジスタ、	
6 0 2	フローティングゲート電極、	
6 0 3	ドレイン、	
6 0 4	電源ライン、	
6 0 5	ソース、	
6 0 6	外部の容量負荷、	10
6 0 7	フローティングゲート 6 0 2 と容量結合した電極、	
6 0 8	電荷注入電極、	
6 0 9	トンネル接合、	
6 1 0	容量、	
6 1 1	プログラム電圧 (V_{EXT}) 印加用端子、	
6 1 2	NMOSトランジスタ、	
6 1 3	フローティングゲート、	
6 1 4	スイッチ、	
6 1 5	信号線、	
8 0 1	NMOSトランジスタ、	20
8 0 2	フローティングゲート電極、	
8 0 3	ドレイン、	
8 0 4	電源ライン、	
8 0 5	ソース、	
8 0 6	NMOSトランジスタ、	
8 0 7	共通読み出し電圧線、	
8 0 8	ゲート電極、	
8 1 0	フローティングゲートと容量結合する電極、	
8 1 1	NMOSトランジスタ、	
8 1 2	書き込み電圧発生線、	30
8 1 4、8 1 5、8 1 6	メモリセル、	
8 1 7	共通書き込み電圧発生線 8 1 2 と容量結合する電極、	
8 1 8	NMOSトランジスタ、	
8 1 9	ソース電極、	
8 2 0	ゲート電極、	
8 2 1	NMOSトランジスタ、	
8 2 2	入力電極、	
8 2 3	インバータ、	
8 2 4	インバータの入力、	
8 2 5	NMOSトランジスタ、	40
8 2 6	インバータの出力、	
9 0 1	優先順位決定回路、	
9 0 2	マイクロプロセサ。	

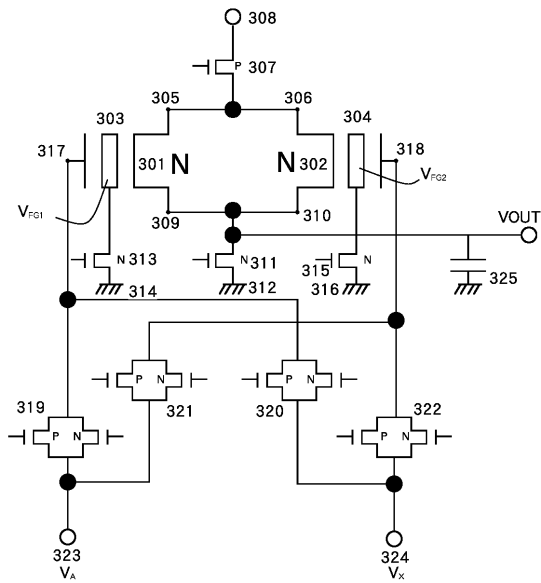
【 図 1 】



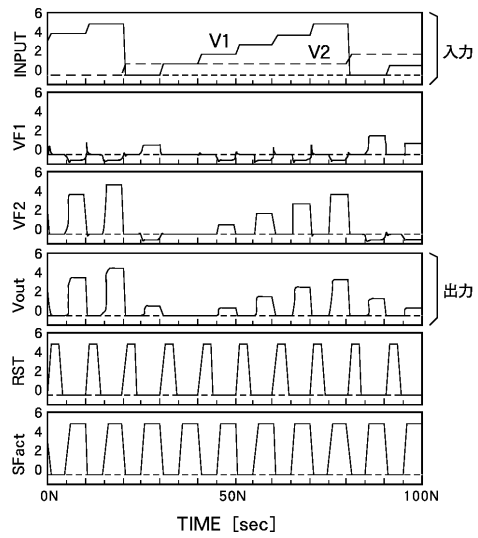
【 図 2 】



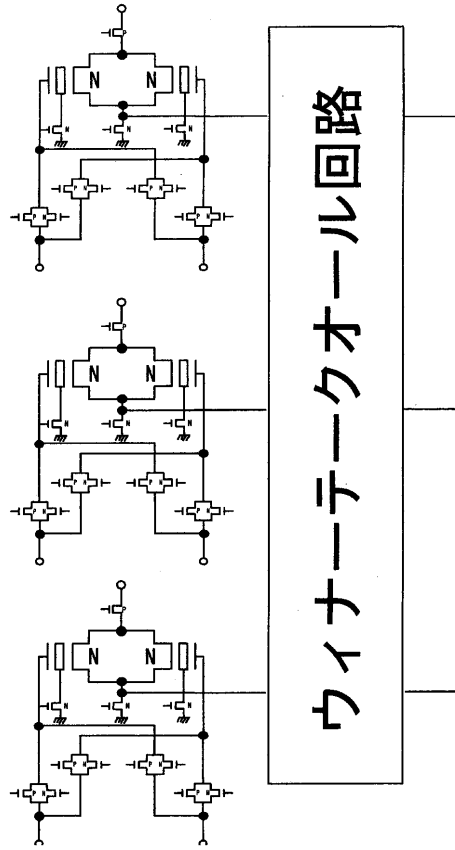
【 図 3 】



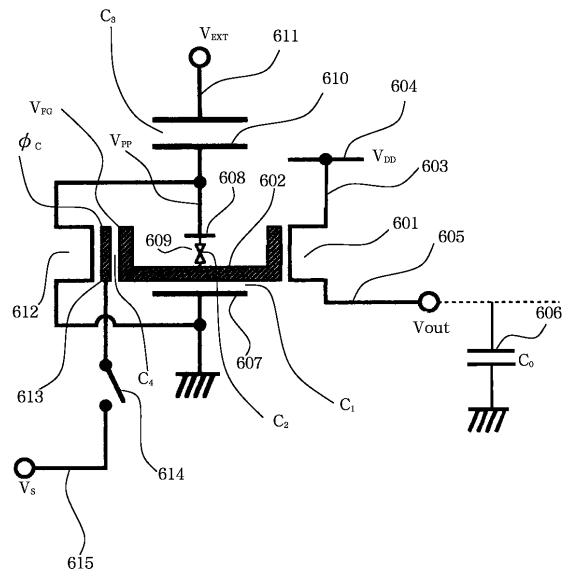
【 図 4 】



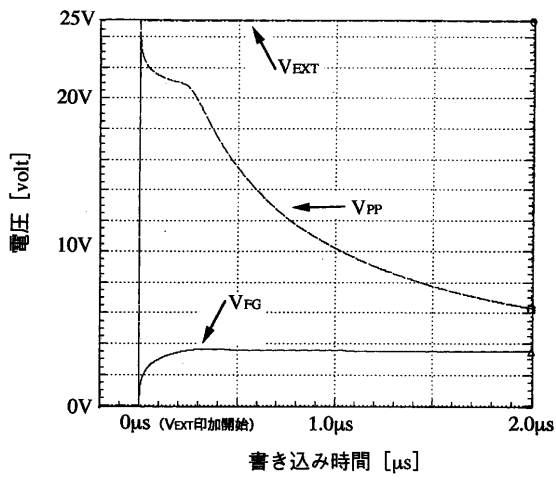
【図5】



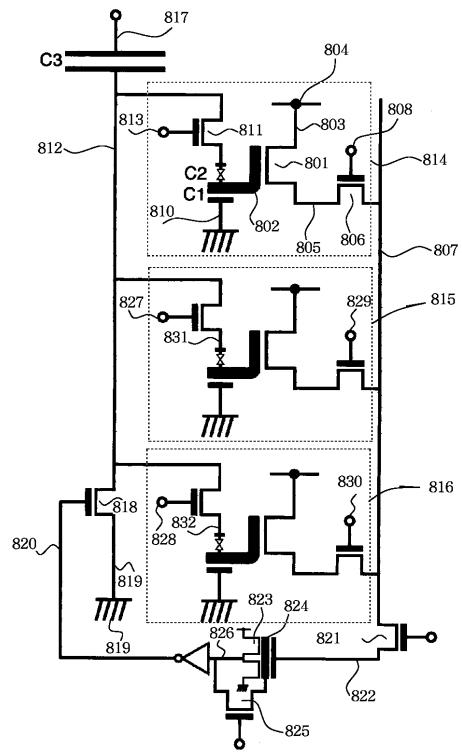
【図6】



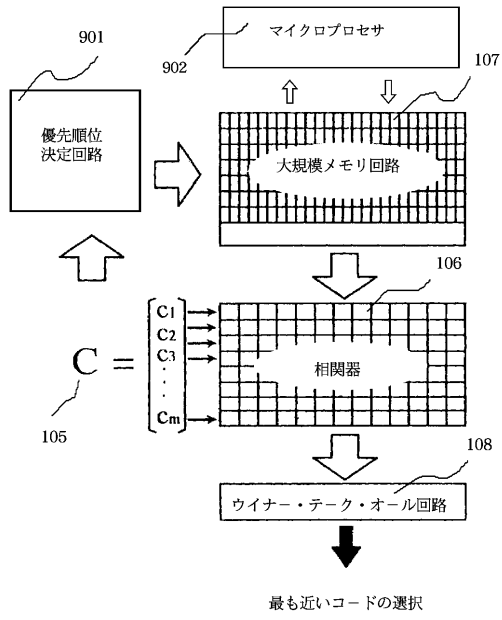
【図7】



【図8】



【 図 9 】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

G06G 7/12 - G06G 7/20

G06T 7/00

G06F 7/02