

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4845986号  
(P4845986)

(45) 発行日 平成23年12月28日 (2011.12.28)

(24) 登録日 平成23年10月21日 (2011.10.21)

(51) Int. Cl. F I  
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 5 O 1 P  
 HO 1 L 23/52 (2006.01) HO 1 L 21/88 T  
 HO 1 L 21/3205 (2006.01) HO 1 L 21/88 J

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2009-60834 (P2009-60834)	(73) 特許権者	000001889 三洋電機株式会社
(22) 出願日	平成21年3月13日 (2009. 3. 13)		大阪府守口市京阪本通2丁目5番5号
(62) 分割の表示	特願2004-40408 (P2004-40408) の分割	(74) 代理人	100131071 弁理士 ▲角▼谷 浩
原出願日	平成16年2月17日 (2004. 2. 17)	(72) 発明者	亀山 工次郎 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(65) 公開番号	特開2009-135529 (P2009-135529A)	(72) 発明者	鈴木 彰 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(43) 公開日	平成21年6月18日 (2009. 6. 18)	(72) 発明者	岡山 芳央 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
審査請求日	平成21年3月13日 (2009. 3. 13)		
(出願人による申告) 国等の委託研究の成果に係る特許出願 (平成13年度新エネルギー・産業技術総合開発機構からの委託研究「超高密度電子Si技術の研究開発 (エネルギー使用合理化技術開発) 」)、産業活力再生特別措置法30条の適用を受けるもの			

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の主面上に形成されたパッド電極と前記第1の主面と対向した面がバックグラインドで削られ、このバックグラインドで発生した機械的ダメージが除去されてなる第2の主面とを有する半導体チップと、

前記半導体チップの第1の主面に接着された支持体と、

前記半導体チップの第2の主面から貫通し、前記パッド電極に到達して前記パッド電極が露出したビアホールと、

前記ビアホール底部の前記パッド電極が露出した状態で、前記ビアホールの側壁に形成された側壁絶縁膜と、

前記ビアホールを通して前記パッド電極と電氣的に接続され、前記ビアホールの底部および前記側壁絶縁膜を覆うシード層と、前記シード層の上に設けられ、前記ビアホールを通して前記パッド電極と電氣的に接続され、前記ビアホールの底部および前記側壁を覆う、不完全に埋め込まれてなる電解メッキ層とから成る、前記半導体チップの裏面に延びている配線層とを有し、

前記配線層は、前記パッド電極からハンダボール形成領域にいたる事を特徴とする半導体装置。

【請求項2】

前記配線層上を覆うように形成された保護層と、

前記保護層の開口部に相当する所の前記配線層上に形成されたハンダボールとを有する

請求項 1 に記載の半導体装置。

【請求項 3】

前記半導体チップの裏面で、前記ビアホールと隣接した位置に緩衝層を有し、前記配線層は、前記緩衝層を覆い、前記緩衝層上の前記配線層に前記ハンダボールが設けられる請求項 1 に記載の半導体装置。

【請求項 4】

前記支持体は、ガラス基板から成る請求項 1、請求項 2 または請求項 3 に記載の半導体装置。

【請求項 5】

前記支持体は、金属基板または有機物から成る基板またはテープから成る請求項 1 乃至請求項 4 のいずれか 1 項に記載の半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チップサイズパッケージ型の半導体装置に関するものである。

【背景技術】

【0002】

近年、三次元実装技術として、また新たなパッケージ技術として、CSP (Chip Size Package) が注目されている。CSP とは、半導体チップの外形寸法と略同サイズの外形寸法を有する小型パッケージをいう。

20

【0003】

従来より、CSP の一種として、BGA 型の半導体装置が知られている。この BGA 型の半導体装置は、半田等の金属部材からなるボール状の導電端子をパッケージの一主面上に格子状に複数配列し、パッケージの他の面上に搭載される半導体チップと電氣的に接続したものである。

【0004】

そして、この BGA 型の半導体装置を電子機器に組み込む際には、各導電端子をプリント基板上の配線パターンに圧着することで、半導体チップとプリント基板上に搭載される外部回路とを電氣的に接続している。

【0005】

30

このような BGA 型の半導体装置は、側部に突出したリードピンを有する SOP (Small Outline Package) や QFP (Quad Flat Package) 等の他の CSP 型の半導体装置に比べて、多数の導電端子を設けることが出来、しかも小型化できるという長所を有する。この BGA 型の半導体装置は、例えば携帯電話機に搭載されるデジタルカメラのイメージセンサチップとしての用途がある。

【0006】

図 13 は従来の BGA 型の半導体装置の概略構成を成すものであり、図 13 (A) は、この BGA 型の半導体装置の表面側の斜視図である。また、図 13 (B) はこの BGA 型の半導体装置の裏面側の斜視図である。

【0007】

40

この BGA 型の半導体装置 101 は、第 1 及び第 2 のガラス基板 102、103 の間に半導体チップ 104 がエポキシ樹脂 105a、105b を介して封止されている。第 2 のガラス基板 103 の一主面上、即ち BGA 型の半導体装置 101 の裏面上には、導電端子 106 が格子状に複数配置されている。この導電端子 106 は、第 2 の配線 110 を介して半導体チップ 104 へと接続される。複数の第 2 の配線 110 には、それぞれ半導体チップ 104 の内部から引き出されたアルミニウム配線が接続されており、各導電端子 106 と半導体チップ 104 との電氣的接続がなされている。

【0008】

この BGA 型の半導体装置 101 の断面構造について図 14 を参照して更に詳しく説明する。図 14 はダイシングラインに沿って、個々のチップに分割された BGA 型の半導体

50

装置 101 の断面図を示している。

【0009】

半導体チップ 104 の表面に配置された絶縁膜 108 上に第 1 の配線 107 が設けられている。この半導体チップ 104 は樹脂層 105 a によって第 1 のガラス基板 102 と接着されている。また、この半導体チップ 104 の裏面は、樹脂層 105 b によって第 2 のガラス基板 103 と接着されている。

【0010】

そして、第 1 の配線 107 の一端は第 2 の配線 110 と接続されている。この第 2 の配線 110 は、第 1 の配線 107 の一端から第 2 のガラス基板 103 の表面に延在している。そして、第 2 のガラス基板 103 上に延在した第 2 の配線上には、ボール状の導電端子 106 が形成されている。

10

【先行技術文献】

【特許文献】

【0011】

【特許文献 1】特表 2002 - 512436 号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかしながら、上述した BGA 型の半導体装置 101 において、第 1 の配線 107 と第 2 の配線 110 との接触面積が非常に小さいので、この接触部分で断線するおそれがあった。また、第 2 の配線 110 のステップカバレッジにも問題があった。そこで、本発明は BGA を有する半導体装置及びその製造方法において、信頼性の向上を図る。

20

【0013】

また、上述した半導体装置では半導体チップ 104 にガラス基板 102, 103 をエポキシ樹脂を介して接着しているため、それぞれの熱膨張係数が異なるもの同士を接着しているため、熱処理を伴う各種作業工程中で半導体ウエハの反りが発生して、作業性が悪くなるという問題があった。

【課題を解決するための手段】

【0014】

本発明の半導体装置は、半導体チップの第 1 の主面上に形成されたパッド電極と、前記半導体チップの第 1 の主面に接着された支持体と、前記半導体チップの第 2 の主面から前記パッド電極の表面に貫通するビアホールと、前記ビアホールの側壁及び前記半導体チップの側端部に形成された CVD 膜から成る側壁絶縁膜と、前記ビアホールを通して、前記パッド電極と電気的に接続された配線層とを具備することを特徴とする。

30

【0015】

また、前記配線層は、メッキ法またはスパッタ法により形成されていることを特徴とする。

【0016】

更に、前記配線層上を覆うように形成された保護層と、前記配線層上に形成された導電端子とを具備することを特徴とする。

40

【0017】

また、前記半導体チップの側端部にエッチングされた面を有することを特徴とする。

【0018】

更に、前記半導体チップの側端部及び裏面部にエッチングされた面を有することを特徴とする。

【0019】

そして、前記支持体は、ガラス基板または金属基板または有機物から成る基板またはテープから成ることを特徴とする。

【発明の効果】

【0020】

50

本発明によれば、半導体チップのパッド電極から、その導電端子に至るまでの配線が、ビアホールを介して形成されるため、上記配線の断線やステップカバレッジの劣化を防止することができる。これにより、信頼性の高い半導体装置を得ることができる。

【0021】

また、本発明によれば、支持体が接着された半導体基板が個々の半導体チップに分離された後、半導体チップの側端部に側壁絶縁膜が形成されるため、半導体チップ内への水分の侵入を極力防止することが可能となる。

【図面の簡単な説明】

【0022】

【図1】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

10

【図2】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図3】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図4】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図5】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図6】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図7】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図8】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図9】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図10】本発明の実施形態に係る半導体装置の製造方法を説明する断面図である。

【図11】本発明の実施形態に係る半導体装置及びその製造方法を説明する断面図である

20

【図12】本発明の実施形態に係る半導体装置の製造方法を説明する平面図である。

【図13】従来に係る半導体装置を説明する図である。

【図14】従来に係る半導体装置を説明する図である。

【発明を実施するための最良の形態】

【0023】

次に、本実施形態について図面を参照しながら詳細に説明する。まず、この半導体装置の構造について説明する。図11はこの半導体装置の断面図であり、後述する工程を経た半導体基板、即ちシリコンウエハー51をダイシングライン領域DLのダイシングライン中心DSに沿って個々の半導体チップに分割したものを示している。

30

【0024】

半導体チップであるシリコンチップ51Aは、例えばCCD(Charge Coupled Device)イメージセンサ・チップであり、その第1の主面である表面にはBPSG等の層間絶縁膜52を介してパッド電極53が形成されている。このパッド電極53は、通常ワイヤボンディングに用いられるパッド電極をダイシングライン領域DLにまで拡張したものであり、拡張パッド電極とも呼ばれる。

【0025】

このパッド電極53は、シリコン窒化膜等のパッシベーション膜54で被覆されている。このパッド電極53が形成されたシリコンチップ51Aの表面には、例えばエポキシ樹脂から成る樹脂層55を介して、ガラス基板56が接着されている。ガラス基板56はシリコンチップ51Aを保護する保護基板として、またシリコンチップ51Aを支持する支持基板として用いられる。

40

【0026】

シリコンチップ51AがCCDイメージセンサ・チップの場合には、外部からの光をシリコンチップ51Aの表面のCCDデバイスで受光する必要があるため、ガラス基板56のような透明基板、もしくは半透明基板を用いる必要がある。シリコンチップ51Aが受光や発光するものでない場合には不透明基板であってもよい。

【0027】

そして、シリコンチップ51Aの第2の主面である裏面から、パッド電極53に到達するビアホール81が形成されている。また、ビアホール81の側壁及びシリコンチップ5

50

1 Aの側面には側壁絶縁膜59Aが形成されている。側壁絶縁膜59Aは後述する配線層63とシリコンチップ51Aとを電氣的に絶縁するものである。

【0028】

また、シリコンチップ51Aの裏面には、ビアホール81と隣接した領域に、第1の絶縁膜57を介して緩衝層60が形成されている。

【0029】

そして、このビアホール81を通してパッド電極53に電氣的に接続し、かつビアホール81からシリコンチップ51Aの裏面上及び側面に延在する配線層63が形成されている。配線層63は、再配線層とも呼ばれるもので、例えば銅(Cu)上に、Ni/Au等のバリア層64を積層した構造である。

10

【0030】

配線層63の下層にはシード層61が設けられているが、これは配線層63を電解メッキによって形成する際に用いられるメッキ電極となる金属層である。配線層63は、緩衝層60を覆うように、シリコンチップ51Aの裏面上に延びている。

【0031】

そして、配線層63は保護層であるソルダーマスク65によって覆われているが、ソルダーマスク65には緩衝層60上の部分に開口部Kが形成されている。このソルダーマスク65の開口部Kを通して、導電端子であるハンダボール66が搭載されている。これにより、ハンダボール66と配線層63とが電氣的に接続されている。このようなハンダボール66を複数形成することでBGA構造を得ることができる。

20

【0032】

こうして、シリコンチップ51Aのパッド電極53から、その裏面に形成されたハンダボール66に至るまでの配線が可能となる。また、ビアホール81を通して配線しているので、断線が起こりにくくステップカバレッジも優れている。さらに配線の機械的強度も高い。

【0033】

また、シリコンチップ51Aの側面が、配線層63やソルダーマスク65で覆われているため、シリコンチップ51A内部への水分の侵入を極力防ぐことができる。

【0034】

また、ハンダボール66は緩衝層60上に配置されているので、このハンダボール66を介して、この半導体装置をプリント基板へ搭載する際に、緩衝層60が一種のクッションとして働き、その衝撃が緩和されハンダボール66や本体である半導体装置が損傷することが防止される。

30

【0035】

また、ハンダボール66の形成位置がシリコンチップ51Aの裏面より緩衝層60の厚さ分だけ高くなる。これにより、この半導体装置をプリント基板に搭載する際に、プリント基板とハンダボール66との熱膨張係数の差によって生じる応力によって、ハンダボール66やシリコンチップ51Aが損傷することが防止される。

【0036】

なお、緩衝層60は、有機絶縁物や無機絶縁物、金属、シリコン、ホトレジスト等の様々な材質を用いることができるが、クッションとして機能させるには、弾力性に富んだ有機絶縁物や無機絶縁物、ホトレジスト等が適している。

40

【0037】

また、シリコンチップ51Aは、GaAs、Ge、Si-Ge等の他の材料の半導体チップであってもよい。

【0038】

次に、上述した本実施形態に係る半導体装置の製造方法について説明する。図1に示すように、半導体基板であるシリコンウエハー51の第1の主面、即ち表面には、図示しない半導体集積回路(例えば、CCDイメージセンサ)が形成されているものとする。なお、図1は、後述するダイシング工程で分割される予定の隣接チップの境界(即ちダイシン

50

グライン領域DL近傍)の断面を示している。

【0039】

そのシリコンウエハー51の表面に、BPSG等の層間絶縁膜52を介して、一对のパッド電極53を形成する。この一对のパッド電極53は例えばアルミニウム、アルミニウム合金、銅などの金属層から成り、その厚さは1 $\mu$ m程度である。また、一对のパッド電極53はダイシングライン領域DLに拡張され、その拡張された端部をダイシングライン領域DLのダイシングライン中心DSの手前に配置している。

【0040】

そして、一对のパッド電極53を覆うシリコン窒化膜等のパッシベーション膜54を形成し、さらにこのパッシベーション膜54上に、例えばエポキシ樹脂から成る樹脂層55を塗布する。

10

【0041】

そして、この樹脂層55を介して、シリコンウエハー51の表面にガラス基板56を接着する。このガラス基板56はシリコンウエハー51の保護基板や支持基板として機能する。なお、支持基板はガラス基板56に限らず、例えば金属基板や有機物から成る基板状のものやテープ状のものでも良い。そして、このガラス基板56が接着された状態で、必要に応じてシリコンウエハー51の裏面エッチング、いわゆるバックグラインドを行い、その厚さを150 $\mu$ m程度に加工する。

【0042】

その後、酸(例えば、HFと硝酸等との混合液)をエッチャントとして用いて20 $\mu$ m程度、シリコンウエハー51をエッチングする。これにより、バックグラインドによって生じたシリコンウエハー51の機械的なダメージ層を除去し、シリコンウエハー51の表面に形成されたデバイスの特性を改善するのに有効である。本実施形態では、シリコンウエハー51の最終仕上げりの厚さは130 $\mu$ m程度であるが、これはデバイスの種類に応じて適宜選択することができる。

20

【0043】

そして、上記工程により裏面が削られたシリコンウエハー51の裏面の全面に第1の絶縁膜57を形成する。この第1の絶縁膜57は、例えばプラズマCVD法によって形成され、PE-SiO<sub>2</sub>膜やPE-SiN膜が適している。なお、第1の絶縁膜57の形成を省略しても構わない。

30

【0044】

次に、図2に示すように、第1の絶縁膜57上にホトレジスト層58を選択的に形成する。このホトレジスト層58をマスクとして、第1の絶縁膜57及びシリコンウエハー51のエッチングを行う。このエッチングにより、シリコンウエハー51を貫通するビアホール81を形成すると同時に、ダイシングライン領域DLのダイシングライン中心DS近傍に沿って延び、かつシリコンウエハー51を貫通する溝82を形成する。なお、前記第1の絶縁膜57の形成工程を省略しても良く、この場合には、シリコンウエハー51上に直接形成したホトレジスト層58をマスクとして、シリコンウエハー51のエッチングを行う。

【0045】

40

ビアホール81及び溝82を形成するには、ウェットエッチングする方法やドライエッチングを使用する方法がある。本実施形態では、少なくともSF<sub>6</sub>もしくはO<sub>2</sub>もしくはC<sub>4</sub>F<sub>8</sub>等を含むエッチングガスを用いたドライエッチングを行っている。ビアホール81については、その断面形状は、後述するシード層61の被覆性を良くするために、順テーパー形状に加工してもよい。このようにビアホール81と、ダイシングラインに沿って形成された溝82はエッチングされた面を有している。

【0046】

ここで、ビアホール81の底部には層間絶縁膜52が露出され、それに接してパッド電極53がある。ビアホール81の幅は、40 $\mu$ m程度、その長さは200 $\mu$ m程度である。また、溝82の底部においても層間絶縁膜52が露出される。溝82の深さは、ビアホ

50

ール 8 1 の長さと同じ（もしくは同程度）である。即ち、溝 8 2 によって、シリコンウエハー 5 1 は、ガラス基板 5 6 に接着された状態で個々のシリコンチップに分断される。これにより、後述する工程において、加熱処理（例えば、後に説明するスパッタ工程における加熱処理や、ハンダのリフローにおける加熱処理）が行われる場合、シリコンウエハー 5 1 が個片化されているため、従来のようなシリコンウエハー 5 1 の熱膨張係数に応じた膨張や収縮が分断され、その熱膨張係数に応じた膨張や収縮が低減され、ガラス基板 5 6 の熱膨張係数に応じた膨張や収縮を考慮すればよくなり、従来に比べて反りの度合いが極力低減される。また、接着剤として用いたエポキシ樹脂の熱膨張係数に応じた膨張や収縮もあわせて考慮することで、更に信頼性が向上する。

【 0 0 4 7 】

なお、シリコンウエハー 5 1 に形成されたビアホール 8 1、溝 8 2 及びダイシングライン領域 D L の位置関係は、シリコンウエハー 5 1 の裏面から見た場合の平面図である図 1 2 のようになる。なお、パッド電極 5 3 はダイシングラインに沿って形成されているものに限定されるものではない。

【 0 0 4 8 】

次に、図 3 に示すように、ビアホール 8 1 及び溝 8 2 が形成されたシリコンウエハー 5 1 の裏面全体に第 2 の絶縁膜 5 9 を形成する。第 2 の絶縁膜 5 9 は、例えばプラズマ C V D 法によって形成され、P E - S i O <sub>2</sub> 膜や P E - S i N 膜が適している。第 2 の絶縁膜 5 9 は、ビアホール 8 1 の底部、側壁、溝 8 2 の底部、側壁、及び第 1 の絶縁膜 5 7 上に形成される。

【 0 0 4 9 】

次に、図 4 に示すように、ビアホール 8 1 に隣接して、第 2 の絶縁膜 5 9 上に緩衝層 6 0 を形成する。緩衝層 6 0 としては、フィルムレジストを用い、マスク露光及び現像処理により、所定の領域に形成することができる。緩衝層 6 0 は、これに限らず、有機絶縁物や無機絶縁物、金属、シリコン、ホトレジスト等の様々な材質を用いることができるが、クッションとして機能させるには、弾力性に富んだ有機絶縁物や無機絶縁物、ホトレジスト等が適している。なお、前記緩衝層 6 0 は省略しても良い。

【 0 0 5 0 】

次に、図 5 に示すように、ホトレジスト層を用いしないで、異方性のドライエッチングを行う。これにより、ビアホール 8 1 の側壁及び溝 8 2 の側壁のみに第 2 の絶縁膜 5 9 が残り、これが側壁絶縁膜 5 9 A となる。また、ビアホール 8 1 と溝 8 2 の底部に位置する第 2 の絶縁膜 5 9 及び層間絶縁膜 5 2 がエッチング除去される。そして、ビアホール 8 1 の底部では、パッド電極 5 3 が露出される。

【 0 0 5 1 】

このように、本実施形態では、ビアホール 8 1 の形成後に、第 2 の絶縁膜 5 9 をビアホール 8 1 内に形成し、緩衝層 6 0 の形成後に、ビアホール 8 1 の底部に位置する第 2 の絶縁膜 5 9 及び層間絶縁膜 5 2 をエッチングして除去し、パッド電極 5 3 を露出している。

【 0 0 5 2 】

これとは反対に、ビアホール 8 1 の底部をエッチングして、パッド電極 5 3 を露出した後に、緩衝層 6 0 を形成することも可能であるが、そうすると、緩衝層 6 0 を形成する時に、露出されたビアホール 8 1 の底部が汚染され、後にビアホール 8 1 内に形成する配線層 6 3 とパッド電極 5 3 との電氣的接続が不良になるおそれがある。そこで、本実施形態のように、ビアホール 8 1 を形成後に、ビアホール 8 1 の底部をエッチングする方が、配線層 6 3 とパッド電極 5 3 との良好な電氣的接続を得る上で好ましい。

【 0 0 5 3 】

また、図 5 の工程で緩衝層 6 0 を形成後にビアホール 8 1 内の絶縁膜をエッチングして側壁絶縁膜 5 9 A を形成しているが、このエッチングにより緩衝層 6 0 の表面が荒れて、後述するシード層 6 1 との密着性が上がるという利点もある。

【 0 0 5 4 】

次に、配線層 6 3 を形成する工程を説明する。図 6 に示すように、シード層 6 1 を、加

10

20

30

40

50

熱処理を伴うスパッタ法、MOCVD法、無電解メッキなどのいずれかの方法により、シリコンウエハー51の裏面側から、ビアホール81内及び溝82内を含むシリコンウエハー51の裏面全体に形成する。シード層は、例えば銅(Cu)層、もしくはチタンタンゲステン(TiW)層やチタンナイトライド(TiN)層、タンタルナイトライド(TaN)層などのバリアメタル層、もしくは銅(Cu)層とバリアメタル層との積層構造から成る。ここで、ビアホール81内では、シード層61は、パッド電極53と電氣的に接続され、かつ側壁絶縁膜59Aを覆うように形成される。

【0055】

また、シード層61は緩衝層60も覆っている。ここで、シード層61を構成するバリアメタル層は、銅(Cu)が側壁絶縁膜59Aを通してシリコンウエハー51中に拡散するのを防止する。ただし、側壁絶縁膜59Aがシリコン窒化膜(SiN膜)で形成されている場合には、シリコン窒化膜(SiN膜)が銅拡散に対するバリアとなるため、シード層61は銅(Cu)のみでも問題ない。

10

【0056】

このシード層61は、後述する電解メッキ時のメッキ成長のためメッキ電極となる。その厚さは1µm程度でよい。なお、ビアホール81が順テーパーに加工されている場合には、シード層61の形成にはスパッタ法を用いることができる。

【0057】

次に、図7に示すように、銅(Cu)の電解メッキを行うことで配線層63を形成する。配線層63はビアホール81からシリコンウエハー51の裏面に取り出され、この裏面上を延びて、緩衝層60を覆う。これにより配線層63は、パッド電極53と電氣的に接続される。また、配線層63は、シリコンウエハー51の裏面から溝82内に延びて、その側壁及び底部を覆うようにして形成されている。

20

【0058】

なお、図7では、配線層63は、ビアホール81内に完全に埋め込まれているが、メッキ時間の調整により、不完全に埋め込まれても良い。また、配線層63は、電解メッキにより、ビアホールVH内に埋め込まれるように形成されているが、これには限定されず、他の方法により形成されてもよい。例えば、配線層63は、CVD法やMOCVD法により、ビアホール81内に銅(Cu)やアルミニウム(Al)等の金属を埋め込む方法により形成されてもよい。また、配線層63は、シリコンウエハー51の裏面の所望領域に、所望の本数を形成することができる。

30

【0059】

こうして、シリコンチップ51Aのパッド電極53からハンダボール66に至る配線層63が、ビアホール81を介して形成されるため、配線層63の断線やステップカバレッジの劣化を、従来例に比して低減することができる。これにより、従来例に比して信頼性の高いBGA型の半導体装置を得ることができる。

【0060】

次に、図8に示すように、ニッケル(Ni)、金(Au)の無電解メッキ、もしくはスパッタ法により、配線層63上に、Ni/Au層から成るバリア層64を形成する。その後、図9に示すように、配線層63上に、保護層であるソルダーマスク65を被着する。ソルダーマスク65は、その緩衝層60上の部分については除去され、開口部Kが設けられている。

40

【0061】

そして、図10に示すように、スクリーン印刷法を用いて、配線層63の所定領域上にハンダを印刷し、このハンダを熱処理でリフローさせることで、ハンダボール66を形成する。ハンダボール66は、ハンダに限らず、鉛フリーの低融点金属材料を用いて形成しても良い。また、ハンダボール66は、その数や形成領域を自由に選択して形成できる。なお、ハンダだけに限定されず、メッキ形成するものであっても良い。

【0062】

ここで、ハンダボール66は、シリコンチップ51Aの裏面より緩衝層60の膜厚の分

50

だけ高い位置に形成されている。これにより、この半導体装置がプリント基板へ実装された時に生じる応力が吸収されやすくなり、ハンダボール66の損傷を極力防止することができる。また、ハンダボール66は、緩衝層60上に形成されるので、プリント基板へ半導体装置を実装する際の衝撃が緩和され、半導体装置の損傷を防止できる。

【0063】

そして、図11に示すように、ダイシングライン領域DLのダイシングライン中心DSに沿ってダイシング工程を行い、シリコンウエハー51を複数のシリコンチップ51Aに分割する。このダイシング工程では、ダイシングブレードを用いて切削している。

【0064】

ここで、溝82は、各シリコンチップ51Aの側面となる。このシリコンチップ51Aの側面は、側壁絶縁膜59A、シード層61、配線層63、バリア層64、ソルーマスク65で覆われている。これにより、シリコンチップ51内への水分の侵入を極力防止することが可能となる。

10

【0065】

上述した工程のうち、加熱処理を伴う工程、即ち、スパッタ法によるシード層61等の形成の際や、ハンダのリフローによるハンダボール66の形成の際は、シリコンウエハー51が溝82によって分断された状態でガラス基板56に支持されている(図12参照)ため、ガラス基板56とシリコンウエハー51の熱膨張係数の差異によって生じる反りが小さくなる。これにより、異なる工程に移行する際のシリコンウエハー51の搬送を円滑に行うことが可能となると共に、半導体装置の歩留まりを向上することが可能となる。

20

【0066】

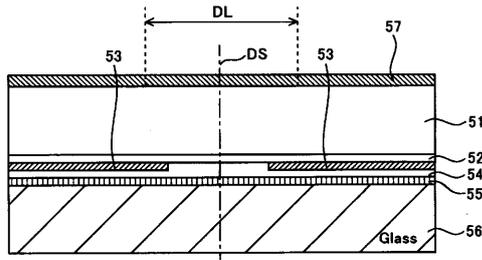
なお、上述した本実施形態では、通常のワイヤボンディングに用いられるパッド電極をダイシングライン領域DLまで拡張して成るパッド電極53を形成しているが、これには限定されず、パッド電極53の代わりにダイシングライン領域DLまで拡張されない通常のワイヤボンディングに用いられるパッド電極をそのまま利用しても良い。この場合は、ビアホール81の形成位置をこのパッド電極に合わせれば良く、他の工程は全く同じである。

【0067】

また、本発明は、ハンダボール66が形成されたBGA型の半導体装置及びその製造方法に適用されるものとしたが、本発明はこれに制限されるものではない。即ち、本発明はシリコンウエハーを貫通するビアホールを形成する工程の後に、加熱処理を伴う工程を含むものであれば、ハンダボールが形成されない半導体装置及びその製造方法にも適用されるものである。例えば、LGA(Land Grid Array)型の半導体装置及びその製造方法にも適用される。

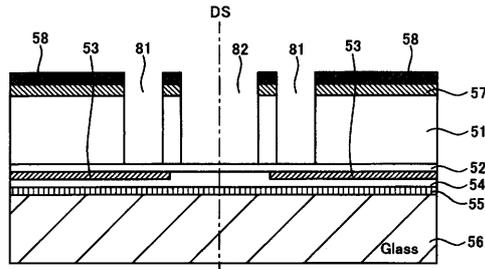
30

【図1】



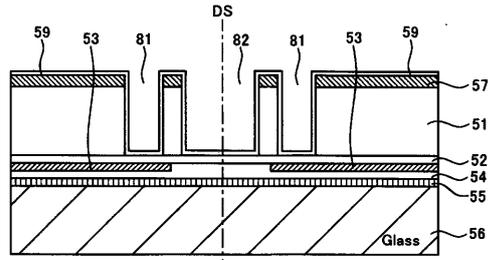
51: シリコンエー  
 52: 層間絶縁膜 53: ハット電極  
 54: パッシベーション膜 55: 樹脂層 56: ガラス基板  
 57: 第1の絶縁膜

【図2】



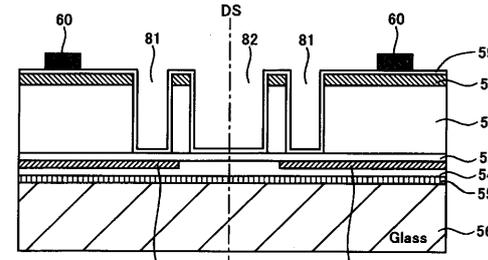
58: 窒素化硼層 81: ビアホール 82: 溝

【図3】



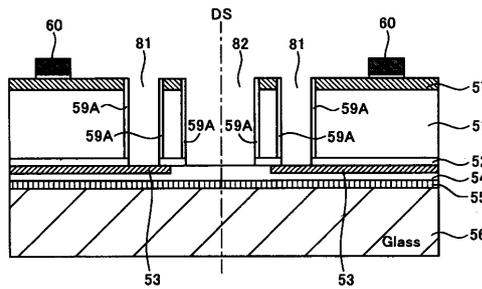
59: 第2の絶縁膜

【図4】

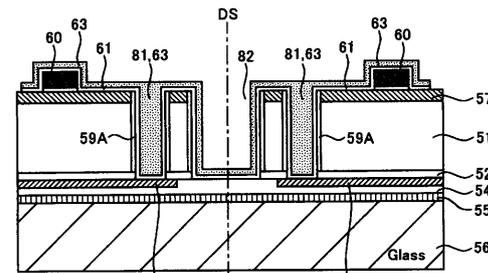


60: 緩衝層

【図5】

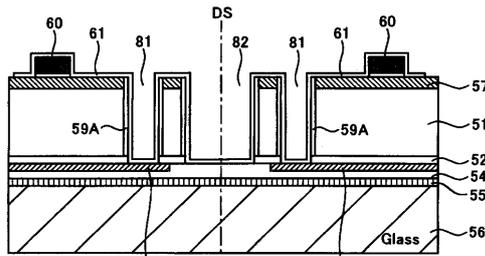


【図7】



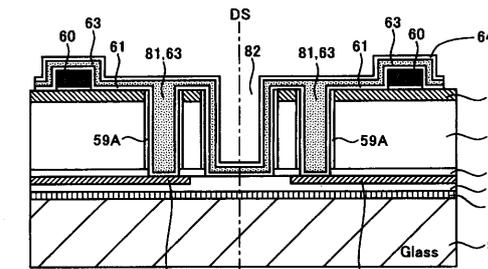
63: 配線層

【図6】



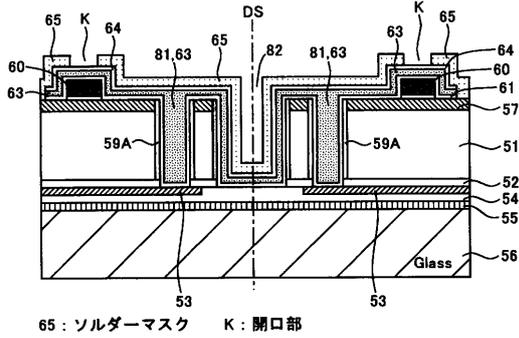
61: シールド層

【図8】



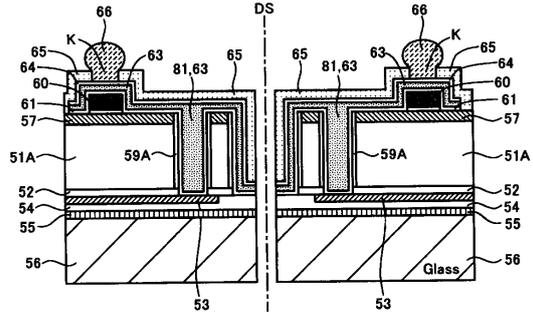
64: バリア層

【図9】

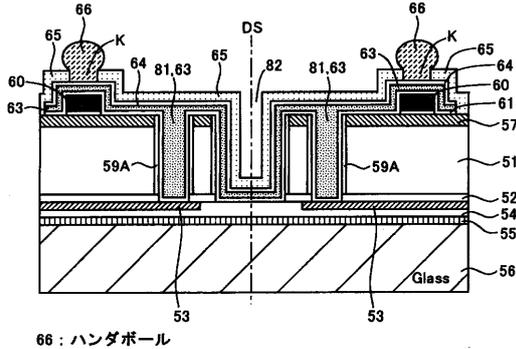


65 : ソルダーマスク K : 開口部

【図11】

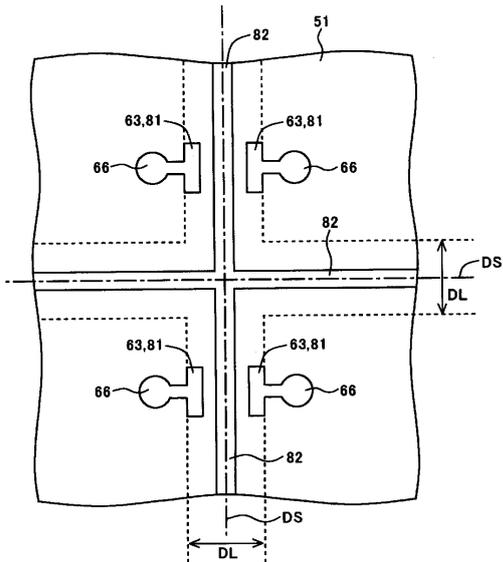


【図10】



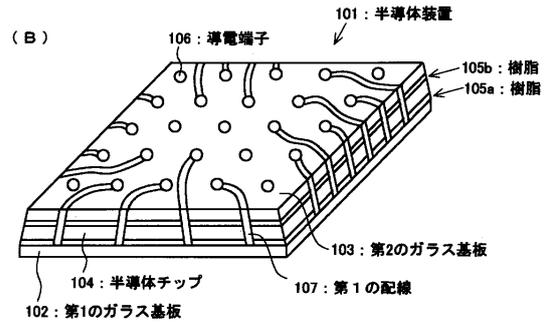
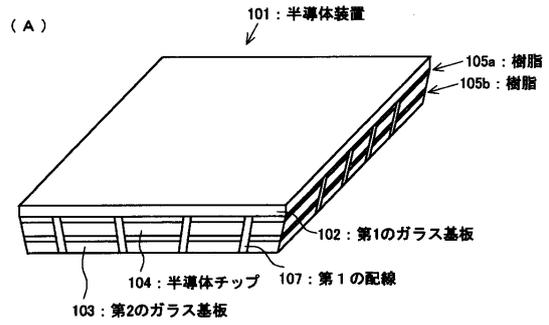
66 : ハンドボール

【図12】

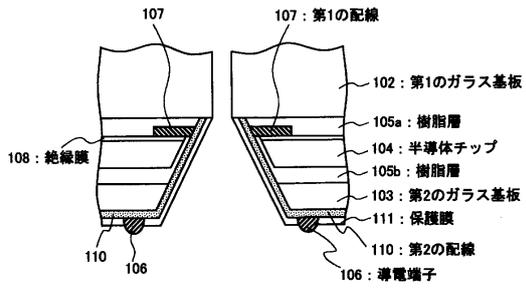


51 : シリコンウエハー 63 : 配線層  
66 : ハンドボール 81 : ピアホール 82 : 溝

【図13】



【図14】



---

フロントページの続き

審査官 瀧澤 佳世

(56)参考文献 特開2002-094082(JP,A)  
特開2002-217331(JP,A)  
特開2004-006835(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12  
H01L 21/3205  
H01L 23/52