

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/60 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월28일 10-0541798 2006년01월02일
---	-------------------------------------	--

(21) 출원번호	10-1998-0027836	(65) 공개번호	10-2000-0008137
(22) 출원일자	1998년07월10일	(43) 공개일자	2000년02월07일

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	김진현 경기도 수원시 팔달구 매탄4동 삼성1차아파트5동 809호
(74) 대리인	김능균

심사관 : 송원선

(54) 반도체 장치의 테그 패턴 형성방법

요약

본 발명에 의한 반도체 장치의 TEG(test element group) 패턴 형성방법은, 각 단위 공정 진행시 TEG 패턴의 일부(예컨대, 모니터링용 개별 소자)가 스크라이브 라인이 아닌 메인 칩의 본딩 패드 하측에 형성되도록 이루어져, 웨이퍼 상에서 스크라이브 라인이 차지하는 면적을 최소화할 수 있게 되므로, 반도체 장치의 네트 다이 수를 증가시킬 수 있게 된다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래 기술로서, 메인 칩의 본딩 패드와 TEG 패턴이 구비된 반도체 장치의 레이 아웃 구조를 도시한 평면도,

도 2는 본 발명의 제 1 실시예로서, 메인 칩의 본딩 패드와 TEG 패턴이 구비된 반도체 장치의 레이 아웃 구조를 도시한 평면도,

도 3은 본 발명의 제 2 실시예로서, 메인 칩의 본딩 패드와 TEG 패턴이 구비된 반도체 장치의 레이 아웃 구조를 도시한 평면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 TEG(test element group) 패턴 형성방법에 관한 것으로, 보다 상세하게는 TEG 패턴(test element group pattern)의 일부를 스크라이브 라인(scribe line)이 아닌 메인 칩(main chip) 형성부의 특정 부분(예컨대, 본딩 패드가 형성될 부분)에 형성해 주므로써, 소자 제조시 반도체 장치의 넷트 다이(net die) 수를 증가시킬 수 있도록 한 반도체 장치의 TEG 패턴 형성방법에 관한 것이다.

반도체 장치의 미세화와 고집적화에 편승하여, 최근에는 소자 제조시 동일 규격의 웨이퍼 상에서 넷트 다이 수의 증가를 위하여 TEG 패턴의 축소나 포토 얼라인 키(photo align key)의 축소를 통해 스크라이브 라인의 면적을 최소화시키는 방향으로 기술 전개가 이루어지고 있다.

도 1에는 이러한 기준에 의거하여 제조된 메인 칩의 본딩 패드와 TEG가 구비된 종래 반도체 장치의 레이아웃 구조를 도시한 평면도가 제시되어 있다. 여기서는 일 예로서, 본딩 패드 형성을 위한 단위 공정 진행시의 테그 패턴 형성에 관하여 살펴본다.

도 1을 참조하면, 종래 반도체 장치의 패드 형성시에는 통상, 메인 칩 형성부에는 반도체 칩을 이루는 다층 적층 구조의 본딩 패드(10) 만이 형성되고, 칩간 소잉(sawing)을 위한 스크라이브 라인에는 TEG 패턴을 이루는 모니터링용 개별 소자(20)(예컨대, TEG 패드)와 상기 개별 소자를 측정하기 위한 제 1 및 제 2 패드 단자(30a),(30b)가 형성되도록 공정이 진행된다.

이때, TEG 패턴은 하나의 모니터링용 개별 소자(20)를 사이에 두고, 그 양측에 제 1 및 제 2 패드 단자(30a),(30b)가 일렬로 배열되도록 이루어져, 이들 개별 소자(20)와 제 1 및 제 2 패드 단자(30a),(30b) 간은 라우트 금속선(route metal)(40)에 의해 전기적으로 연결되도록 구성된다.

따라서, 상기 구조의 TEG 패턴에서는 본딩 패드(10) 형성 공정이 완료된 직후에 다음과 같은 방식으로 단위 공정이 제대로 이루어졌는지의 여부를 판단하게 된다.

즉, 모니터링용 개별 소자(20)의 일측에 연결된 제 1 패드 단자(30a)를 통해 개별 소자(20) 내로 전압을 인가한 뒤, 상기 개별 소자(20)의 타측에 연결된 제 2 패드 단자(30b)를 통해 출력되는 데이터를 모니터링하여 이 데이터 값이 기설정된 세팅치(setting value)와 부합되는지를 판단해 주는 방식으로 공정 불량 발생 여부를 판단하게 되는 것이다.

그러나, 상기와 같이 TEG 패턴을 이루는 모니터링용 개별 소자(20)와 제 1 및 제 2 패드 단자(30a),(30b)를 모두 소잉을 위한 스크라이브 라인에 형성할 경우에는 공정 변수를 모니터링하기 위하여 형성하는 개별 소자(20)의 사이즈가 웨이퍼 측면에서 볼 때 상당한 면적을 차지하는 관계로 인해 반도체 소자 제조시 넷트 다이의 수가 감소되는 문제가 발생되므로, 이에 대한 개선책이 시급하게 요구되고 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 목적은, 반도체 장치를 제조하기 위한 각 단위 공정 진행시 모니터링용 개별 소자는 메인 칩 형성부의 본딩 패드 하측에 위치하고, 이와 연결된 제 1 및 제 2 패드 단자는 스크라이브 라인에 위치하도록 TEG 패턴을 형성해 주므로써, 소자 제조시 넷트 다이의 수를 증가시킬 수 있도록 한 반도체 장치의 TEG 형성방법을 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 제 1 실시예에서는, 반도체 장치의 TEG 패턴 형성방법에 있어서, 상기 TEG 패턴을 이루는 모니터링용 개별 소자는 메인 칩 내의 본딩 패드 하측에 놓여지도록 형성하고, 이와 연결된 제 1 및 제 2 패드 단자는 스크라이브 라인 내에 놓여지도록 형성하는 것을 특징으로 하는 반도체 장치의 TEG 패턴 형성방법이 제공된다.

상기 목적을 달성하기 위하여 본 발명의 제 2 실시예에서는, 반도체 장치의 TEG 패턴 형성방법에 있어서, 상기 TEG 패턴을 이루는 모니터링용 개별 소자는 메인 칩 내의 서로 인접된 본딩 패드와 각각 소정 부분 오버랩되도록 상기 본딩 패드 하측에 형성하고, 이와 연결된 제 1 및 제 2 패드 단자는 스크라이브 라인 내에 놓여지도록 형성하는 것을 특징으로 하는 반도체 장치의 TEG 패턴 형성방법이 제공된다.

상기와 같이 TEG 패턴을 형성할 경우, 상기 TEG 패턴의 일부(예컨대, 모니터링용 개별 소자)가 스크라이브 라인이 아닌 메인 칩 형성부 내에 놓여지게 되므로, 소자 제조시 제 1 및 제 2 패드 단자 간의 피치(pitch)를 줄일 수 있게 되어 웨이퍼 상에서 스크라이브 라인이 차지하는 면적을 줄일 수 있게 된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

본 발명은 스크라이브 라인에 형성하던 TEG 패턴의 일부(예컨대, 모니터링용 개별 소자)를 스크라이브 라인이 아닌 메인 칩 형성부의 특정 부분(예컨대, 본딩 패드가 형성될 부분)에 형성시켜 주므로써, 스크라이브 라인의 면적 감소를 통하여 반도체 장치의 네트 다이 수를 증가시킬 수 있도록 하는데 주안점을 둔 기술이다.

도 2 및 도 3에는 이러한 기준에 의거하여 제조된 메인 칩의 본딩 패드와 TEG 패턴이 구비된 본 발명의 제 1 및 제 2 실시예에 의한 반도체 장치의 레이아웃 구조를 도시한 평면도가 제시되어 있다.

먼저, 도 2의 평면도를 참조하여 본 발명의 제 1 실시예부터 살펴본다.

도 2를 참조하면, 본 발명의 제 1 실시예에서는 반도체 장치의 본딩 패드(200) 형성시 모니터링용 개별 소자(210)는 메인 칩 형성부의 본딩 패드(200) 하측에 놓이는 반면, 제 1 및 제 2 패드 단자(220a),(220b)는 스크라이브 라인 내에 놓이도록 TEG 패턴을 형성하고 있음을 알 수 있다.

이때, 상기 모니터링용 개별 소자(210)와 제 1 및 제 2 패드 단자(220a),(220b) 간은 라우트 금속선(230)에 의해 전기적으로 연결되도록 형성된다.

상기와 같은 방법으로 메인 칩의 본딩 패드(200)와 모니터링용 개별 소자(210)를 형성할 경우, 스크라이브 라인에는 제 1 및 제 2 패드 단자(220a),(220b)만이 놓여지게 되므로 제 1 및 제 2 패드 단자(220a),(220b) 간의 피치를 종래의 경우보다 현격하게 줄일 수 있게 된다. 그 결과, 웨이퍼 상에서 스크라이브 라인이 차지하는 면적 또한 작게 가져갈 수 있게 되므로, 소자 제조시 반도체 장치의 네트 다이의 수를 증가시킬 수 있게 된다.

다음으로, 도 3의 평면도를 참조하여 본 발명의 제 2 실시예를 살펴본다.

도 3를 참조하면, 본 발명의 제 2 실시예에서는 반도체 장치의 본딩 패드(200) 형성시 모니터링용 개별 소자(210)는 메인 칩 내의 서로 인접된 본딩 패드(200)와 각각 소정 부분 오버랩되도록 본딩 패드(200)의 하측에 놓이는 반면, 제 1 및 제 2 패드 단자(220a),(220b)는 스크라이브 라인 내에 놓이도록 TEG 패턴을 형성하고 있음을 알 수 있다.

이때, 상기 모니터링용 개별 소자(210)와 제 1 및 제 2 패드 단자(220a),(220b) 간은 라우트 금속선(230)에 의해 전기적으로 연결되도록 형성된다.

이 경우 역시, 웨이퍼 상에서 스크라이브 라인이 차지하는 면적을 종래의 경우보다 작게 가져갈 수 있게 되므로, 소자 제조시 반도체 장치의 네트 다이의 수를 증가시킬 수 있게 된다.

발명의 효과

이상에서 살펴본 바와 같이 본 발명에 의하면, 반도체 장치의 각 단위 공정 진행시 TEG 패턴의 일부(예컨대, 모니터링용 개별 소자)를 스크라이브 라인이 아닌 메인 칩의 본딩 패드 하측에 위치하도록 형성시켜 주므로써, 웨이퍼 상에서 스크라이브 라인이 차지하는 면적을 최소화할 수 있게 되어 반도체 장치의 네트 다이 수를 증가시킬 수 있게 된다.

(57) 청구의 범위

청구항 1.

반도체 장치의 TEG 패턴 형성방법에 있어서,

상기 TEG 패턴을 이루는 모니터링용 개별 소자는 메인 칩 내의 본딩 패드 하측에 놓여지도록 형성하고, 상기 모니터링용 개별 소자와 연결되는 제 1 및 제 2 패드 단자는 스크라이브 라인 내에 각각 놓여지도록 하며, 상기 모니터링용 개별 소자와 상기 제 1 및 제 2 패드 단자 간은 금속선에 의해 전기적으로 연결되도록 하는 반도체 장치의 TEG 패턴 형성방법.

청구항 2.

제 1항에 있어서, 상기 제 1 및 제 2 패드 단자는 도전성막으로 형성하는 것을 특징으로 하는 반도체 장치의 TEG 패턴 형성방법.

청구항 3.

반도체 장치의 TEG 패턴 형성방법에 있어서,

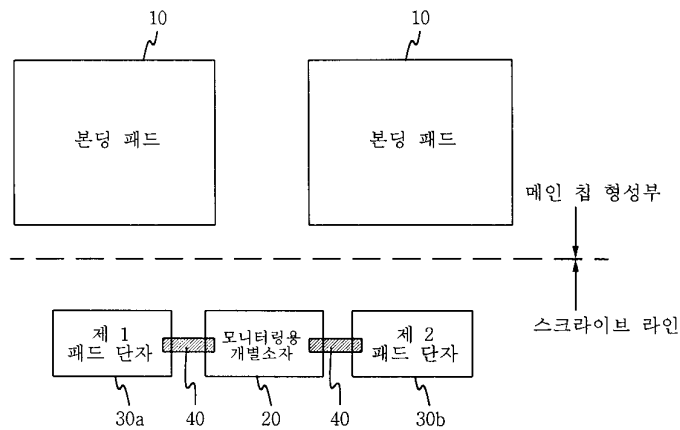
상기 TEG 패턴을 이루는 모니터링용 개별 소자는 메인 칩 내의 서로 인접된 본딩 패드와 각각 소정 부분 오버랩되도록 상기 본딩 패드 하측에 형성하고, 상기 모니터링용 개별 소자와 연결되는 제 1 및 제 2 패드 단자는 스크라이브 라인 내에 각각 놓여지도록 하며, 상기 모니터링용 개별 소자와 상기 제 1 및 제 2 패드 단자간은 금속선에 의해 전기적으로 연결되도록 하는 반도체 장치의 TEG 패턴 형성방법.

청구항 4.

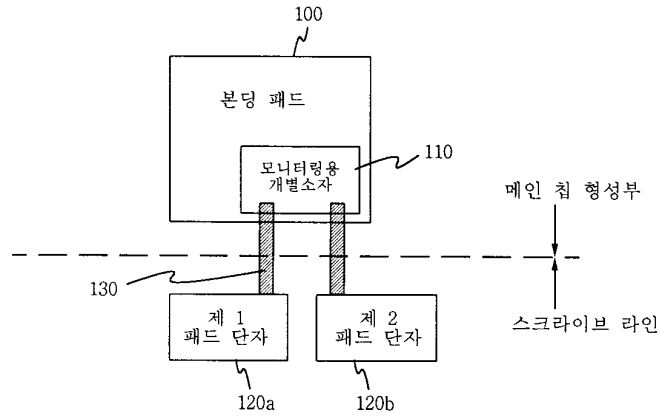
제 3항에 있어서, 상기 제 1 및 제 2 패드 단자는 도전성막으로 형성하는 것을 특징으로 하는 반도체 장치의 TEG 패턴 형성방법.

도면

도면1



도면2



도면3

