

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4706296号
(P4706296)

(45) 発行日 平成23年6月22日(2011.6.22)

(24) 登録日 平成23年3月25日(2011.3.25)

(51) Int. Cl.		F I			
G09F	9/30	(2006.01)	G09F	9/30	338
H01L	27/32	(2006.01)	G09F	9/30	365Z
H01L	51/50	(2006.01)	H05B	33/14	A
H05B	33/04	(2006.01)	H05B	33/04	

請求項の数 5 (全 34 頁)

(21) 出願番号	特願2005-88443 (P2005-88443)	(73) 特許権者	000001443
(22) 出願日	平成17年3月25日(2005.3.25)		カシオ計算機株式会社
(65) 公開番号	特開2006-267847 (P2006-267847A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成18年10月5日(2006.10.5)	(74) 代理人	110001254
審査請求日	平成19年8月24日(2007.8.24)		特許業務法人光陽国際特許事務所
		(74) 代理人	100090033
			弁理士 荒船 博司
		(74) 代理人	100093045
			弁理士 荒船 良男
		(72) 発明者	白崎 友之
			東京都八王子市石川町2951番地5 カシオ計算機株式会社 八王子技術センター内

最終頁に続く

(54) 【発明の名称】 ディスプレイパネル

(57) 【特許請求の範囲】

【請求項1】

基板と、
前記基板上に設けられた複数のトランジスタと、
前記複数のトランジスタのゲート、ソース及びドレインとは異なる導電層によって、それぞれ凸設して形成された複数の第一配線及び複数の第二配線を含む複数の配線と、
前記第一配線及び第二配線の間において前記第一配線及び第二配線に沿って前記基板上に配列され、それぞれ前記複数のトランジスタのうちの少なくとも一つのトランジスタを介して前記第一配線と接続される複数の画素電極と、
前記各画素電極上に成膜された発光層と、
前記発光層を被覆し前記第二配線と導通する対向電極と、
一方の面側において、前記複数の第一配線と対応する位置に前記第一配線のそれぞれと導通する複数の第一厚膜配線及び前記複数の第二配線と対応する位置に前記第二配線のそれぞれと導通する複数の第二厚膜配線が形成された封止基板と、
を備え、互いに隣接する第一厚膜配線同士の間前記第二厚膜配線が配置され、前記複数の第二厚膜配線は一方の端部において引き回し配線によってすべて互いに導通し、前記複数の第一厚膜配線における前記引き回し配線側の一方の端部は、前記引き回し配線と離間して配置されていることを特徴とするディスプレイパネル。

【請求項2】

前記第一厚膜配線は、互いに独立に形成されていることを特徴とする請求項1に記載の

ディスプレイパネル。

【請求項 3】

前記第一厚膜配線は、すべて互いに導通するように形成されていることを特徴とする請求項 1 に記載のディスプレイパネル。

【請求項 4】

前記トランジスタは、ソース及びドレインの一方が画素電極に接続された駆動トランジスタと、前記駆動トランジスタのソース - ドレイン間に書込電流を流すスイッチトランジスタと、発光期間に前記駆動トランジスタのソース - ゲート間の電圧を保持する保持トランジスタとを有することを特徴とする請求項 1 から請求項 3 のいずれか一項に記載のディスプレイパネル。

10

【請求項 5】

前記第一配線は、前記駆動トランジスタのドレイン及びソースの他方と接続されていることを特徴とする請求項 4 に記載のディスプレイパネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子をサブピクセルに用いたディスプレイパネルに関する。

【背景技術】

【0002】

発光素子である有機エレクトロルミネッセンスディスプレイパネルは、大きく分けてパッシブ駆動方式のものと、アクティブマトリクス駆動方式のものに分類することができるが、アクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルが高コントラスト、高精細といった点でパッシブ駆動方式よりも優れている。

20

【0003】

例えば、特許文献 1 に記載された従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルにおいては、有機エレクトロルミネッセンス素子（以下、有機 EL 素子という。）と、画像データに応じた電圧信号がゲートに印加されて有機 EL 素子に電流を流す駆動トランジスタと、この駆動トランジスタのゲートに画像データに応じた電圧信号を供給するためのスイッチングを行うスイッチ用トランジスタとが、画素ごとに設けられている。

30

【0004】

この有機エレクトロルミネッセンスディスプレイパネルでは、走査線が選択されるとスイッチ用トランジスタがオンになり、その時に輝度を表すレベルの電圧が信号線を介して駆動トランジスタのゲートに印加される。これにより、駆動トランジスタがオンになり、ゲート電圧のレベルに応じた大きさの駆動電流が電源から駆動トランジスタのソース - ドレインを介して有機 EL 素子に流れ、有機 EL 素子が電流の大きさに応じた輝度で発光する。

【0005】

その際、回路内に設けられたコンデンサであるストレージキャパシタに、駆動トランジスタのゲートに印加された電圧が記憶され、走査線の選択が終了してから次にその走査線が選択されるまでの間では、スイッチ用トランジスタがオフになってもストレージキャパシタが駆動トランジスタのゲートに電圧を印加するため、ゲート電圧のレベルが保持され続け、有機 EL 素子が電圧に応じた駆動電流の大きさに従った輝度で発光し続ける。

40

【0006】

このような有機エレクトロルミネッセンスディスプレイパネルを駆動するために、有機エレクトロルミネッセンスディスプレイパネルの周辺に駆動回路を設け、有機エレクトロルミネッセンスディスプレイパネルに敷設された走査線、信号線、電源線等に電圧を印加することが行われている。

【0007】

また、従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディス

50

レイパネルでは、電源線のような有機EL素子に電流を流す配線はスイッチ用トランジスタ、駆動トランジスタ等といった薄膜トランジスタの材料を用いて薄膜トランジスタのパターニング工程と同時にパターニングされる。

【0008】

即ち、有機エレクトロルミネッセンスディスプレイパネルを製造するにあたって、薄膜トランジスタの電極のもととなる導電性薄膜に対してフォトリソグラフィ法、エッチング法を行うことによって、その導電性薄膜から薄膜トランジスタの電極を形状加工するとともに、同時に電極に接続される配線も形状加工する。そのため、配線が導電性薄膜から形成されると、配線が薄膜トランジスタの電極の厚さと同じになる。

【特許文献1】特開平8-330600号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、薄膜トランジスタの電極は、その名の通り薄膜で形成されトランジスタとして機能することを前提に設計されているため、言い換えれば発光素子に電流を流すことを前提として設計していないため、配線から複数の発光素子に電流を流そうとすると、配線の電気抵抗が十分低くないので、電圧降下が発生したり、配線を通じた電流の流れの遅延が生じたりする。

【0010】

電圧降下及び電流遅延を抑えるために配線を低抵抗化することが望まれるが、そのために例えばトランジスタのソース、ドレイン電極やゲート電極の少なくともいずれか一方となる金属層を、厚さを変えずに電流が十分に流れる程度にかなり幅広にパターニングして低抵抗配線としたりすると、配線が他の配線や導電体等と平面視して重なる面積が増えてしまい、それらの間で寄生容量が発生してしまう。そのため、電流の流れを遅くする要因となり、特にトランジスタアレイ基板側からEL光を出射するいわゆるボトムエミッション構造の場合、EL素子からの発光を配線が遮光してしまうので、発光面積の割合である開口率の低下を招いてしまっていた。

20

【0011】

また、低抵抗化するために薄膜トランジスタのゲート電極やソース、ドレイン電極のエッチング精度が低下してしまうと、やはりトランジスタの特性に悪影響を及ぼす恐れがある。

30

【0012】

このように、ボトムエミッション構造における開口率の低下を回避しながら配線の低抵抗化を図るために、通常、配線の厚膜化に対して比較的厳しい設計条件が課され、精緻な製造精度が求められる。しかし、そのためにディスプレイパネルが製造し難いものとなり、生産性を低下させてしまうという問題があった。

【0013】

そこで、本発明は、ディスプレイパネルにおいて、トランジスタ構造に影響を与えることなく、配線の低抵抗化を図って電圧降下、信号遅延を抑えることを目的とする。

【課題を解決するための手段】

40

【0014】

以上の課題を解決するために、本発明のディスプレイパネルは、
 基板と、
 前記基板上に設けられた複数のトランジスタと、
 前記複数のトランジスタのゲート、ソース及びドレインとは異なる導電層によって、それぞれ凸設して形成された複数の第一配線及び複数の第二配線を含む複数の配線と、
前記第一配線及び第二配線の間において前記第一配線及び第二配線に沿って前記基板上に配列され、それぞれ前記複数のトランジスタのうちの少なくとも1つのトランジスタを介して前記第一配線と接続される複数の画素電極と、
 前記各画素電極上に成膜された発光層と、

50

前記発光層を被覆し前記第二配線と導通する対向電極と、
一方の面側において、前記複数の第一配線と対応する位置に前記第一配線のそれぞれと導通する複数の第一厚膜配線及び前記複数の第二配線と対応する位置に前記第二配線のそれぞれと導通する複数の第二厚膜配線が形成された封止基板と、
を備え、互いに隣接する第一厚膜配線同士の間に前記第二厚膜配線が配置され、前記複数の第二厚膜配線は一方の端部において引き回し配線によってすべて互いに導通し、前記複数の第一厚膜配線における前記引き回し配線側の一方の端部は、前記引き回し配線と離間して配置されている。

【0017】

前記第一厚膜配線は、互いに独立に形成されていることが好ましい。

10

【0018】

前記第一厚膜配線は、すべて互いに導通するように形成されていることが好ましい。

【0019】

前記トランジスタは、ソース及びドレインの一方がサブピクセル電極に接続された駆動トランジスタと、前記駆動トランジスタのソース・ドレイン間に書込電流を流すスイッチトランジスタと、発光期間に前記駆動トランジスタのソース・ゲート間の電圧を保持する保持トランジスタとを有することが好ましい。

【0020】

前記第一配線は、前記駆動トランジスタのドレイン及びソースの他方と接続されていることが好ましい。

20

【発明の効果】

【0021】

本発明によれば、第一配線や第二配線等の配線がトランジスタのゲート、ソース・ドレインとは異なる導電層によって形成されているから、トランジスタのゲート、ソース・ドレインよりも配線を厚くすることができ、配線を低抵抗化することができる。そのため、配線を通じてトランジスタ・サブピクセル電極に電流を流した場合でも、電圧降下を抑えることができるとともに電流遅延も抑えることができる。

【発明を実施するための最良の形態】

【0022】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。また、以下の説明において、エレクトロルミネッセンス (Electro Luminescence) という用語を EL と略称する。

30

【0023】

なお、本発明のディスプレイパネル 1 はボトムエミッション構造のディスプレイパネルであり、後述する図 6 等では図中下方に向かって発光される。また、本明細書で「平面視」という場合、図 6 等では図中上方からディスプレイパネル 1 を見た場合をいう。

【0024】

[第 1 の実施の形態]

40

[ディスプレイパネルの平面レイアウト]

図 1 は、第 1 の実施形態におけるディスプレイパネルの配線構造を示した略平面図である。図 1 では、後述する封止基板 80 を取り除いた状態を示す。このディスプレイパネル 1 においては、1 ピクセルの画素 3 が、垂直方向に並んだ赤色に発光する 1 ドットの赤サブピクセル P_r と、緑色に発光する 1 ドットの緑サブピクセル P_g と、青色に発光する 1 ドットの青サブピクセル P_b と、からなる。このような画素 3 が絶縁基板 2 上にマトリクス状に配列されている。

【0025】

具体的に水平方向の配列に着目すると、複数の赤サブピクセル P_r が水平方向 (行方向) に沿って一行に配列され、複数の緑サブピクセル P_g が水平方向に沿って一行に配列さ

50

れ、複数の青サブピクセル P b が水平方向に沿って一行に配列されている。垂直方向（列方向）の配列に着目すると、赤サブピクセル P r、緑サブピクセル P g、青サブピクセル P b の順に繰り返し配列され、垂直方向に連続して並んだ赤サブピクセル P r、緑サブピクセル P g、青サブピクセル P b の組み合わせが画素 3 となる。なお、以下の説明において、サブピクセル P はこれら赤サブピクセル P r、緑サブピクセル P g、青サブピクセル P b の中の任意のサブピクセルを表し、サブピクセル P についての説明は赤サブピクセル P r、緑サブピクセル P g、青サブピクセル P b の何れについても適用される。

【 0 0 2 6 】

また、各サブピクセル P の水平方向一端側には、3本の信号線 Y r、Y g、Y b が1組となって垂直方向に沿って延在している。以下、3本の信号線 Y r、Y g、Y b の組み合わせを信号線群 4 という。そして、垂直方向の画素 3 の列 1 列につき、1群の信号線群 4 が設けられている。すなわち、垂直方向に配列された 1 列のサブピクセル P r、P g、P b は、1群の信号線群 4 の信号線 Y r、Y g、Y b にそれぞれ接続されている。1群の信号線群 4 に着目すると 3 本の信号線 Y r、Y g、Y b が互いに近接しているが、隣り合う列の信号線群 4 の間隔は同一信号線群 4 内の隣り合う信号線 Y r、Y g、Y b の間隔よりも広い。

10

【 0 0 2 7 】

ここで、信号線 Y r は垂直方向に並ぶ画素 3 の全ての赤サブピクセル P r に対して信号を供給するものであり、信号線 Y g は垂直方向に並ぶ画素 3 の全ての緑サブピクセル P g に対して信号を供給するものであり、信号線 Y b は垂直方向に並ぶ画素 3 の全ての青サブピクセル P b に対して信号を供給するものである。

20

【 0 0 2 8 】

また、複数本の走査線 X が水平方向に沿って延在し、これら走査線 X に対して複数本の供給線 Z、複数本の給電配線 6 1（第一配線）及び複数本の共通配線 6 2（第二配線）が平行に設けられている。水平方向に沿った一行の画素 3 群につき、1本の走査線 X と、1本の供給線 Z と、1本の給電配線 6 1 と、2本の共通配線 6 2 とが設けられている。

【 0 0 2 9 】

具体的には、2本の共通配線 6 2 のうち 1 本目の共通配線 6 2 は垂直方向に隣り合う赤サブピクセル P r と緑サブピクセル P g の間に配置され、2 本目の共通配線 6 2 と走査線 X とは垂直方向に隣り合う緑サブピクセル P g と青サブピクセル P b との間に配置され、供給線 Z 及び給電配線 6 1 は青サブピクセル P b と隣の画素 3 の赤サブピクセル P r との間に配置されている。

30

【 0 0 3 0 】

ここで、走査線 X 及び供給線 Z は、水平方向に沿った一行に配列された画素 3 の全サブピクセル P r、P g、P b にそれぞれ信号を供給するものである。また、平面視して、供給線 Z には給電配線 6 1 が重なり合うように積層されて形成されることで電氣的に導通されているが、走査線 X と走査線 X に重なり合う位置に形成される共通配線 6 2 とは絶縁されている。

【 0 0 3 1 】

図 1 において水平方向に長尺な矩形状で示されたサブピクセル P r、P g、P b の位置には、有機 EL 素子 2 0 のアノードであるサブピクセル電極 2 0 a（後述する図 2 等に図示）がそれぞれ設けられている。すなわち、ディスプレイパネル 1 全体に着目して平面視した場合、複数のサブピクセル電極 2 0 a がマトリクス状に配列されており、1つのサブピクセル電極 2 0 a によって 1 ドットのサブピクセル P が定まる。従って、給電配線 6 1 と共通配線 6 2 との間或いは 2 本の共通配線 6 2 の間において複数のサブピクセル電極 2 0 a が水平方向に沿った一行に配列されている。

40

【 0 0 3 2 】

ここで、m、n をそれぞれ 2 以上の整数とし、画素 3 が垂直方向に沿って m 個、水平方向に沿って n 個配列されていると、サブピクセル電極 2 0 a は垂直方向に沿ってサブピクセルの 1 列分の数と同数の (3 × m) 個だけ、水平方向に沿ってサブピクセルの 1 行分の

50

数と同数の n 個だけ配列されている。この場合、信号線群 4 が n 群になり、走査線 X 、供給線 Z 及び給電配線 6 1 はそれぞれ m 本、共通配線 6 2 は $(2 \times m)$ 本になる。

【0033】

また、後述する有機 EL 素子 2 0 の有機 EL 層 2 0 b となる有機化合物含有液を一行分のサブピクセル内に堰き止める隔壁としても機能する給電配線 6 1 及び共通配線 6 2 の総和は $(3 \times m)$ 本になるが、全行の有機化合物含有液を各行毎のサブピクセル内に仕切するためには $(3 \times m + 1)$ 本必要になる。このため、共通配線 6 2 と同じ高さ且つ同じ長さの $(3 \times m + 1)$ 本目の隔壁ダミー配線 6 3 (後述する図 9 参照) を給電配線 6 1 及び共通配線 6 2 に合わせて行方向に並列させる。

【0034】

なお、サブピクセル P_r 、 P_g 、 P_b の色は、有機 EL 素子 2 0 の発光色によって定まる。また、以下の説明において、ピクセル $P_{i,j}$ は上から i 行目 ($1 \leq i \leq m$)、左から j 列目 ($1 \leq j \leq n$) の画素を表し、符号の添字として i および j を用いる場合には i 行目または j 列目のピクセルに関するものであることを表す。

【0035】

〔サブピクセルの回路構成〕

次に、サブピクセル P_r 、 P_g 、 P_b の回路構成について図 2 の等価回路図を用いて説明する。何れのサブピクセル P_r 、 P_g 、 P_b も同様に構成されており、それぞれのサブピクセル P_r 、 P_g 、 P_b に有機 EL 素子 2 0、 N チャネル型のアモルファスシリコン薄膜トランジスタ (以下単にトランジスタと記述する。) 2 1、2 2、2 3 及びキャパシタ 2 4 が設けられている。以下では、トランジスタ 2 1 をスイッチトランジスタ 2 1 と称し、トランジスタ 2 2 を保持トランジスタ 2 2 と称し、トランジスタ 2 3 を駆動トランジスタ 2 3 と称する。

【0036】

スイッチトランジスタ 2 1 においては、ソース 2 1 s が、赤サブピクセル $P_{r,i,j}$ では信号線 $Y_{r,j}$ に、緑サブピクセル $P_{g,i,j}$ では信号線 $Y_{g,j}$ に、青サブピクセル $P_{b,i,j}$ では信号線 $Y_{b,j}$ にそれぞれ導通し、ドレイン 2 1 d が有機 EL 素子 2 0 のサブピクセル電極 2 0 a、駆動トランジスタ 2 3 のソース 2 3 s 及びキャパシタ 2 4 の上層電極 2 4 B に導通し、ゲート 2 1 g が保持トランジスタ 2 2 のゲート 2 2 g 及び走査線 X_i に導通している。

【0037】

保持トランジスタ 2 2 においては、ソース 2 2 s が駆動トランジスタ 2 3 のゲート 2 3 g 及びキャパシタ 2 4 の下層電極 2 4 A に導通し、ドレイン 2 2 d が駆動トランジスタ 2 3 のドレイン 2 3 d 及び供給線 Z_i に導通し、ゲート 2 2 g がスイッチトランジスタ 2 1 のゲート 2 1 g 及び走査線 X_i に導通している。なお、保持トランジスタ 2 2 のドレイン 2 2 d は、供給線 Z_i の代わりに走査線 X_i に接続されていてもよい。

【0038】

駆動トランジスタ 2 3 においては、ソース 2 3 s が有機 EL 素子 2 0 のサブピクセル電極 2 0 a、スイッチトランジスタ 2 1 のドレイン 2 1 d 及びキャパシタ 2 4 の上層電極 2 4 B に導通し、ドレイン 2 3 d が保持トランジスタ 2 2 のドレイン 2 2 d 及び供給線 Z_i に導通し、ゲート 2 3 g が保持トランジスタ 2 2 のソース 2 2 s 及びキャパシタ 2 4 の下層電極 2 4 A に導通している。なお、保持トランジスタ 2 2 のドレイン 2 2 d が走査線 X_i に接続されている場合は、駆動トランジスタ 2 3 のドレイン 2 3 d は、保持トランジスタ 2 2 のドレイン 2 2 d に接続されていない。

【0039】

有機 EL 素子 2 0 のカソードとなる対向電極 2 0 c は共通配線 6 2 に導通している。

【0040】

垂直方向に沿って配列された画素 3 の何れの赤サブピクセル $P_{r,i,j}$ のスイッチトランジスタ 2 1 のソース 2 1 s も共通の信号線 $Y_{r,j}$ に導通し、垂直方向に沿って配列された画素 3 の何れの緑サブピクセル $P_{g,i,j}$ のスイッチトランジスタ 2 1 のソース 2 1 s も共

10

20

30

40

50

通の信号線 Y_{g_j} に導通し、垂直方向に沿って配列された画素 3 の何れの青サブピクセル $P_{b_{i,j}}$ のスイッチトランジスタ 2 1 のソース 2 1 s も共通の信号線 Y_{b_j} に導通している。

【 0 0 4 1 】

一方、水平方向に沿って配列された画素 3 の何れのサブピクセル $P_{r_{i,j}}$ 、 $P_{g_{i,j}}$ 、 $P_{b_{i,j}}$ のスイッチトランジスタ 2 1 のゲート 2 1 g も共通の走査線 X_i に導通し、水平方向に沿って配列された画素 3 の何れのサブピクセル $P_{r_{i,j}}$ 、 $P_{g_{i,j}}$ 、 $P_{b_{i,j}}$ の保持トランジスタ 2 2 のゲート 2 2 g も共通の走査線 X_i に導通し、水平方向に沿って配列された画素 3 の何れのサブピクセル $P_{r_{i,j}}$ 、 $P_{g_{i,j}}$ 、 $P_{b_{i,j}}$ の保持トランジスタ 2 2 のドレイン 2 2 d も共通の供給線 Z_i 又は走査線 X_i に導通し、水平方向に沿って配列された画素 3 の何れのサブピクセル $P_{r_{i,j}}$ 、 $P_{g_{i,j}}$ 、 $P_{b_{i,j}}$ の駆動トランジスタ 2 3 のドレイン 2 3 d も共通の供給線 Z_i に導通している。

10

【 0 0 4 2 】

〔画素の平面レイアウト〕

画素 3 の平面レイアウトについて図 3 ~ 図 5 を用いて説明する。図 3 は、赤サブピクセル P_r の電極を主に示した平面図であり、図 4 は、緑サブピクセル P_g の電極を主に示した平面図であり、図 5 は、青サブピクセル P_b の電極を主に示した平面図である。なお、図 3 ~ 図 5 においては、図面を見やすくするために、有機 EL 素子 2 0 のサブピクセル電極 2 0 a の図示を省略する。また、図 3 ~ 図 5 では、後述する封止基板 8 0 を取り除いた状態を示す。

20

【 0 0 4 3 】

図 3 に示すように、赤サブピクセル P_r は、垂直方向における上下をそれぞれ給電配線 6 1 及び共通配線 6 2 によって仕切られており、このような赤サブピクセル P_r においては、平面視して、駆動トランジスタ 2 3 が供給線 Z 及び給電配線 6 1 に沿うように配置され、スイッチトランジスタ 2 1 が共通配線 6 2 に沿うように配置され、保持トランジスタ 2 2 が供給線 Z に隣接する赤サブピクセル P_r の角部に配置されている。なお、保持トランジスタ 2 2 のドレイン 2 2 d および駆動トランジスタ 2 3 のドレイン 2 3 d は、供給線 Z と一体形成されている。

【 0 0 4 4 】

図 4 に示すように、緑サブピクセル P_g は、垂直方向における上下をそれぞれ共通配線 6 2 及び後述するように重ねて配線された共通配線 6 2 及び選択配線 6 0 によって仕切られており、このような緑サブピクセル P_g においては、平面視して、駆動トランジスタ 2 3 が共通配線 6 2 に沿うように配置され、スイッチトランジスタ 2 1 が走査線 X 及び共通配線 6 2 に沿うように配置され、保持トランジスタ 2 2 が共通配線 6 2 に隣接する緑サブピクセル P_g の角部に配置されている。

30

【 0 0 4 5 】

図 5 に示すように、青サブピクセル P_b は、垂直方向における上下をそれぞれ重ねて配線された共通配線 6 2 と選択配線 6 0 及び次の行の給電配線 6 1 によって仕切られており、このような青サブピクセル P_b においては、平面視して、駆動トランジスタ 2 3 が走査線 X 及び共通配線 6 2 に沿うように配置され、スイッチトランジスタ 2 1 が隣の行の供給線 Z 及び給電配線 6 1 に沿うように配置され、保持トランジスタ 2 2 が走査線 X 及び共通配線 6 2 に隣接する青サブピクセル P_b の角部に配置されている。

40

【 0 0 4 6 】

図 3 ~ 図 5 に示すように、何れのサブピクセル P_r 、 P_g 、 P_b でも、キャパシタ 2 4 が右隣の列の図示しない信号線群 4 の左側に沿って配置されている。また、スイッチトランジスタ 2 1 のソース 2 1 s は、図 3 に示す赤サブピクセル P_r では信号線 Y_r に接続されており、図 4 に示す緑サブピクセル P_g では信号線 Y_g に接続されており、図 5 に示す青サブピクセル P_b では信号線 Y_b に接続されている。

【 0 0 4 7 】

なお、ディスプレイパネル 1 全体を平面視して、全てのサブピクセル P_r 、 P_g 、 P_b

50

のスイッチトランジスタ 2 1 だけに着目すると、複数のスイッチトランジスタ 2 1 がマトリクス状に配列され、全てのサブピクセル P r、P g、P b の保持トランジスタ 2 2 だけに着目すると、複数の保持トランジスタ 2 2 がマトリクス状に配列され、全てのサブピクセル P r、P g、P b の駆動トランジスタ 2 3 だけに着目すると、複数の駆動トランジスタ 2 3 がマトリクス状に配列されている。

【 0 0 4 8 】

〔ディスプレイパネルの層構造〕

ディスプレイパネル 1 の層構造について図 3 ~ 図 8 を用いて説明する。ここで、図 6 は、図 3 ~ 図 5 に示された線 VI - VI に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図、図 7 は、図 3 に示された線 VII - VII に沿って絶縁基板 2 の厚さ方向に切断した矢視断面図、図 8 は、後述する封止基板の厚膜配線の構成を説明する図である。

10

【 0 0 4 9 】

なお、図 3 における線 VII - VII と同様の図 4 および図 5 における線の矢視断面図も図 7 とほぼ同様の断面図となる。また、図 6 では、同一のサブピクセル内のスイッチトランジスタ 2 1 と駆動トランジスタ 2 3 との間隔が実際より短縮されて示されており、図 7 では、コンタクトホール 6 4 とキャパシタ 2 4 の下層電極 2 4 A、2 4 B との間隔が実際より短縮されて示されている。さらに、保持トランジスタ 2 2 は、駆動トランジスタ 2 3 と同様の層構造となっているため、保持トランジスタ 2 2 の断面図については省略する。何れのサブピクセル P r、P g、P b でも、スイッチトランジスタ 2 1、保持トランジスタ 2 2 及び駆動トランジスタ 2 3 が同様の層構造になっている。

20

【 0 0 5 0 】

ディスプレイパネル 1 は、光透過性を有する絶縁基板 2 に対して種々の層を積層したものである。絶縁基板 2 は可撓性のシート状に設けられているか、又は剛性の板状に設けられている。

【 0 0 5 1 】

まず、トランジスタ 2 1 ~ 2 3 の層構造について説明する。図 6 に示すように、スイッチトランジスタ 2 1 は、絶縁基板 2 上に形成されたゲート 2 1 g と、ゲート 2 1 g 上に形成されたゲート絶縁膜 3 1 と、ゲート絶縁膜 3 1 を挟んでゲート 2 1 g に対向した半導体膜 2 1 c と、半導体膜 2 1 c の中央部上に形成されたチャネル保護膜 2 1 p と、半導体膜 2 1 c の両端部上において互いに離間するよう形成され、チャネル保護膜 2 1 p に一部重なった不純物半導体膜 2 1 a、2 1 b と、不純物半導体膜 2 1 a 上に形成されたドレイン 2 1 d と、不純物半導体膜 2 1 b 上に形成されたソース 2 1 s と、を有している。なお、ドレイン 2 1 d 及びソース 2 1 s は一層構造であっても良いし、二層以上の積層構造であっても良い。

30

【 0 0 5 2 】

駆動トランジスタ 2 3 は、絶縁基板 2 上に形成されたゲート 2 3 g と、ゲート 2 3 g 上に形成されたゲート絶縁膜 3 1 と、ゲート絶縁膜 3 1 を挟んでゲート 2 3 g に対向した半導体膜 2 3 c と、半導体膜 2 3 c の中央部上に形成されたチャネル保護膜 2 3 p と、半導体膜 2 3 c の両端部上において互いに離間するよう形成され、チャネル保護膜 2 3 p に一部重なった不純物半導体膜 2 3 a、2 3 b と、不純物半導体膜 2 3 a 上に形成されたドレイン 2 3 d と、不純物半導体膜 2 3 b 上に形成されたソース 2 3 s と、を有している。

40

【 0 0 5 3 】

図 3 ~ 図 5 に示したように平面視した場合、駆動トランジスタ 2 3 のソース 2 3 s とドレイン 2 3 d が櫛歯状に設けられていることで、駆動トランジスタ 2 3 のチャネル幅が広がっている。なお、ソース 2 3 s とドレイン 2 3 d との間の距離はチャネル幅全域にわたって一定である。ドレイン 2 3 d 及びソース 2 3 s は一層構造であっても良いし、二層以上の積層構造であっても良い。

【 0 0 5 4 】

図示は省略するが、保持トランジスタ 2 2 は、スイッチトランジスタ 2 1 および駆動トランジスタ 2 3 と同様に、絶縁基板 2 上に形成されたゲート 2 2 g と、ゲート 2 2 g 上に

50

形成されたゲート絶縁膜 3 1 と、ゲート絶縁膜 3 1 を挟んでゲート 2 2 g に対向した半導体膜と、この半導体膜の中央部上に形成されたチャンネル保護膜と、半導体膜の両端部上において互いに離間するよう形成され、チャンネル保護膜に一部重なった不純物半導体膜と、不純物半導体膜上にそれぞれ形成されたドレイン 2 2 d 及びソース 2 2 s と、を有している。

【 0 0 5 5 】

また、何れのサブピクセル P r、P g、P b でも、スイッチトランジスタ 2 1、保持トランジスタ 2 2 及び駆動トランジスタ 2 3 が同様の層構造になっている。

【 0 0 5 6 】

キャパシタ 2 4 の層構造は、図 7 に示すように、絶縁基板 2 上に形成された下層電極 2 4 A と、下層電極 2 4 A 上に形成されたゲート絶縁膜 3 1 と、ゲート絶縁膜 3 1 を挟んで下層電極 2 4 A に対向した上層電極 2 4 B と、を有している。何れのサブピクセル P r、P g、P b でもキャパシタ 2 4 は同様の層構造になっている。

また、各画素 3 内では、接続線 6 5 が供給線 Z と全てのサブピクセル P r、P g、P b の各駆動トランジスタ 2 3 のドレイン 2 3 d とを接続している。各サブピクセル P r、P g、P b では、ゲート接続線 6 6 が、各スイッチトランジスタ 2 1 のゲート 2 1 g と各保持トランジスタ 2 2 のゲート 2 2 g とを接続している。

【 0 0 5 7 】

トランジスタ 2 1 ~ 2 3 及びキャパシタ 2 4 の各層と信号線 Y、走査線 X 及び供給線 Z との関係については、図 3 ~ 図 7 に示すように、全てのサブピクセル P r、P g、P b のスイッチトランジスタ 2 1 のゲート 2 1 g、保持トランジスタ 2 2 のゲート 2 2 g、駆動トランジスタ 2 3 のゲート 2 3 g、キャパシタ 2 4 の下層電極 2 4 A、接続線 6 5、ゲート接続線 6 6、及び全ての信号線 Y r、Y g、Y b は、絶縁基板 2 上にべた一面に成膜された導電性膜をフォトリソグラフィ法・エッチング法によってパターンングすることでまとめて形成されたものである。

【 0 0 5 8 】

以下では、スイッチトランジスタ 2 1 のゲート 2 1 g、保持トランジスタ 2 2 のゲート 2 2 g、駆動トランジスタ 2 3 のゲート 2 3 g、キャパシタ 2 4 の下層電極 2 4 A、接続線 6 5、各サブピクセル P r、P g、P b の保持トランジスタ 2 2 のゲート 2 2 g を接続するゲート接続線 6 6 及び信号線 Y r、Y g、Y b の元となる導電性膜をゲートレイヤーという。

【 0 0 5 9 】

ゲート絶縁膜 3 1 は、全てのサブピクセル P r、P g、P b のスイッチトランジスタ 2 1、保持トランジスタ 2 2、駆動トランジスタ 2 3 及びキャパシタ 2 4 に共通した膜であり、面内にべた一面に成膜されている。従って、ゲート絶縁膜 3 1 は、スイッチトランジスタ 2 1 のゲート 2 1 g、保持トランジスタ 2 2 のゲート 2 2 g、駆動トランジスタ 2 3 のゲート 2 3 g、キャパシタ 2 4 の下層電極 2 4 A、接続線 6 5、ゲート接続線 6 6 及び信号線 Y r、Y g、Y b を被覆している。

【 0 0 6 0 】

全てのサブピクセル P r、P g、P b のスイッチトランジスタ 2 1 のドレイン 2 1 d・ソース 2 1 s、保持トランジスタ 2 2 のドレイン 2 2 d・ソース 2 2 s、駆動トランジスタ 2 3 のドレイン 2 3 d・ソース 2 3 s 及びキャパシタ 2 4 の上層電極 2 4 B 並びに全ての走査線 X 及び供給線 Z は、ゲート絶縁膜 3 1 上にべた一面に成膜された導電性膜をフォトリソグラフィ法・エッチング法によってパターンングすることでまとめて形成されたものである。

【 0 0 6 1 】

以下では、スイッチトランジスタ 2 1 のドレイン 2 1 d・ソース 2 1 s、保持トランジスタ 2 2 のドレイン 2 2 d・ソース 2 2 s、駆動トランジスタ 2 3 のドレイン 2 3 d・ソース 2 3 s 及びキャパシタ 2 4 の上層電極 2 4 B 並びに走査線 X 及び供給線 Z の元となる導電性膜をドレインレイヤーという。

10

20

30

40

50

【0062】

なお、前述したように、保持トランジスタ22のドレイン22dおよび駆動トランジスタ23のドレイン23dは、供給線Zと一体形成されている。また、赤サブピクセルPrの駆動トランジスタ23のドレイン23dとの一体形成部分と接続線65とが重なるゲート絶縁膜31の箇所には、1つのコンタクトホール67が形成され、緑サブピクセルPgの駆動トランジスタ23のドレイン23dと接続線65とが重なる箇所および青サブピクセルPbと駆動トランジスタ23のドレイン23dと接続線65とが重なる箇所にもそれぞれ1つずつコンタクトホール67が形成され、何れのサブピクセルPr、Pg、Pbにおいても、駆動トランジスタ23のドレイン23dがコンタクトホール67を介して接続線65に導通している。

10

【0063】

また、1ドットのサブピクセルPにつき1つのコンタクトホール68がゲート絶縁膜31の信号線Yに重なる箇所に形成され、何れのサブピクセルPr、Pg、Pbにおいても、スイッチトランジスタ21のソース21sがコンタクトホール68を介して信号線Yr、Yg、Ybにそれぞれ導通している。

【0064】

ゲート絶縁膜31の走査線Xに重なる箇所には、1つのコンタクトホール69が形成され、何れのサブピクセルPr、Pg、Pbにおいても、スイッチトランジスタ21のゲート21g及び保持トランジスタ22のゲート22gがコンタクトホール69及びゲート接続線66を介して走査線Xに導通している。また、1ドットのサブピクセルPにつき1つのコンタクトホール70がゲート絶縁膜31の下層電極24Aに重なる箇所に形成され、何れのサブピクセルPr、Pg、Pbにおいても保持トランジスタ22のソース22sが駆動トランジスタ23のゲート23g及びキャパシタ24の下層電極24Aに導通している。

20

【0065】

全てのサブピクセルPr、Pg、Pbのスイッチトランジスタ21、保持トランジスタ22及び駆動トランジスタ23並びに全ての走査線X及び供給線Zは、べた一面に成膜された窒化シリコン又は酸化シリコン等の保護絶縁膜32によって被覆されている。なお、詳細については後述するが、保護絶縁膜32は、走査線X及び供給線Zに重なる箇所で矩形状に分断されている。

30

【0066】

保護絶縁膜32には平坦化膜33が積層されており、スイッチトランジスタ21、保持トランジスタ22及び駆動トランジスタ23並びに走査線X及び供給線Zの段差による凹凸が平坦化膜33によって解消されている。つまり、平坦化膜33の表面が平坦となっている。平坦化膜33は、ポリイミド等の感光性絶縁樹脂を硬化させたものであり、2µm以上の厚さが好ましい。なお、詳細については後述するが、平坦化膜33は、走査線X及び供給線Zに重なる箇所で矩形状に分断されている。

【0067】

本実施形態では、このディスプレイパネル1をボトムエミッション型として用いるため、すなわち、絶縁基板2を表示面として用いるため、ゲート絶縁膜31、保護絶縁膜32及び平坦化膜33には透明な材料を用いる。絶縁基板2から平坦化膜33までの積層構造をトランジスタアレイ基板50という。

40

【0068】

保護絶縁膜32及び平坦化膜33の各供給線Zに重なる箇所には、水平方向に沿って開口された長尺な溝34が凹設され、更に、保護絶縁膜32及び平坦化膜33の各走査線Xに重なる箇所には水平方向に沿って開口された長尺な溝35が凹設されている。これら溝34、35によって保護絶縁膜32及び平坦化膜33が矩形状に分断されている。

【0069】

溝34には給電配線61が埋められており、溝34内において給電配線61が供給線Zにそれぞれ積層されることによって電氣的に接続されている。溝35には選択配線60が

50

埋められており、溝 35 内において選択配線 60 が走査線 X にそれぞれ積層されることによって電氣的に接続されている。選択配線 60 及び給電配線 61 は、走査線 X 又は供給線 Z を下地電極として電解メッキ法により形成されたものであるので、信号線 Y_r、Y_g、Y_b、走査線 X 及び供給線 Z よりも十分に厚い。

【0070】

給電配線 61 の厚さは、保護絶縁膜 32 と平坦化膜 33 の厚さの総計よりも厚く、平坦化膜 33 の表面から凸設されている。給電配線 61 は、銅、アルミ、金、銀、クロム及びニッケルのうちの少なくともいずれか 1 つ以上を含むことが好ましい。

【0071】

選択配線 60 は、走査線 X 上に平坦化膜 33 の表面の高さまで形成されている。選択配線 60 も、銅、アルミ、金、銀、クロム及びニッケルのうちの少なくともいずれか 1 つ以上を含むことが好ましい。

10

【0072】

平坦化膜 33 の表面、即ちトランジスタアレイ基板 50 の表面上であって、選択配線 60 が形成されている緑サブピクセル P_g と青サブピクセル P_b との間、及び赤サブピクセル P_r と緑サブピクセル P_g の間には、走査線 X や選択配線 60 に平行な絶縁ライン 51 がそれぞれ形成されている。また、青サブピクセル P_b とこの青サブピクセル P_b の画素 3 に隣接する画素 3 の赤サブピクセル P_r との間には、供給線 Z に沿い且つ給電配線 61 に貫通された絶縁ライン 52 が設けられている。絶縁ライン 51 及び絶縁ライン 52 はともに窒化シリコン等の無機化合物からなる同一材料膜をパターンニングしてなり、絶縁性を有している。

20

【0073】

2本の絶縁ライン 51 の上部には、絶縁ライン 51 より幅狭の共通配線 62 がそれぞれ積層されている。共通配線 62 は、メッキ法により形成されたものであり、信号線 Y、走査線 X 及び供給線 Z よりも十分に厚く、平坦化膜 33 の表面に対して凸設されている。共通配線 62 は金、銀、銅、及びニッケルのうちの少なくともいずれか 1 つ以上を含むことが好ましい。

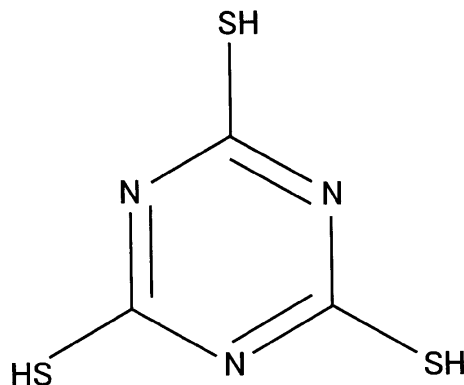
【0074】

給電配線 61 の表面及び共通配線 62 の表面にはそれぞれ、撥水性・撥油性を有した撥液性導通層 53、54 が成膜されている。撥液性導通層 53、54 は、例えば次の化学式に示されたトリアジルトリチオールメルカプト基(-SH)の水素原子(H)が還元離脱し、硫黄原子(S)が給電配線 61 及び共通配線 62 の表面に酸化吸着したものである。

30

【0075】

【化1】



40

【0076】

撥液性導通層 53、54 はトリアジルトリチオール分子が給電配線 61 及び共通配線 62 の表面に規則正しく並んだ極薄い分子層からなる膜であるから、厚さ方向に電気を導通することができる。なお、撥水性・撥油性を顕著にするためにトリアジルトリチオールに

50

代えて、トリアジルトリオールの1又は2のチオール基がフッ化アルキル基に置換されたものでも良い。ただし、フッ化アルキル基の炭素原子同士が二股又は三股に分岐していると、立体障害になり給電配線61や共通配線62に結合されるトリアジルトリオール化合物の量が減ってしまうので炭素原子は直鎖状の方が好ましい。なお、撥液性導通層53、54となるトリアジルトリオール化合物は、トリアジルトリオール化合物を含む溶液として塗布すると選択的に給電配線61及び共通配線62のような金属に結合する性質を持っている。

【0077】

また、図7に示すように、信号線群4、接続線65およびゲート接続線66の上方の平坦化膜33上には、バンクとして絶縁膜55が平面視して信号線群4等に沿って垂直方向に延在するように積層されている。

10

【0078】

平坦化膜33の表面、即ちトランジスタアレイ基板50の表面上には、複数のサブピクセル電極20aがマトリクス状に配列されている。サブピクセル電極20aは、有機EL素子20のアノードとして機能する電極である。即ち、サブピクセル電極20aの仕事関数が比較的高く、後述する有機EL層20bへ正孔を効率よく注入するものが好ましい。また、サブピクセル電極20aは、ボトムエミッションの場合、可視光に対して透過性を有している。

【0079】

これらサブピクセル電極20aは、平坦化膜33上にべた一面に成膜された透明導電性膜をフォトリソグラフィ法・エッチング法によってパターニングしたものである。サブピクセル電極20aとしては、例えば、錫ドーパ酸化インジウム(ITO)、亜鉛ドーパ酸化インジウム、酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)又はカドミウム-錫酸化物(CTO)を主成分としたものがある。

20

【0080】

各サブピクセルPr、Pg、Pbにつきそれぞれ1つのコンタクトホール64が平坦化膜33及び保護絶縁膜32のサブピクセル電極20aに重なる箇所に形成され、そのコンタクトホール64内に導電性パッドが埋設されている。何れのサブピクセルPr、Pg、Pbにおいても、サブピクセル電極20aが、キャパシタ24の上層電極24B、スイッチトランジスタ21のドレイン21d及び駆動トランジスタ23のソース23sに導通している。導電性パッドは、給電配線61とともに形成され、特に上層電極24Bを下地電極として電解メッキ法により形成されることが好ましい。

30

【0081】

サブピクセル電極20a上には、有機EL素子20の有機EL層20bが成膜されている。有機EL層20bは広義の発光層であり、有機EL層20bには、有機化合物である発光材料(蛍光体)が含有されている。有機EL層20bは、サブピクセル電極20aから順に正孔輸送層、狭義の発光層の順に積層した二層構造である。正孔輸送層は、導電性高分子であるPEDOT(ポリチオフェン)及びドーパントであるPSS(ポリスチレンスルホン酸)からなり、狭義の発光層は、ポリフルオレン系発光材料からなる。

【0082】

赤サブピクセルPrの場合には、有機EL層20bが赤色に発光し、緑サブピクセルPgの場合には、有機EL層20bが緑色に発光し、青サブピクセルPbの場合には、有機EL層20bが青色に発光する。

40

【0083】

なお、有機EL層20bは、二層構造の他に、サブピクセル電極20aから順に正孔輸送層、狭義の発光層、電子輸送層となる三層構造であっても良いし、狭義の発光層からなる一層構造であっても良いし、これらの層構造において適切な層間に電子或いは正孔の注入層が介在した積層構造であっても良いし、その他の積層構造であっても良い。

【0084】

各色の有機EL層20bは、それぞれ1本の給電配線61及び2本の共通配線62のう

50

ち互いに隣接する２つの配線の間において水平方向に沿って配列された複数のサブピクセル電極 20 a を帯状に被覆するように成膜されている。すなわち、赤色発光の有機 E L 層 20 b は給電配線 6 1 と共通配線 6 2 との間、緑色発光の有機 E L 層 20 b は２本の共通配線 6 2 の間、青色発光の有機 E L 層 20 b は共通配線 6 2 と給電配線 6 1 との間において、それぞれ帯状に成膜されている。なお、有機 E L 層 20 b は、サブピクセル電極 20 a ごとに独立して設けられ、平面視した場合、複数の有機 E L 層 20 b がマトリクス状に配列されていても良い。

【 0 0 8 5 】

有機 E L 層 20 b は、給電配線 6 1 及び共通配線 6 2 に対する撥液性導通層 5 3、5 4 のコーティング後に湿式塗布法（例えば、インクジェット法）によって成膜される。この場合、サブピクセル電極 20 a に有機 E L 層 20 b となる有機化合物を含有する有機化合物含有液を塗布するが、垂直方向に隣り合うサブピクセル電極 20 a 間において頭頂部が十分高い厚膜の給電配線 6 1 及び共通配線 6 2 がトランジスタアレイ基板 5 0 の表面に対して凸設されているから、サブピクセル電極 20 a に塗布された有機化合物含有液が垂直方向に隣接するサブピクセル電極 20 a に漏れることがない。

10

【 0 0 8 6 】

また、給電配線 6 1 及び共通配線 6 2 には撥水性・撥油性の撥液性導通層 5 3、5 4 がそれぞれコーティングされているから、サブピクセル電極 20 a に塗布された有機化合物含有液をはじき、サブピクセル電極 20 a に塗布された有機化合物含有液がサブピクセル電極 20 a の中央に対して撥液性導通層 5 3、5 4 の端部付近で極端に厚く堆積されなくなるので、有機化合物含有液が乾燥してなる有機 E L 層 20 b を面内均一な膜厚で成膜することができる。

20

【 0 0 8 7 】

有機 E L 層 20 b 上には、有機 E L 素子 20 のカソードとして機能する対向電極 20 c が成膜されている。対向電極 20 c は、導電性膜を全面に、つまり給電配線 6 1 の頭頂面や側面並びに共通配線 6 2 の頭頂面や側面を被覆するように形成してから給電配線 6 1 の側面を被覆しないようにエッチング除去してパターンニングされている。つまり、導電性膜は、給電配線 6 1 の側面近傍を境に、給電配線 6 1 の頭頂面に水平方向に沿って複数の画素 3 を跨って連続して被膜されている電極 6 3 と、水平方向に沿って複数の画素 3 に跨って有機 E L 層 20 b 上及び共通配線 6 2 の頭頂面や側面に連続して被膜されている対向電極 20 c と、に分断されている。したがって対向電極 20 c は、撥液性導通層 5 4 を挟んで共通配線 6 2 に通電するから、図 2 の回路図に示したように、対向電極 20 c は共通配線 6 2 に対して導通する。

30

【 0 0 8 8 】

そして、電極 6 3 は、本実施形態では、給電配線 6 1 の頭頂面を被覆するように形成されるが、給電配線 6 1 の側面部分からは除去されるから、給電配線 6 1 と共通配線 6 2 とが対向電極 20 c または電極 6 3 を介して短絡することはない。このように、電極 6 3 は撥液性導通層 5 3 を挟んで給電配線 6 1 と導通している。

【 0 0 8 9 】

対向電極 20 c は、サブピクセル電極 20 a よりも仕事関数の低い材料で形成されており、例えば、マグネシウム、カルシウム、リチウム、バリウム、インジウム、希土類金属の少なくとも一種を含む単体又は合金で形成されていることが好ましい。また、対向電極 20 c は、上記各種材料の層が積層された積層構造となっても良いし、以上の各種材料の層に加えてシート抵抗を低くするために酸化されにくい金属層が堆積した積層構造となっても良く、具体的には、有機 E L 層 20 b と接する界面側に設けられた低仕事関数の高純度のバリウム層と、バリウム層を被覆するように設けられたアルミニウム層との積層構造や、下層にリチウム層、上層にアルミニウム層が設けられた積層構造が挙げられる。

40

【 0 0 9 0 】

また、本実施形態では、対向電極 20 c は、図 7 に示すように、水平方向に延在したス

50

トライブ形状とされている。このように、複数の対向電極 20c は平面視していずれも信号線 Yr、Yg、Yb と重なっているが、絶縁膜 55 が十分厚いので、信号線 Yr、Yg、Yb との間の寄生容量が生じにくくなっている。

【0091】

このため、書込電流が各有機 EL 素子 20 をそれぞれ発光するのに要する微小な電流であっても、各信号線 Yr、Yg、Yb の寄生容量に電荷を速やかにチャージでき、電流が遅延することなく信号線 Yr、Yg、Yb に定常化されて流れるので、駆動トランジスタ 23 のゲート - ソース間の電位を速やかに駆動電流が流れる状態にすることができる。

【0092】

対向電極 20c 上には、保護膜 56 が成膜されている。保護膜 56 は、給電配線 61 及び共通配線 62 の頭頂部以外の対向電極 20c を被覆する無機膜又は有機膜である。そのため、対向電極 20c の劣化が保護膜 56 によって防止されている。

【0093】

給電配線 61 及び共通配線 62 の頭頂部を被覆する電極 63 上及び対向電極 20c 上には、平板状の封止基板 80 がディスプレイパネル 1 のほぼ全面を覆う状態に貼付されている。本実施形態では、封止基板 80 は、封止ガラス 81 と、給電配線 61 及び共通配線 62 に対応する位置に形成された厚膜配線 82、83 と、その表面に塗布された導電性を有する接着層 84 とから構成されている。

【0094】

本実施形態では、厚膜配線 82、83 は、封止ガラス 81 上の給電配線 61 及び共通配線 62 に対応する位置に銅錫メッキにより成膜されて形成されている。本実施形態では、封止基板 80 の厚膜配線 82 は、図 8 に示すように、平面視した場合、トランジスタレイ基板 50 の表面から凸設された給電配線 61 に沿い、且つ、互いに導通されず独立した状態に形成されている。

【0095】

また、封止基板 80 の厚膜配線 83 は、平面視した場合、トランジスタレイ基板 50 の表面から凸設された共通配線 62 に沿い、且つ全ての厚膜配線 83 が引き回し配線 85 により互いに導通するように形成されている。なお、図中の選択ドライバ 90 及び給電ドライバ 91 は厚膜配線 82、83 との位置関係を示すために点線で表現されたものであり、後で説明する。

【0096】

図 6 に示したように、厚膜配線 82、83 の表面には、それぞれ給電配線 61 及び共通配線 62 の各頭頂部の電極 63 及び対向電極 20c に異方導電性を有する接着層 84 で貼付されている。本実施形態では、接着層 84 は、異方性導電接着剤より形成されており、異方性導電接着剤としては、例えば、エポキシ樹脂のバインダー中に Ni / Au メッキされた導電粒子が分散されているものが好ましく用いられる。

【0097】

この異方性導電接着剤は、例えば、厚膜配線 83 と共通配線 62 の頭頂部の対向電極 20c とで上下から押し付けられると、導電粒子の上方及び下方のバインダーが押し出されて導電粒子と厚膜配線 83 及び導電粒子と対向電極 20c とが直接当接する状態となるもので、これにより、厚膜配線 82 と給電配線 61 とが帯電粒子及び対向電極 20c を介して導通される。つまり、上下方向には導通が生じる。しかし、横方向には樹脂のバインダーが介在するため絶縁される。

【0098】

そのため、本実施形態のように、互いに絶縁されるべき厚膜配線 82 及び厚膜配線 83 が形成された封止基板 80 の面にべた一面に塗布して貼付しても厚膜配線 82 と厚膜配線 83 との間に導通は生じない。なお、このような異方性を有しない導電性の接着剤で厚膜配線 82、83 をそれぞれ給電配線 61 や共通配線 62 の頭頂部のみに貼付することも可能である。

【0099】

10

20

30

40

50

このようにして封止基板 80 が給電配線 61 及び共通配線 62 を被覆する電極 63 及び対向電極 20c に貼付されることで、接着層 84 及び電極 63 が接触して、厚膜配線 82 が接着層 84 及び電極 63 を介して給電配線 61 と導通し、同時に、接着層 84 及び対向電極 20c が接触して、厚膜配線 83 が、接着層 84 を介して対向電極 20c と導通する。したがって、対向電極 20c には、低抵抗の厚膜配線 83 及び共通配線 62 の少なくとも一方を介して電圧 V_{com} が入力され、等電位となる。また、給電配線 61 には、電極 63 を介して封止基板 80 の厚膜配線 82 から所定の電圧を印加することができる。このように、対向電極 20c が、厚膜配線 83 及び共通配線 62 と電氣的に接続されることで全体として低抵抗になり、対向電極 20c はディスプレイパネル 1 の面内で均一な電圧分布になる。

10

【0100】

なお、封止基板 80 と有機 EL 素子 20 との間の空間には、例えば窒素等の不活性ガスが封入されている。

【0101】

〔ディスプレイパネルの駆動方法〕

図 9 は、ディスプレイパネルの配線構造を示した略平面図である。なお、図 9 及び後述する図 11 では、封止基板 80 を取り除いた状態を示す。また、各サブピクセル Pr、Pg、Pb がいわゆる縦長に表現されているが、実際には図 1 や図 3 ~ 図 5 に示した通りである。

【0102】

ディスプレイパネル 1 では、図 9 に示すように、走査線 $X_1 \sim X_m$ 及び共通配線 62、62、... の下方に形成されている選択配線 60、60、... がそれぞれ接続された選択ドライバ 90 が絶縁基板 2 の第一の周縁部に配置され、互いに電氣的に絶縁された供給線 $Z_1 \sim Z_m$ 及び給電配線 61、61、... が接続された給電ドライバ 91 が絶縁基板 2 の第一の周縁部と対向する周縁部である第二周縁部に配置されている。以下、走査線 $X_1 \sim X_m$ や供給線 $Z_1 \sim Z_m$ に電圧が印加される等という場合は選択配線 60、60、... や給電配線 61、61、... にも同様に電圧が印加される等が行われることを表す。

20

【0103】

このディスプレイパネル 1 をアクティブマトリクス方式で駆動するには、次のようになる。

30

【0104】

図 10 に示すように、走査線 $X_1 \sim X_m$ に接続された選択ドライバ 90 によって、走査線 X_1 から走査線 X_m への順（走査線 X_m の次は走査線 X_1 ）にハイレベルのシフトパルスを順次出力することにより走査線 $X_1 \sim X_m$ を順次選択する。この走査線 $X_1 \sim X_m$ の選択によりスイッチトランジスタ 21 を選択する。また、この選択期間中に、供給線 $Z_1 \sim Z_m$ に接続された給電ドライバ 91 によって、選択された走査線 X_i に対応する行の画素の供給線 Z_i に接続された駆動トランジスタ 23 に書込電流を流すための書込給電電圧 V_L が印加され、続く発光期間には駆動トランジスタ 23 を介して有機 EL 素子 20 に駆動電流を流すための駆動給電電圧 V_H が印加される。

【0105】

すなわち、この給電ドライバ 91 によって、選択ドライバ 90 と同期するよう、供給線 Z_1 から供給線 Z_m への順（供給線 Z_m の次は供給線 Z_1 ）にローレベル（有機 EL 素子 20 の対向電極の電圧より低レベル）の書込給電電圧 V_L を順次出力することにより供給線 $Z_1 \sim Z_m$ を順次選択する。また、選択ドライバ 90 が各走査線 $X_1 \sim X_m$ を選択している時に、各信号線群 4（信号線 Y_r 、 Y_g 、 Y_b ）に接続された図示しないデータドライバが書込電流である書込電流（電流信号）を所定の行の駆動トランジスタ 23 のソース - ドレイン間を介して全信号線 Y_{r_1} 、 Y_{g_1} 、 $Y_{b_1} \sim Y_{r_n}$ 、 Y_{g_n} 、 Y_{b_n} に流す。

40

【0106】

その際、対向電極 20c 及び共通配線 62 群は、図 8 に示した封止基板 80 の引き回り配線 85 の端子部 85d 及び端子部 85e を介して外部と接続され、一定のコモン電位 V

50

com (例えば、接地 = 0 ボルト) に保たれている。

【 0 1 0 7 】

各選択期間において、データドライバ側の電位は、給電配線 6 1、6 1、... 及び供給線 $Z_1 \sim Z_m$ に出力された書込給電電圧 VL 以下で且つこの書込給電電圧 VL はコモン電位 V_{com} 以下に設定されている。したがって、図 2 に示したように、この時、有機 EL 素子 2 0 から信号線 Y_r 、 Y_g 、 Y_b に流れることはないので、データドライバによって階調に応じた電流値の書込電流 (引抜電流) が矢印 A の通り信号線 Y_r 、 Y_g 、 Y_b に流れる。なお、図 2 では、矢印 A や後述する矢印 B を青サブピクセル $P_{b_{i,j}}$ についてのみ示しているが、赤サブピクセル $P_{r_{i,j}}$ や緑サブピクセル $P_{g_{i,j}}$ の場合についても同様である。

【 0 1 0 8 】

すなわち、サブピクセル $P_{i,j}$ においては給電配線 6 1 及び供給線 Z_i から駆動トランジスタ 2 3 のソース - ドレイン間、スイッチトランジスタ 2 1 のソース - ドレイン間を介して信号線 Y_{r_j} 、 Y_{g_j} 、 Y_{b_j} に向かった書込電流 (引抜電流) が流れる。このように駆動トランジスタ 2 3 のソース - ドレイン間を流れる電流の電流値は、データドライバによって一義的に制御され、データドライバは、外部から入力された階調に応じて書込電流 (引抜電流) の電流値を設定する。

【 0 1 0 9 】

書込電流 (引抜電流) が流れている間、 i 行目の $P_{i,1} \sim P_{i,n}$ の各駆動トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電圧は、それぞれ信号線 Y_{r_1} 、 Y_{g_1} 、 $Y_{b_1} \sim Y_{r_n}$ 、 Y_{g_n} 、 Y_{b_n} に流れる書込電流 (引抜電流) の電流値、つまり駆動トランジスタ 2 3 の $V_g - I_{ds}$ 特性の経時変化にかかわらず駆動トランジスタ 2 3 のドレイン 2 3 d - ソース 2 3 s 間を流れる書込電流 (引抜電流) の電流値に見合うように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ 2 4 にチャージされて、書込電流 (引抜電流) の電流値が駆動トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電圧のレベルに変換される。

【 0 1 1 0 】

その後の発光期間では、走査線 X_i がローレベルになり、スイッチトランジスタ 2 1 及び保持トランジスタ 2 2 がオフ状態となるが、オフ状態の保持トランジスタ 2 2 によってキャパシタ 2 4 の電極 2 4 A 側の電荷が閉じ込められてフローティング状態になり、駆動トランジスタ 2 3 のソース 2 3 s の電圧が選択期間から発光期間に移行する際に変調しても、駆動トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電位差がそのまま維持される。

【 0 1 1 1 】

この発光期間では、供給線 Z_i 及びそれに接続された給電配線 6 1 の電位が駆動給電電圧 V_H となり、有機 EL 素子 2 0 の対向電極 2 0 c の電位 V_{com} より高くなることによって、供給線 Z_i 及びそれに接続された給電配線 6 1 から駆動トランジスタ 2 3 を介して有機 EL 素子 2 0 に駆動電流が矢印 B の方向に流れ、有機 EL 素子 2 0 が発光する。駆動電流の電流値は駆動トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電圧に依存するため、発光期間における駆動電流の電流値は、選択期間における書込電流 (引抜電流) の電流値に等しくなる。

【 0 1 1 2 】

このディスプレイパネル 1 を、アクティブマトリクス方式を用いた別の方法で駆動することも可能である。図 1 1 は、第二の方法で駆動されるディスプレイパネルの配線構造を示した略平面図であり、図 1 2 は、第二のディスプレイパネルにおける封止基板の厚膜配線の構成を説明する図である。

【 0 1 1 3 】

この第二のディスプレイパネル 1 の構造は、図 1 1 に示すように、走査線 $X_1 \sim X_m$ がそれぞれ接続された選択ドライバ 9 0 が絶縁基板 2 の第一の周縁部に配置され、給電配線 6 1、6 1、... が互いに電氣的に接続されるよう給電配線 6 1、6 1、... と一体的に形成された引き回し配線 9 2 が絶縁基板 2 の第一の周縁部と対向する周縁部である第二周縁部に

10

20

30

40

50

配置されている。引き回し配線 9 2 は、第一周縁部及び第二周縁部と直交する第三の周縁部及び第四の周縁部のそれぞれに位置する端子部 9 2 d 及び端子部 9 2 e の両方からクロック信号が入力されている。

【 0 1 1 4 】

また、封止基板 8 0 の厚膜配線 8 2 は、引き回し配線 8 6 により互いに導通するように形成されており、引き回し配線 8 6 は、給電配線 6 1 及び厚膜配線 8 2 と同様の構成により引き回し配線 9 2 と導通されている。

【 0 1 1 5 】

第二のディスプレイパネル 1 のアクティブマトリクス駆動方法は次のようになる。

【 0 1 1 6 】

すなわち、図 1 3 に示すように、外部の発振回路が端子部 9 2 d 及び端子部 9 2 e から引き回し配線 9 2 を介して給電配線 6 1、6 1、... 及び供給線 $Z_1 \sim Z_m$ に対してクロック信号を出力する。また、選択ドライバ 9 0 によって走査線 X_1 から走査線 X_m への順（走査線 X_m の次は走査線 X_1 ）にハイレベルのシフトパルスを順次出力することにより走査線 $X_1 \sim X_m$ を順次選択するが、選択ドライバ 9 0 が走査線 $X_1 \sim X_m$ の何れか 1 つがハイレベルつまりオンレベルのシフトパルスを出力している時には発振回路のクロック信号がローレベルになる。また、選択ドライバ 9 0 が各走査線 $X_1 \sim X_m$ を選択している時に、データドライバが書込電流である引抜電流（電流信号）を駆動トランジスタ 2 3 のソース - ドレイン間を介して全信号線 $Y r_1$ 、 $Y g_1$ 、 $Y b_1 \sim Y r_n$ 、 $Y g_n$ 、 $Y b_n$ に流す。

【 0 1 1 7 】

その際、対向電極 2 0 c 及び共通配線 6 2 群は、図 1 2 に示した封止基板 8 0 の引き回し配線 8 5 の端子部 8 5 d 及び端子部 8 5 e を介して外部と接続され、一定のコモン電位 V_{com} （例えば、接地 = 0 ボルト）に保たれている。

【 0 1 1 8 】

走査線 X_i の選択期間においては、 i 行目の走査線 X_i にシフトパルスが出力されているから、スイッチトランジスタ 2 1 及び保持トランジスタ 2 2 がオン状態となる。各選択期間において、データドライバ側の電位は、給電配線 6 1、6 1、... 及び供給線 $Z_1 \sim Z_m$ に出力されたクロック信号のローレベル以下で且つこのクロック信号のローレベルはコモン電位 V_{com} 以下に設定されている。

【 0 1 1 9 】

したがって、この時、有機 EL 素子 2 0 から信号線線 $Y r_j$ 、 $Y g_j$ 、 $Y b_j$ に流れることはないので、図 2 に示したように、データドライバによって階調に応じた電流値の書込電流（引抜電流）が矢印 A の通り、信号線 $Y r_1$ 、 $Y g_1$ 、 $Y b_1 \sim Y r_n$ 、 $Y g_n$ 、 $Y b_n$ に流れ、サブピクセル $P_{i,j}$ においては給電配線 6 1 及び供給線 Z_i から駆動トランジスタ 2 3 のソース - ドレイン間、スイッチトランジスタ 2 1 のソース - ドレイン間を介して信号線 $Y r_j$ 、 $Y g_j$ 、 $Y b_j$ に向かった書込電流（引抜電流）が流れる。このように駆動トランジスタ 2 3 のソース - ドレイン間を流れる電流の電流値は、データドライバによって一義的に制御され、データドライバは、外部から入力された階調に応じて書込電流（引抜電流）の電流値を設定する。

【 0 1 2 0 】

書込電流（引抜電流）が流れている間、 i 行目の $P_{i,1} \sim P_{i,n}$ の各駆動トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電圧は、それぞれ信号線 $Y r_1$ 、 $Y g_1$ 、 $Y b_1 \sim Y r_n$ 、 $Y g_n$ 、 $Y b_n$ に流れる書込電流（引抜電流）の電流値、つまり駆動トランジスタ 2 3 の $V_g - I_{ds}$ 特性の経時変化にかかわらず駆動トランジスタ 2 3 のドレイン 2 3 d - ソース 2 3 s 間を流れる書込電流（引抜電流）の電流値に見合うように強制的に設定され、この電圧のレベルに従った大きさの電荷がキャパシタ 2 4 にチャージされて、書込電流（引抜電流）の電流値が駆動トランジスタ 2 3 のゲート 2 3 g - ソース 2 3 s 間の電圧のレベルに変換される。

【 0 1 2 1 】

その後の発光期間では、走査線 X_i がローレベルになり、スイッチトランジスタ 2 1 及

10

20

30

40

50

び保持トランジスタ 22 がオフ状態となるが、オフ状態の保持トランジスタ 22 によってキャパシタ 24 の電極 24A 側の電荷が閉じ込められてフローティング状態になり、駆動トランジスタ 23 のソース 23s の電圧が選択期間から発光期間に移行する際に変調しても、駆動トランジスタ 23 のゲート 23g - ソース 23s 間の電位差がそのまま維持される。

【0122】

この発光期間のうち、いずれの行の選択期間でもない間、つまり、クロック信号が給電配線 61 及び供給線 Z_i の電位が有機 EL 素子 20 の対向電極 20c 及び給電配線 61 の電位 V_{com} より高いハイレベルの間、より高電位の給電配線 61 及び供給線 Z_i から駆動トランジスタ 23 のソース - ドレイン間を介して有機 EL 素子 20 に駆動電流が矢印 B の方向に流れ、有機 EL 素子 20 が発光する。

10

【0123】

駆動電流の電流値は駆動トランジスタ 23 のゲート 23g - ソース 23s 間の電圧に依存するため、発光期間における駆動電流の電流値は、選択期間における書込電流（引抜電流）の電流値に等しくなる。また発光期間において、いずれかの行の選択期間の間、つまりクロック信号がローレベルである時は、給電配線 61 及び供給線 Z_i の電位が対向電極 20c 及び給電配線 61 の電位 V_{com} 以下であるので、有機 EL 素子 20 に駆動電流は流れず発光しない。

【0124】

前記何れの駆動方法においても、スイッチトランジスタ 21 は、駆動トランジスタ 23 のソース 23s と信号線 Y との間の電流のオン（選択期間）・オフ（発光期間）を行うものとして機能する。また、保持トランジスタ 22 は、選択期間に駆動トランジスタ 23 のソース 23s - ドレイン 23d 間に電流が流れることができる状態にし、発光期間に駆動トランジスタ 23 のゲート 23g - ソース 23s 間に印加した電圧を保持するものとして機能する。そして、駆動トランジスタ 23 は、発光期間中に供給線 Z 及び給電配線 61 がハイレベルになった時に、階調に応じた大きさの電流を有機 EL 素子 20 に流して有機 EL 素子 20 を駆動するものとして機能する。

20

【0125】

〔給電配線及び共通配線の幅、断面積及び抵抗率〕

以下、第 1 の実施形態のディスプレイパネル 1 の給電配線及び共通配線の幅、断面積及び抵抗率を定義する。これは、後述する第 2 の実施形態でも同様である。ここでは、ディスプレイパネル 1 の画素数を $WXGA(768 \times 1366)$ としたときの給電配線 61 及び共通配線 62 の望ましい幅、断面積を定義する。

30

【0126】

なお、以下に述べる給電配線 61 及び共通配線 62 についての望ましい幅等は封止基板 80 を設けない場合のものであり、封止基板 80 を設ける場合にはそれらの条件が緩和される。

【0127】

図 14 は、各サブピクセルの駆動トランジスタ 23 及び有機 EL 素子 20 の電流 - 電圧特性を示すグラフである。図 14 において、縦軸は 1 つの駆動トランジスタ 23 のソース 23s - ドレイン 23d 間を流れる書込電流の電流値又は 1 つの有機 EL 素子 20 のアノード - カソード間を流れる駆動電流の電流値であり、横軸は 1 つの駆動トランジスタ 23 のソース 23s - ドレイン 23d 間の電圧（同時に 1 つの駆動トランジスタ 23 のゲート 23g - ドレイン 23d 間の電圧）である。

40

【0128】

図中、実線 $I_{ds\ max}$ は、最高輝度階調（最も明るい表示）のときの書込電流及び駆動電流であり、一点鎖線 $I_{ds\ mid}$ は、最高輝度階調と最低輝度階調との間の中間輝度階調のときの書込電流及び駆動電流であり、二点鎖線 V_{po} は駆動トランジスタ 23 の不飽和領域（線形領域）と飽和領域との閾値つまりピンチオフ電圧であり、三点鎖線 V_{ds} は駆動トランジスタ 23 のソース 23s - ドレイン 23d 間を流れる書込電流であり、破線 I_{el} は有機

50

EL素子20のアノード - カソード間を流れる駆動電流である。

【0129】

ここで電圧VP1は、最高輝度階調時の駆動トランジスタ23のピンチオフ電圧であり、電圧VP2は、駆動トランジスタ23が最高輝度階調の書込電流が流れるときのソース - ドレイン間電圧であり、電圧VELmax (電圧VP4 - 電圧VP3) は有機EL素子20が最高輝度階調の書込電流と電流値が等しい最高輝度階調の駆動電流で発光するときのアノード - カソード間の電圧である。電圧VP2' は、駆動トランジスタ23が中間輝度階調の書込電流が流れるときのソース - ドレイン間電圧であり、電圧 (電圧VP4' - 電圧VP3') は有機EL素子20が中間輝度階調の書込電流と電流値が等しい中間輝度階調の駆動電流で発光するときのアノード - カソード間電圧である。

10

【0130】

駆動トランジスタ23及び有機EL素子20はいずれも飽和領域で駆動させるために、給電配線61の発光期間時の電圧VHから共通配線62の発光期間時の電圧Vcomを減じた値VXは下記の式(1)を満たす。

$$VX = Vpo + Vth + Vm + VEL \quad \dots (1)$$

【0131】

Vth (最高輝度時の場合VP2 - VP1に等しい) は駆動トランジスタ23の閾値電圧であり、VEL (最高輝度時の場合VELmaxに等しい) は有機EL素子20のアノード - カソード間電圧であり、Vmは、階調に応じて変位する許容電圧である。

【0132】

図から明らかなように、電圧VXのうち、輝度階調が高くなる程、トランジスタ23のソース - ドレイン間に要する電圧 (Vpo + Vth) が高くなるとともに有機EL素子20のアノード - カソード間に要する電圧VELが高くなる。したがって、許容電圧Vmは、輝度階調が高くなるほど低くなり、最小許容電圧VminはVP3 - VP2となる。

20

【0133】

有機EL素子20は低分子EL材料及び高分子EL材料にかかわらず一般的に経時劣化し、高抵抗化する。10000時間後のアノード - カソード間電圧は初期時の1.4倍程度になることが確認されている。つまり、電圧VELは、同じ輝度階調時でも時間が経つ程高くなる。このため、駆動初期時の許容電圧Vmが高い程長期間にわたって動作が安定するので、電圧VELが8V以上、より望ましくは13V以上となるように電圧VXを設定している。

30

【0134】

この許容電圧Vmには、有機EL素子20の高抵抗化ばかりでなく、さらに、給電配線61による電圧降下の分も含まれる。

【0135】

給電配線61の配線抵抗のために電圧降下が大きいとディスプレイパネル1の消費電力が著しく増大してしまうため、給電配線61の電圧降下は1V以下に設定することが特に好ましい。

【0136】

行方向の一つの画素の長さである画素幅Wpと、行方向の画素数(1366)と、画素領域以外における引き回し配線92等の延長部分を考慮した結果、ディスプレイパネル1のパネルサイズが32インチ、40インチの場合、引き回し配線の全長はそれぞれ706.7mm、895.2mmとなる。ここで、給電配線61の線幅WL及び共通配線62の線幅WLが広がると、構造上有機EL層20bの面積が小さくなり、さらに他の配線との重なり寄生容量を発生してさらなる電圧降下をもたらすため、給電配線61の幅WL及び共通配線62の線幅WLはそれぞれ画素幅Wpの5分の1以下に抑えることが望ましい。

40

【0137】

このようなことを考慮すると、ディスプレイパネル1のパネルサイズが32インチ、40インチの場合、幅WLはそれぞれ34μm以内、44μm以内となる。また給電配線61及び共通配線62の最大膜厚Hmaxはアスペクト比を考慮すると、トランジスタ21～

50

23の最小加工寸法 $4\mu\text{m}$ の1.5倍、つまり $6\mu\text{m}$ となる。したがって給電配線61及び共通配線62の最大断面積 S_{max} は32インチ、40インチで、それぞれ $204\mu\text{m}^2$ 、 $264\mu\text{m}^2$ となる。

【0138】

このような32インチのディスプレイパネル1について、最大電流が流れるように全点灯したときの給電配線61及び共通配線62のそれぞれの最大電圧降下を1V以下にするためには図15に示すように、給電配線61及び共通配線62のそれぞれの配線抵抗率/断面積 S は $4.7 / \text{cm}$ 以下に設定される必要がある。図16に32インチのディスプレイパネル1の給電配線61及び共通配線62のそれぞれの断面積と電流密度の相関関係を表す。なお、上述した給電配線61及び共通配線62の最大断面積 S_{max} 時に許容される抵抗率は、32インチで $9.6\mu\text{cm}$ 、40インチで $6.4\mu\text{cm}$ となる。

10

【0139】

そして、40インチのディスプレイパネル1について、最大電流が流れるように全点灯したときの給電配線61及び共通配線62のそれぞれの最大電圧降下を1V以下にするためには図17に示すように、給電配線61及び共通配線62のそれぞれの配線抵抗率/断面積 S は $2.4 / \text{cm}$ 以下に設定される必要がある。図18に40インチのディスプレイパネル1の給電配線61及び共通配線62のそれぞれの断面積と電流密度の相関関係を表す。

【0140】

給電配線61及び共通配線62の故障により動作しなくなる故障寿命MTFは、下記の式(2)を満たす。

20

$$MTF = A \exp(E_a / K_b T) / J^2 \quad \dots (2)$$

【0141】

E_a は活性化エネルギー、 $K_b T = 8.617 \times 10^{-5} \text{eV}$ 、 J は給電配線61及び共通配線62の抵抗率、 J は電流密度である。

【0142】

給電配線61及び共通配線62の故障寿命MTFは抵抗率の増大やエレクトロマイグレーションに律速する。給電配線61及び共通配線62をAl系(Al単体或いはAlTiやAlNd等の合金)に設定し、MTFが10000時間、85の動作温度で試算すると電流密度 J は $2.1 \times 10^4 \text{A} / \text{cm}^2$ 以下にする必要がある。同様に給電配線61及び共通配線62をCuに設定すると $2.8 \times 10^6 \text{A} / \text{cm}^2$ 以下にする必要がある。なお、Al合金内のAl以外の材料はAlよりも低い抵抗率であることを前提としている。

30

【0143】

これらのことを考慮して、32インチのディスプレイパネル1では、全点灯状態で10000時間に給電配線61及び共通配線62が故障しないようなAl系の給電配線61及び共通配線62のそれぞれの断面積 S は図16から $57\mu\text{m}^2$ 以上必要になり、同様にCuの給電配線61及び共通配線62のそれぞれの断面積 S は図16から $0.43\mu\text{m}^2$ 以上必要になる。

【0144】

そして40インチのディスプレイパネル1では、全点灯状態で10000時間に給電配線61及び共通配線62が故障しないようなAl系の給電配線61及び共通配線62のそれぞれの断面積 S は、図18から $92\mu\text{m}^2$ 以上必要になり、同様にCuの給電配線61及び共通配線62のそれぞれの断面積 S は、図18から $0.69\mu\text{m}^2$ 以上必要になる。

40

【0145】

Al系の給電配線61及び共通配線62では、Al系の抵抗率が $4.00\mu\text{cm}$ とすると、32インチのディスプレイパネル1では上述のように配線抵抗率/断面積 S が $4.7 / \text{cm}$ 以下なので、最小断面積 S_{min} は $85.1\mu\text{m}^2$ となる。このとき上述のように給電配線61及び共通配線62の配線幅 WL は $34\mu\text{m}$ 以内なので給電配線61及び共通配線62の最小膜厚 H_{min} は $2.50\mu\text{m}$ となる。

【0146】

50

また A 1 系の給電配線 6 1 及び共通配線 6 2 の 4 0 インチのディスプレイパネル 1 では上述のように配線抵抗率 / 断面積 S が $2.4 / \text{cm}$ 以下なので、最小断面積 S_{min} は $167 \mu\text{m}^2$ となる。このとき上述のように給電配線 6 1 及び共通配線 6 2 の配線幅 WL は $44 \mu\text{m}$ 以内なので給電配線 6 1 及び共通配線 6 2 の最小膜厚 H_{min} は $3.80 \mu\text{m}$ となる。

【 0 1 4 7 】

C u の給電配線 6 1 及び共通配線 6 2 では、C u の抵抗率が $2.10 \mu\text{cm}$ とすると、3 2 インチのディスプレイパネル 1 では上述のように配線抵抗率 / 断面積 S が $4.7 / \text{cm}$ 以下なので、最小断面積 S_{min} は $44.7 \mu\text{m}^2$ となる。このとき上述のように給電配線 6 1 及び共通配線 6 2 の配線幅 WL は $34 \mu\text{m}$ 以内なので給電配線 6 1 及び共通配線 6 2 の最小膜厚 H_{min} は $1.31 \mu\text{m}$ となる。

10

【 0 1 4 8 】

また C u の給電配線 6 1 及び共通配線 6 2 の 4 0 インチのディスプレイパネル 1 では上述のように配線抵抗率 / 断面積 S が $2.4 / \text{cm}$ 以下なので、最小断面積 S_{min} は $87.5 \mu\text{m}^2$ となる。このとき上述のように給電配線 6 1 及び共通配線 6 2 の配線幅 WL は $44 \mu\text{m}$ 以内なので給電配線 6 1 及び共通配線 6 2 の最小膜厚 H_{min} は $1.99 \mu\text{m}$ となる。

【 0 1 4 9 】

以上のことから、ディスプレイパネル 1 を正常且つ消費電力を低く動作させるには、給電配線 6 1 及び共通配線 6 2 での電圧降下を 1V 以下にした方が好ましく、このような条件にするには、給電配線 6 1 及び共通配線 6 2 が A 1 系の 3 2 インチのパネルでは、膜厚 H が $2.50 \mu\text{m} \sim 6 \mu\text{m}$ 、幅 WL が $14.1 \mu\text{m} \sim 34.0 \mu\text{m}$ 、抵抗率が $4.0 \mu\text{cm} \sim 9.6 \mu\text{cm}$ となり、給電配線 6 1 及び共通配線 6 2 が A 1 系の 4 0 インチのパネルでは、膜厚 H が $3.80 \mu\text{m} \sim 6 \mu\text{m}$ 、幅 WL が $27.8 \mu\text{m} \sim 44.0 \mu\text{m}$ 、抵抗率が $4.0 \mu\text{cm} \sim 9.6 \mu\text{cm}$ となる。

20

【 0 1 5 0 】

総じて A 1 系の給電配線 6 1 及び共通配線 6 2 の場合、膜厚 H が $2.50 \mu\text{m} \sim 6 \mu\text{m}$ 、幅 WL が $14.1 \mu\text{m} \sim 44.0 \mu\text{m}$ 、抵抗率が $4.0 \mu\text{cm} \sim 9.6 \mu\text{cm}$ となる。

【 0 1 5 1 】

同様に、給電配線 6 1 及び共通配線 6 2 が C u の 3 2 インチのパネルでは、膜厚 H が $1.31 \mu\text{m} \sim 6 \mu\text{m}$ 、幅 WL が $7.45 \mu\text{m} \sim 34 \mu\text{m}$ 、抵抗率が $2.1 \mu\text{cm} \sim 9.6 \mu\text{cm}$ となり、給電配線 6 1 及び共通配線 6 2 が C u の 4 0 インチのパネルでは、膜厚 H が $1.99 \mu\text{m} \sim 6 \mu\text{m}$ 、幅 WL が $14.6 \mu\text{m} \sim 44.0 \mu\text{m}$ 、抵抗率が $2.1 \mu\text{cm} \sim 9.6 \mu\text{cm}$ となる。

30

【 0 1 5 2 】

総じて C u の給電配線 6 1 及び共通配線 6 2 の場合、膜厚 H が $1.31 \mu\text{m} \sim 6 \mu\text{m}$ 、幅 WL が $7.45 \mu\text{m} \sim 44 \mu\text{m}$ 、抵抗率が $2.1 \mu\text{cm} \sim 9.6 \mu\text{cm}$ となる。

【 0 1 5 3 】

したがって、給電配線 6 1 及び共通配線 6 2 として A 1 系材料又は C u を適用した場合、ディスプレイパネル 1 の給電配線 6 1 及び共通配線 6 2 は、膜厚 H が $1.31 \mu\text{m} \sim 6 \mu\text{m}$ 、幅 WL が $7.45 \mu\text{m} \sim 44 \mu\text{m}$ 、抵抗率が $2.1 \mu\text{cm} \sim 9.6 \mu\text{cm}$ となる。

40

【 0 1 5 4 】

〔 効果 〕

以上のように、供給線 $Z_1 \sim Z_m$ をそれぞれ流れる電流の大きさは、一行の供給線 Z_i に接続された $3 \times n$ 個の有機 E L 素子 2 0 に流れる駆動電流の大きさの和になるので、V G A (Video Graphics Array : 640×480 サイズの表示解像度) 以上の画素数で動画駆動するための選択期間に設定した場合、供給線 $Z_1 \sim Z_m$ のそれぞれの寄生容量が増大してしまい、トランジスタ 2 1 ~ 2 3 のような薄膜トランジスタのゲート電極又はソース、ド

50

ライン電極を構成する薄膜からなる配線では $3 \times n$ 個の有機 EL 素子 20 に書込電流（つまり駆動電流）を流すには抵抗が高すぎる。

【0155】

しかし、本実施形態では、サブピクセル $P_{1,1} \sim P_{m,n}$ の薄膜トランジスタのゲート電極やソース、ドレイン電極とは異なる厚膜層によって供給線 $Z_1 \sim Z_m$ と接続する給電配線 61、61、... をそれぞれ構成している。また、封止基板 80 に給電配線 61、61、... と導通する厚膜配線 82 が形成されている。そのため、各給電配線 61、61、... 及び厚膜配線 82、82、... による電圧降下は小さくなり、短い選択期間であっても遅延なく十分に書込電流（引抜電流）を流すことができる。

【0156】

そして、給電配線 61、61、... を厚くし、給電配線 61、61、... に膜厚を自在に調整できる厚膜配線 82、82、... を導通させることで給電配線 61、61、... 及び厚膜配線 82、82、... を全体として十分に低抵抗化できるので、給電配線 61、61、... の幅を狭くすることができる。そのため、ボトムエミッションの場合、画素開口率の減少を最小限に抑えることができる。

【0157】

同様に、発光期間に共通配線 62 に流れる駆動電流の大きさは、選択期間に給電配線 61 に流れる書込電流（引抜電流）の大きさと同じであるが、共通配線 62 は、サブピクセル $P_{1,1} \sim P_{m,n}$ の薄膜トランジスタのゲート電極やソース、ドレイン電極を構成する導電層とは異なる導電層を用いているので十分な厚さにすることができるから、共通配線 62

【0158】

また、膜厚を自在に調整できる封止基板 80 の厚膜配線 83 で全ての共通配線 62 を導通することで、共通配線 62 - 厚膜配線 83 の系全体でさらなる低抵抗化を図ることが可能となるとともに、共通配線 62 - 厚膜配線 83 の系全体での抵抗率等を考えればよくなるから、前述したような共通配線 62 の膜厚 H や幅 WL 等に対する厳しい設計条件が緩和され、ディスプレイパネル 1 がより製造し易くなる。

【0159】

さらに、封止基板 80 の厚膜配線 83 を設けることで、対向電極 20c 自体が薄膜化してより高抵抗になっても対向電極 20c の電圧を面内で一樣にすることができる。従って、仮に全てのサブピクセル電極 20a に同じ電位を印加した場合でも、どの有機 EL 層 20b の発光強度もほぼ等しくなり、面内の発光強度を一樣することができる。

【0160】

上述した二通りの駆動方法のうち第二のディスプレイパネル 1 の駆動方法でディスプレイパネル 1 においては、給電配線 61、61、... は、絶縁基板 2 の第二の周縁部の引き回し配線 92、端子部 92d 及び端子部 92e を介して外部の発振回路からのクロック信号により等電位となるため、すみやかに有機 EL 素子 20、20... から給電配線 61、61、... 全体に電流を供給することができる。

【0161】

なお、第一及び第二の EL ディスプレイパネル 1 の対向電極 20c は、信号線 Y_{r_1} 、 Y_{g_1} 、 $Y_{b_1} \sim Y_{r_n}$ 、 Y_{g_n} 、 Y_{b_n} と平面視して重ならないように構成されているので、対向電極 20c と信号線 Y_{r_1} 、 Y_{g_1} 、 $Y_{b_1} \sim Y_{r_n}$ 、 Y_{g_n} 、 Y_{b_n} との間の寄生容量が、重なっている場合に比べて極めて小さくなっている。このため、書込電流が各有機 EL 素子 20 をそれぞれ発光するのに要する微小な電流であっても、各信号線 Y_{r_j} 、 Y_{g_j} 、 Y_{b_j} の寄生容量に電荷を速やかにチャージでき、遅延することなく信号線 Y_{r_1} 、 Y_{g_1} 、 $Y_{b_1} \sim Y_{r_n}$ 、 Y_{g_n} 、 Y_{b_n} に定常化されて流れるので、駆動トランジスタ 3 のゲート - ソース間の電位を速やかに駆動電流が流れる状態にすることができる。

【0162】

[第2の実施の形態]

図 19 ~ 図 22 を用いて、第 2 の実施形態におけるディスプレイパネル 1 について説明

10

20

30

40

50

する。なお、第2の実施形態におけるディスプレイパネル1については、第1の実施形態におけるディスプレイパネル1のいずれかの部分と同一の部分に対しては同一の符号を付し、同一の部分についての説明を省略する。

【0163】

〔ディスプレイパネルの平面レイアウト〕

図19は、第2の実施形態におけるディスプレイパネルの配線構造を示した略平面図である。図19では、封止基板80を取り除いた状態を示す。このディスプレイパネル1においても、第1の実施形態と同様に、1ピクセルの画素3が、水平方向に並んだ赤色に発光する1ドットの赤サブピクセルPrと、緑色に発光する1ドットの緑サブピクセルPgと、青色に発光する1ドットの青サブピクセルPbと、からなる。このような画素3が絶縁基板2上にマトリクス状に配列されている。

10

【0164】

具体的に垂直方向の配列に着目すると、複数の赤サブピクセルPrが垂直方向(列方向)に沿って一列に配列され、複数の緑サブピクセルPgが垂直方向に沿って一列に配列され、複数の青サブピクセルPbが垂直方向に沿って一列に配列されている。また、水平方向(行方向)の配列に着目すると、赤サブピクセルPr、緑サブピクセルPg、青サブピクセルPbの順に繰り返し配列され、水平方向に連続して並んだ赤サブピクセルPr、緑サブピクセルPg、青サブピクセルPbの組み合わせが画素3となる。

【0165】

なお、以下の説明において、サブピクセルPはこれら赤サブピクセルPr、緑サブピクセルPg、青サブピクセルPbの中の任意のサブピクセルを表し、サブピクセルPについての説明は赤サブピクセルPr、緑サブピクセルPg、青サブピクセルPbの何れについても適用される。

20

【0166】

また、赤サブピクセルPrの水平方向一端側には信号線Yrが、緑サブピクセルPgの水平方向一端側には信号線Ygが、青サブピクセルPbの水平方向一端側には信号線Ybがそれぞれ垂直方向に沿って延在している。

【0167】

ここで、信号線Yrは垂直方向に並ぶ画素3の全ての赤サブピクセルPrに対して信号を供給するものであり、信号線Ygは垂直方向に並ぶ画素3の全ての緑サブピクセルPgに対して信号を供給するものであり、信号線Ybは垂直方向に並ぶ画素3の全ての青サブピクセルPbに対して信号を供給するものである。

30

【0168】

信号線Yr、Yg、Ybに並行して複数本の給電配線61及び複数本の共通配線62が交互にそれぞれサブピクセルPの一端側に延在している。つまり水平方向に対して左側から右側に向かって、給電配線61、共通配線62、給電配線61、共通配線62、……の順に配列されている。

【0169】

また、複数本の走査線Xが水平方向に沿って延在し、これら走査線Xに対して複数本の供給線Zが平行に設けられている。水平方向に沿った一行の画素3群につき、1本の走査線Xと1本の供給線Zとが設けられている。ここで、走査線X及び供給線Zは、水平方向に並ぶ画素3の全サブピクセルPr、Pg、Pbにそれぞれ信号を供給するものである。水平方向に延在する供給線Zと垂直方向に延在する給電配線61とは電氣的に導通されている。

40

【0170】

図19においては図示が省略されているが、水平方向に長尺な矩形状で示されたサブピクセルPr、Pg、Pbの位置には、有機EL素子20のアノードであるサブピクセル電極20aがそれぞれ設けられている。給電配線61と隣の共通配線62との間において複数のサブピクセル電極20aがそれぞれ垂直方向に沿った一列に配列されている。

【0171】

50

ここで、 m 、 n をそれぞれ2以上の整数とし、画素3が垂直方向に沿って m 個、水平方向に沿って n 個配列されていると、サブピクセル電極20aは垂直方向に沿ってサブピクセルの一行分の数と同数の m 個だけ、水平方向に沿ってサブピクセルの一行分の数と同数の $(3 \times n)$ 個だけ配列されている。

【0172】

〔サブピクセルの回路構成〕

次に、サブピクセルPr、Pg、Pbの回路構成については、図20の等価回路図に示されるように何れのサブピクセルPr、Pg、Pbも同様に構成されており、それぞれのサブピクセルPr、Pg、Pbに有機EL素子20、スイッチトランジスタ21、保持トランジスタ22、駆動トランジスタ23及びキャパシタ24が設けられている。

10

【0173】

なお、第1の実施形態における等価回路図である図2と図20とを比較して分かるように、第2の実施形態では選択配線60が設けられていないこと以外は回路構成としては等価であるから説明を省略する。

【0174】

〔画素の平面レイアウト〕

画素3の平面レイアウトについて図21を用いて説明する。なお、図21は、赤サブピクセルPr及び緑サブピクセルPgの電極を示した平面図であるが、青サブピクセルPbについても同様である。また、図面を見やすくするために、有機EL素子20のサブピクセル電極20a、対向電極20c及び封止基板80の図示を省略する。

20

【0175】

図21に示すように、平面視して、駆動トランジスタ23及びスイッチトランジスタ21が給電配線61や共通配線62に沿うように配置され、保持トランジスタ22が走査線Xに隣接するサブピクセルPの角部に配置されている。なお、保持トランジスタ22のドレイン22dおよび駆動トランジスタ23のドレイン23dは、供給線Zと一体形成されている。供給線Zと給電配線61とはコンタクトホール71で導通されている。

【0176】

また、キャパシタ24が給電配線61又は共通配線62或いは供給線Zに沿うサブピクセルPの部分に配置されている。また、スイッチトランジスタ21のソース21sは、赤サブピクセルPrでは信号線Yrに接続されており、緑サブピクセルPgでは信号線Ygに接続されており、青サブピクセルPbでは信号線Ybに接続されている。

30

【0177】

〔ディスプレイパネルの層構造〕

ディスプレイパネル1の層構造について図21～図23を用いて説明する。ここで、図22は、図21に示された線XXII-XXIIに沿って絶縁基板2の厚さ方向に切断した矢視断面図である。

【0178】

ディスプレイパネル1は、光透過性を有する絶縁基板2に対して種々の層を積層したものである。絶縁基板2は可撓性のシート状に設けられているか、又は剛性の板状に設けられている。

40

【0179】

次に、トランジスタ21～23やキャパシタ24、有機EL素子20等の層構造については、図21と第1の実施形態についての図3～図5とを比較して分かるようにコンタクトホール64の位置等が異なるほかは基本的に同一の構成であり、また、信号線Y、走査線Xおよび供給線Zについてもトランジスタ21～23等との位置関係は異なるが、基本的に同一の構成であるから説明を省略する。

【0180】

なお、本実施形態においても、ディスプレイパネル1をボトムエミッション型として用いるため、すなわち、絶縁基板2を表示面として用いるため、ゲート絶縁膜31、保護絶縁膜32及び平坦化膜33には透明な材料を用いる。絶縁基板2から平坦化膜33までの

50

積層構造をトランジスタアレイ基板 50 という。

【0181】

前述したように、本実施形態では、信号線 Y_r、Y_g、Y_b に並行して複数本の給電配線 61 及び複数本の共通配線 62 が交互にそれぞれサブピクセル P の一端側に延在している。

【0182】

給電配線 61 は、図 22 に示すように、トランジスタアレイ基板 50 上のサブピクセル電極 20a を隣接するサブピクセル P の間に 1 つおきに垂直方向に延在するように残したものを下地電極として電解メッキ法により形成されたものであり、信号線 Y_r、Y_g、Y_b、走査線 X 及び供給線 Z よりも十分に厚く形成される。給電配線 61 は、金、銀、銅、及びニッケルのうちの少なくともいずれかを含むことが好ましい。

10

【0183】

また、トランジスタアレイ基板 50 の表面上であって給電配線 61 が形成されていない隣接するサブピクセル P 間には垂直方向に延在する絶縁ライン 51 が形成されており、その上部に共通配線 62 が積層されている。共通配線 62 は、メッキ法により形成されたものであるため、信号線 Y、走査線 X 及び供給線 Z よりも十分に厚く、平坦化膜 33 の表面に対して凸設されている。共通配線 62 は金、銀、銅、及びニッケルのうちの少なくともいずれかを含むことが好ましい。

【0184】

給電配線 61 及び共通配線 62 の表面には、撥水性・撥油性を有した撥液性導通層 53、54 が成膜されている。撥液性導通層 53、54 は、例えば前記化学式に示されたトリアジルトリチオールメルカプト基(-SH)の水素原子(H)が還元離脱し、硫黄原子(S)が給電配線 61 及び共通配線 62 の表面に酸化吸着したものである。給電配線 61 及び共通配線 62 の表面上でトリアジルトリチオール分子が規則正しく並んだ極薄い分子層からなる膜を形成することは前述した通りである。

20

【0185】

有機 EL 層 20b 上には、有機 EL 素子 20 のカソードとして機能する対向電極 20c が成膜されており、対向電極 20c は、共通配線 62 の頭頂面や側面をも被覆するように形成されているが、給電配線 61 では頭頂面のみ被覆し、側面部分からは除去されている。そのため、本実施形態においても、給電配線 61 の頭頂面を被覆する対向電極 20c は、もはや対向電極 20c としては機能していないから、以下、単に電極 63 という。

30

【0186】

対向電極 20c は撥液性導通層 54 を挟んで共通配線 62 に通電するから、図 2 の回路図に示したように、対向電極 20c は共通配線 62 に対して導通性を有するようになる。また、電極 63 は撥液性導通層 53 を挟んで給電配線 61 に通電し、給電配線 61 の側面部分では除去されているから、給電配線 61 と共通配線 62 とが対向電極 20c を介して短絡することはない。

【0187】

有機 EL 素子 20 の対向電極 20c 上には、保護膜 56 が成膜されている。保護膜 56 は、選択配線 60、給電配線 61 及び共通配線 62 の頭頂部以外の対向電極 20c を被覆する無機膜又は有機膜である。そのため、対向電極 20c の劣化が保護膜 56 によって防止されている。

40

【0188】

給電配線 61 及び共通配線 62 の頭頂部を被覆する電極 63 上及び対向電極 20c 上には、平板状の封止基板 80 がディスプレイパネル 1 のほぼ全面を覆う状態に貼付されている。本実施形態では、封止基板 80 は、封止ガラス 81 と、給電配線 61 及び共通配線 62 に対応する位置に形成された厚膜配線 82、83 と、その表面に塗布された導電性を有する接着層 84 とから構成されている。

【0189】

厚膜配線 82、83 は、封止ガラス 81 上の給電配線 61 及び共通配線 62 に対応する

50

位置に銅錫メッキにより成膜されて形成されている。また、本実施形態では、封止基板 80 の厚膜配線 82、83 は、図 23 に示すように、平面視した場合、トランジスタアレイ基板 50 の表面から凸設された給電配線 61 及び共通配線 62 に沿い、それぞれ引き回し配線 86、85 により互いに導通された状態に形成されている。なお、図中の選択ドライバ 90 は厚膜配線 82、83 との位置関係を示すために点線で表現されたものである。

【0190】

対向電極 20c には、端子部 85d 及び端子部 85e から低抵抗の厚膜配線 83 及び共通配線 62 を介して電圧 V_{com} が入力され、等電位となる。また、給電配線 61 には、端子部 86d 及び端子部 86e から厚膜配線 82 及び電極 63 及びを介して所定の電圧を印加することができる。

10

【0191】

〔ディスプレイパネルの駆動方法〕

本実施形態のディスプレイパネル 1 では、図 21 に示したように、サブピクセル P 間を水平方向に延在する供給線 Z と垂直方向に延在する給電配線 61 とがコンタクトホール 71 で導通されている。そのため、第 1 の実施形態の図 10 で示したような駆動方法を用いることができないが、図 13 に示した前記第二のディスプレイパネル 1 のアクティブマトリクス駆動方法、すなわち、クロック信号を用いた共通駆動を用いて駆動させることができる。この駆動方法については前述した図 13 の説明の通りであるからここでは説明を省略する。

【0192】

〔給電配線及び共通配線の幅、断面積及び抵抗率〕

この給電配線及び共通配線の幅、断面積及び抵抗率についても、第 1 の実施形態で述べた通りであるから説明を省略する。

20

【0193】

〔効果〕

以上のような構成及び機能を有するから、本実施形態に係るディスプレイパネル 1 も前記第 1 の実施形態に係るディスプレイパネルの効果すべてを発揮することができる。また、トランジスタアレイ基板 50 から凸設され有機 EL 素子 20 部分を構成する際のバンクとなるバンクラインとして、第 1 の実施形態のように選択配線 60 を用いず、給電配線 61 と共通配線 62 とだけで構成しているから、RGB の画素構成を非常にシンプルにすることが可能となる。

30

【0194】

また、選択配線 60 を用いないため、給電配線 61 及び共通配線 62 の本数が、第 1 の実施形態のディスプレイパネル 1 の場合の 1.5 倍となり、必要な電流をより多くの本数の給電配線 61 で供給し共通配線 62 に流すことができるから、全体的に見た場合、給電配線 61 や共通配線 62 を実質的に低抵抗化することができる。

【0195】

〔変形例 1〕

なお、本発明は、上記の第 1 及び第 2 の実施形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

40

【0196】

上記各実施形態では、トランジスタ 21 ~ 23 が N チャネル型の電界効果トランジスタとして説明を行った。トランジスタ 21 ~ 23 が P チャネル型の電界効果トランジスタであっても良い。その場合、図 2 や図 20 の回路構成では、トランジスタ 21 ~ 23 のソース 21s、22s、23s とトランジスタ 21 ~ 23 のドレイン 21d、22d、23d の関係が逆になる。例えば、駆動トランジスタ 23 が P チャネル型の電界効果トランジスタの場合には、駆動トランジスタ 23 のドレイン 23d が有機 EL 素子 20 のサブピクセル電極 20a に導通し、ソース 23s が供給線 Z および給電配線 61 に導通する。

【0197】

〔変形例 2〕

50

また、上記各実施形態では、1ドットのサブピクセルPにつき3つのトランジスタ21~23が設けられているが、1ドットのサブピクセルPにつき1又は複数のトランジスタが設けられ、これらトランジスタを用いてアクティブ駆動することができるディスプレイパネルであれば、本発明を適用することができる。

【0198】

〔変形例3〕

また、上記各実施形態では、信号線Yがゲートレイヤーからパターンニングされたものであるが、信号線Yがドレインレイヤーからパターンニングされたものでも良い。この場合、走査線X及び供給線Zがゲートレイヤーからパターンニングされたものとなり、信号線Yが走査線X及び供給線Zよりも上層になる。

【0199】

〔変形例4〕

また、上記各実施形態では、有機EL素子20の発光をサブピクセル電極20aを介して基板2から出射させたが、これに限らず、下層に光反射性金属膜、上層にITO等の金属酸化物膜を配置したサブピクセル電極20aを用いることによって、封止ガラス81側から有機EL素子20の光を出射させてもよい。このとき、接着層84は透過率を下げない程度に薄く被膜するか、厚膜配線82、83に対応する位置のみ設ければよい。

【図面の簡単な説明】

【0200】

【図1】第1実施形態におけるディスプレイパネルの画素を示した平面図である。

【図2】サブピクセルPの等価回路図である。

【図3】赤サブピクセルPrの電極を示した平面図である。

【図4】緑サブピクセルPgの電極を示した平面図である。

【図5】青サブピクセルPbの電極を示した平面図である。

【図6】図3~図5に示された破断線VI-VIに沿って絶縁基板の厚さ方向に切断した矢視断面図である。

【図7】図3に示された破断線VII-VIIに沿って絶縁基板の厚さ方向に切断した矢視断面図である。

【図8】封止基板の厚膜配線の構成を説明する図である。

【図9】第1実施形態におけるディスプレイパネルの配線構造を示した略平面図である。

【図10】図1のディスプレイパネルの駆動方法を説明するためのタイミングチャートである。

【図11】第二のディスプレイパネルの配線構造を示した略平面図である。

【図12】第二のディスプレイパネルにおける封止基板の厚膜配線の構成を説明する図である。

【図13】図11のディスプレイパネルの駆動方法を説明するためのタイミングチャートである。

【図14】各サブピクセルの駆動トランジスタ及び有機EL素子の電流-電圧特性を示すグラフである。

【図15】3.2インチのディスプレイパネルの給電配線及び共通配線のそれぞれの最大電圧降下と配線抵抗率/断面積Sの相関を示すグラフである。

【図16】3.2インチのディスプレイパネルの給電配線及び共通配線のそれぞれの断面積と電流密度の相関を示すグラフである。

【図17】4.0インチのディスプレイパネルの給電配線及び共通配線のそれぞれの最大電圧降下と配線抵抗率/断面積Sの相関を示すグラフである。

【図18】4.0インチのディスプレイパネルの給電配線及び共通配線のそれぞれの断面積と電流密度の相関を示すグラフである。

【図19】第2実施形態におけるディスプレイパネルの画素を示した平面図である。

【図20】サブピクセルPの等価回路図である。

【図21】サブピクセルPの電極を示した平面図である。

10

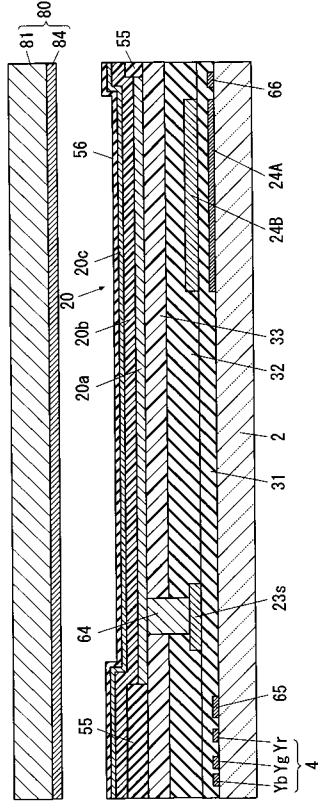
20

30

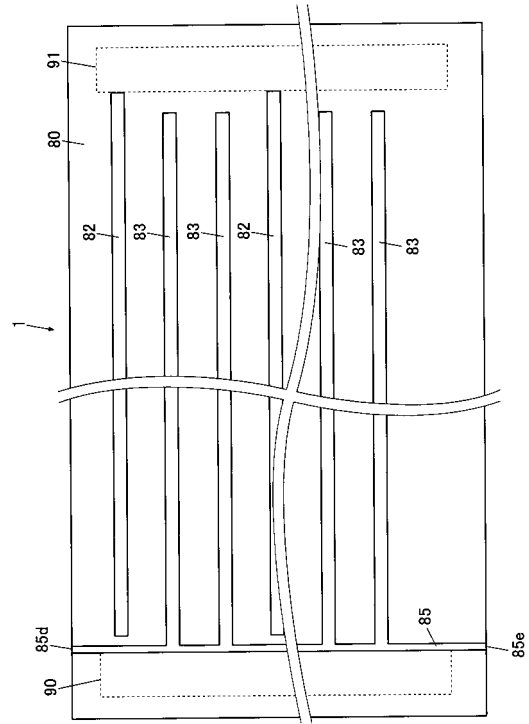
40

50

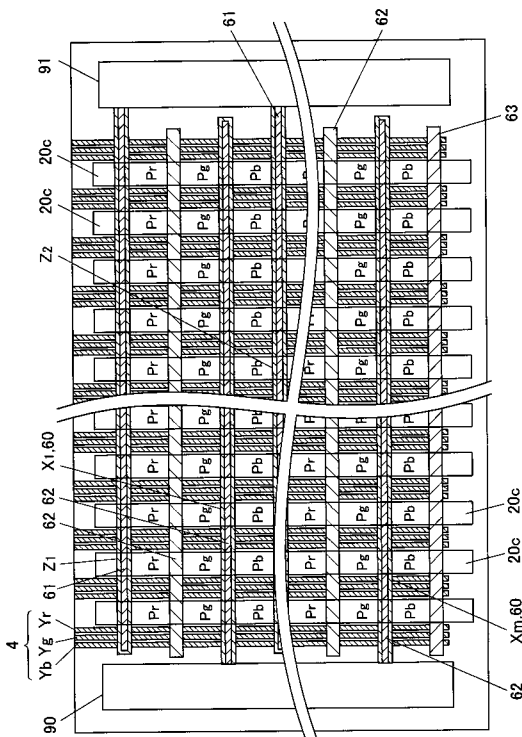
【図7】



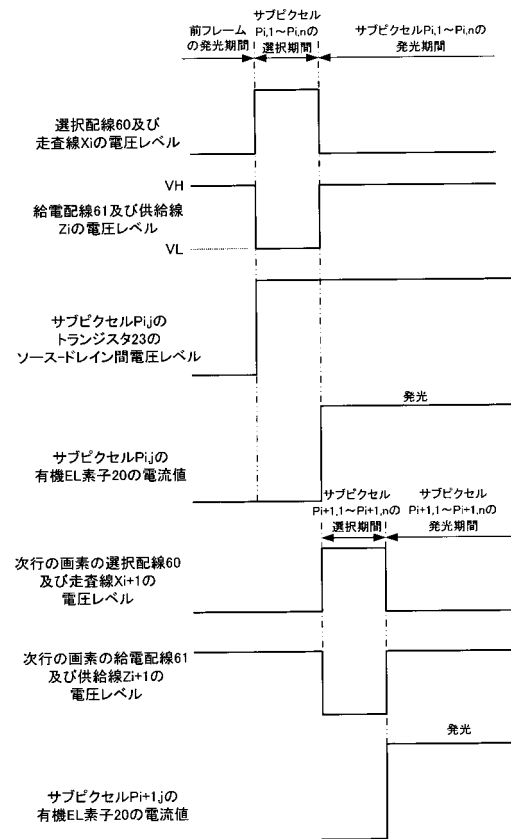
【図8】



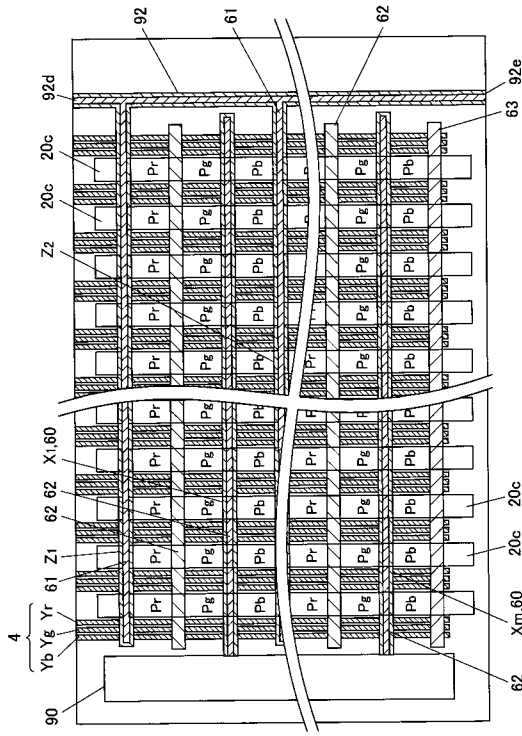
【図9】



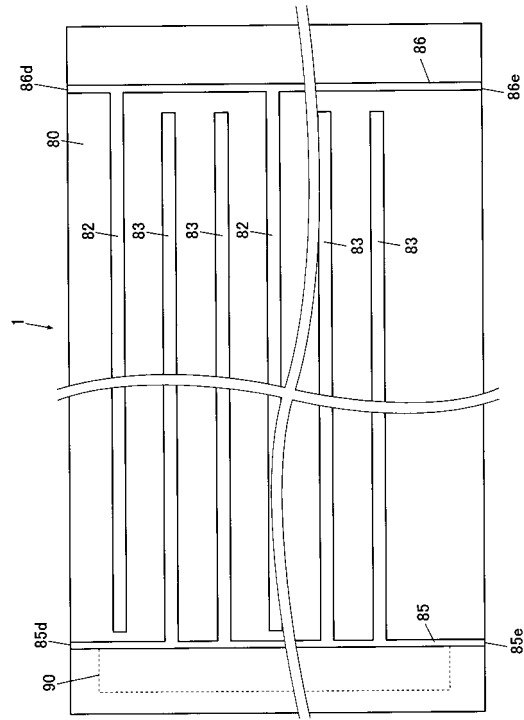
【図10】



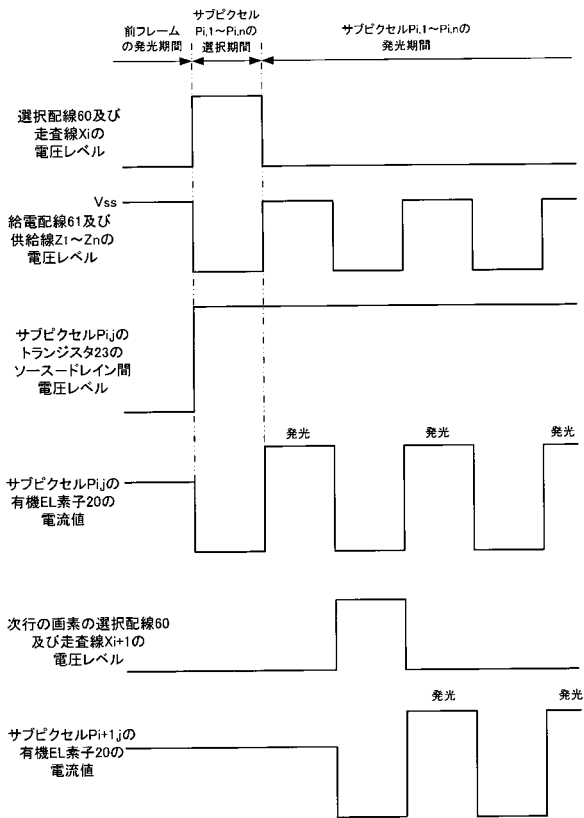
【図11】



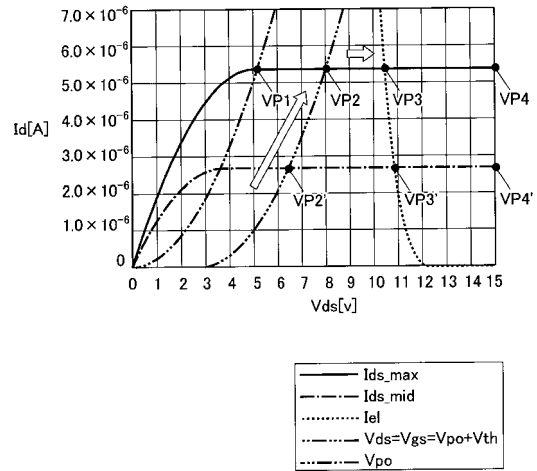
【図12】



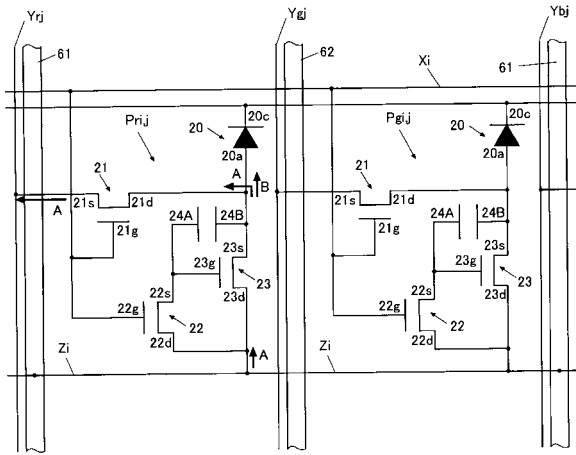
【図13】



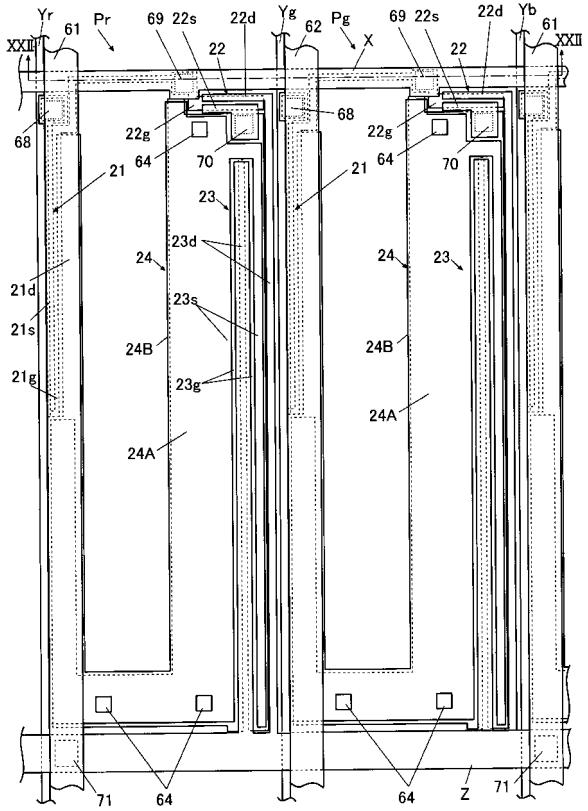
【図14】



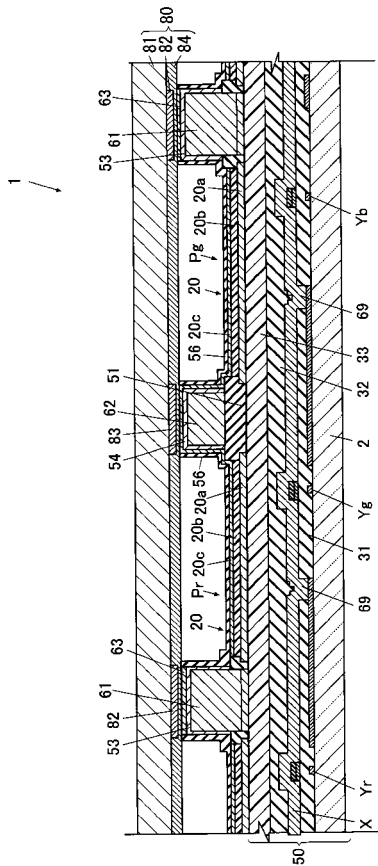
【図 20】



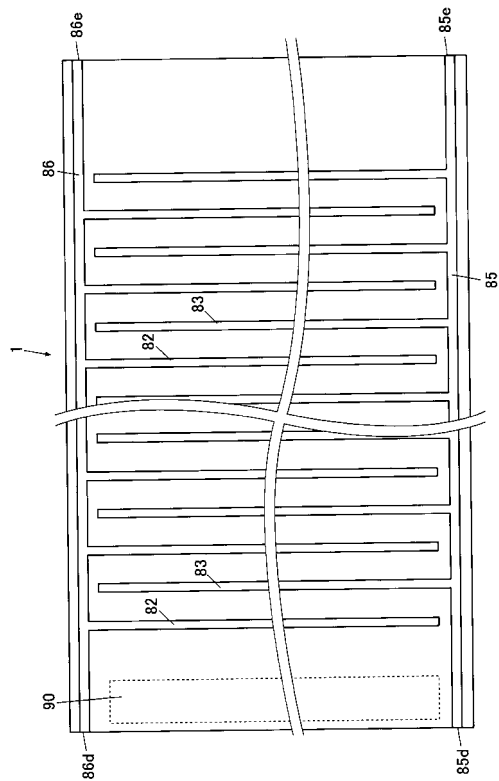
【図 21】



【図 22】



【図 23】



フロントページの続き

(72)発明者 小倉 潤

東京都八王子市石川町2951番地5 カシオ計算機株式会社 八王子技術センター内

審査官 井海田 隆

(56)参考文献 特開2001-236025(JP,A)

特開2002-033198(JP,A)

特開2004-004611(JP,A)

特開2004-139057(JP,A)

特開2005-049808(JP,A)

特開2000-036391(JP,A)

特開昭63-048793(JP,A)

特開2001-222256(JP,A)

特開平08-330600(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/30

H01L 27/32

H01L 51/50

H05B 33/04