

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6082562号
(P6082562)

(45) 発行日 平成29年2月15日 (2017.2.15)

(24) 登録日 平成29年1月27日 (2017.1.27)

(51) Int. Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 6 C
HO 1 L 21/316 (2006.01)	HO 1 L 21/316 X

請求項の数 3 (全 59 頁)

(21) 出願番号	特願2012-226820 (P2012-226820)	(73) 特許権者	000153878
(22) 出願日	平成24年10月12日 (2012.10.12)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-110392 (P2013-110392A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年6月6日 (2013.6.6)	(72) 発明者	本田 達也
審査請求日	平成27年10月6日 (2015.10.6)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-236186 (P2011-236186)		半導体エネルギー研究所内
(32) 優先日	平成23年10月27日 (2011.10.27)	(72) 発明者	津吹 将志
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	野中 裕介
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	島津 貴志
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

シリコンを含む絶縁膜と、
前記絶縁膜上の酸化物半導体膜と、
前記酸化物半導体膜上のゲート絶縁膜と、
前記ゲート絶縁膜上の、少なくとも前記酸化物半導体膜と重畳するゲート電極と、を有し、

前記酸化物半導体膜は、前記絶縁膜との界面から前記酸化物半導体膜に向けてシリコン濃度が1.1原子%以下の濃度で分布する第1の領域を有し、

前記酸化物半導体膜は、前記第1の領域とは異なる第2の領域を有し、

前記第2の領域に含まれるシリコンの濃度は、前記第1の領域に含まれるシリコンの濃度よりも小さい半導体装置。

【請求項2】

シリコンを含む絶縁膜と、
前記絶縁膜上の酸化物半導体膜と、
前記酸化物半導体膜上のゲート絶縁膜と、
前記ゲート絶縁膜上の、少なくとも前記酸化物半導体膜と重畳するゲート電極と、を有し、

前記酸化物半導体膜は、第1の領域と、第2の領域とを有し、

前記第1の領域は、前記第2の領域よりも前記絶縁膜側に位置し、

10

20

前記第1の領域に含まれるシリコンの濃度は、1.1原子%以下であり、
前記第2の領域に含まれるシリコンの濃度は、前記第1の領域に含まれるシリコンの濃度よりも小さい半導体装置。

【請求項3】

請求項1または請求項2において、

前記第1の領域に含まれるシリコンの濃度が0.1原子%以下である半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置及び半導体装置の作製方法に関する。

10

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路(IC)や画像表示装置(表示装置)のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体材料が注目されている。

20

【0004】

例えば、トランジスタの活性層として、インジウム(In)、ガリウム(Ga)、及び亜鉛(Zn)を含む非晶質酸化物を用いたトランジスタが開示されている(特許文献1参照)。

【0005】

酸化物半導体を用いたトランジスタは、アモルファスシリコンを用いたトランジスタよりも高いオン特性(オン電流など)を有する。

【0006】

また、このようなトランジスタに用いる酸化物半導体について、「酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウムのようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使える」といったことも述べられている(非特許文献1参照)。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2006-165528号公報

【非特許文献】

【0008】

【非特許文献1】神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol.44、pp.621-633

40

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、酸化物半導体は不純物に対して鈍感であるという技術認識を真に受けて、酸化物半導体膜を用いたトランジスタのデバイス構造及びプロセスの設計を行うと、ソース領域及びドレイン領域の抵抗が増大する、オン電流が低下するといった問題が発生する。

【0010】

このような問題に鑑み、開示する発明の一態様は、酸化物半導体膜を用いたトランジスタ又はこのトランジスタによって構成される半導体装置の性能向上を図ることを目的の一と

50

する。例えば、酸化物半導体膜を用いたトランジスタのオン電流の低下を抑制し、このようなトランジスタによって構成される半導体装置の動作特性の向上を図ることを目的の一とする。

【課題を解決するための手段】

【0011】

開示する発明の一態様では、酸化物半導体膜の絶縁膜界面近傍に取り込まれるシリコンなどの不純物を抑制する。

【0012】

すなわち、本発明の一態様は、シリコンおよび酸素を含む絶縁膜と、絶縁膜上の酸化物半導体膜と、酸化物半導体膜上のゲート絶縁膜と、ゲート絶縁膜上の少なくとも酸化物半導体膜と重畳するゲート電極と、酸化物半導体膜と電気的に接続するソース電極およびドレイン電極を有し、少なくともゲート電極と重畳する酸化物半導体膜は、絶縁膜との界面から酸化物半導体膜に向けてシリコン濃度が1.1原子%以下の濃度で分布する領域を有する半導体装置である。

10

【0013】

なお、上述の構造において、当該領域は絶縁膜との界面から膜厚方向に5nm以下の範囲に存在し、当該領域以外に含まれるシリコンの濃度は当該領域に含まれるシリコンの濃度より小さいことが好ましい。

【0014】

また、上述の構造において、当該領域に含まれるシリコンの濃度は0.1原子%以下とすることが好ましい。

20

【0015】

また、上述の構成において、絶縁膜が炭素を含む場合、当該領域において炭素濃度が 1.0×10^{20} atoms/cm³以下となることが好ましい。

【0016】

また、上記において、酸化物半導体膜は結晶性を有する構造としてもよいし、非晶質構造としてもよい。

【発明の効果】

【0017】

開示する発明の一態様は、酸化物半導体膜を用いたトランジスタ又は該トランジスタによって構成される半導体装置の性能向上を図ることができる。

30

【0018】

また、開示する発明の一態様は、酸化物半導体膜を用いたトランジスタのオン電流の低下を抑制し、該トランジスタによって構成される半導体装置の動作特性の向上を図ることができる。

【図面の簡単な説明】

【0019】

【図1】半導体装置の一態様を示す平面図及び断面図。

【図2】半導体装置の作製工程の一例を示す断面図。

【図3】半導体装置の作製工程の一例を示す断面図。

40

【図4】半導体装置の一態様を示す平面図及び断面図。

【図5】半導体装置の作製工程の一例を示す断面図。

【図6】半導体装置の一態様を示す平面図及び断面図。

【図7】半導体装置の作製工程の一例を示す断面図。

【図8】半導体装置の作製工程の一例を示す断面図。

【図9】半導体装置の一態様を示す平面図及び断面図。

【図10】半導体装置の作製工程の一例を示す断面図。

【図11】半導体装置の作製工程の一例を示す断面図。

【図12】半導体装置の作製工程の一例を示す断面図。

【図13】半導体装置の一態様を示す平面図及び断面図。

50

【図14】半導体装置の作製工程の一例を示す断面図。

【図15】半導体装置の構成の一例を表す図。

【図16】半導体装置の構成の一例を表す図。

【図17】半導体装置の構成の一例を表す図。

【図18】半導体装置の構成の一例を表す図。

【図19】半導体装置の構成の一例を表す図。

【図20】半導体装置の構成の一例を表す図。

【図21】半導体装置の構成の一例を表す図。

【図22】電子機器を示す図。

【図23】計算に用いたモデル図。

10

【図24】計算結果を示す図。

【図25】計算結果を示す図。

【図26】本発明の一実施例に係る測定結果を示すグラフ。

【図27】本発明の一実施例に係る測定結果を示すグラフ。

【図28】本発明の一実施例に係るサンプルの構造を示す図。

【図29】本発明の一実施例に係る測定結果を示すグラフ。

【図30】本発明の一実施例に係るサンプルの構造を示す図。

【図31】本発明の一実施例に係る測定結果を示すグラフ。

【図32】本発明の一実施例に係る計算結果を示す図。

【図33】本発明の一実施例に係る計算結果を示す図。

20

【図34】本発明の一実施例に係る計算結果を示す図。

【発明を実施するための形態】

【0020】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0021】

以下に説明する実施の形態において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。

30

【0022】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0023】

また、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0024】

また、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

40

【0025】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0026】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため

50

、本明細書等においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0027】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0028】

(実施の形態1)

本実施の形態では、半導体装置及び半導体装置の作製方法の一形態を、図1乃至図5を用いて説明する。

【0029】

<半導体装置の構成例>

図1(A)および図1(B)に、半導体装置の例として、トップゲート構造のトランジスタの平面図および断面図の一例を示す。図1(A)は平面図であり、図1(B)は、図1(A)における一点鎖線A-B断面の断面図である。なお、図1(A)では、煩雑になることを避けるため、トランジスタ150の構成要素の一部(例えば、基板100など)を省略している。

【0030】

図1(A)および図1(B)に示すトランジスタ150は、基板100上に、絶縁膜102と、酸化物半導体膜106と、ゲート絶縁膜108と、少なくとも酸化物半導体膜と重畳するゲート電極110と、酸化物半導体膜106と電氣的に接続するソース電極114aおよびドレイン電極114bを有している。

【0031】

酸化物半導体膜を用いたトランジスタを微細化するには、酸化物半導体膜の膜厚を極力薄くすることが望ましい(これにより、例えば短チャネル効果を抑制することができる)。なお、トランジスタの電氣的特性(例えば、電界効果移動度やオン電流など)を高めるには、ソース電極とチャネル領域とがオーバーラップしない領域およびドレイン電極とチャネル領域がオーバーラップしない領域を極力狭くすることが好ましいが、微細なトランジスタではパターン形成により当該領域を狭くすることが難しく(例えば、ソース電極またはドレイン電極とゲート電極が接してしまう、などの問題が発生する。)、酸化物半導体膜中に低抵抗領域(本明細書中では、ソース領域およびドレイン領域と表記している)を自己整合的に作製することが有効である。このため、微細なトランジスタは通常、図1のようなトップゲート型構造(スタガ型構造とも言われる。)で形成されることが一般的である。

【0032】

酸化物半導体膜106は、単結晶、多結晶(ポリクリスタルともいう。)または非晶質などの状態をとる。なお、酸化物半導体膜106の膜厚は、1nmより大きく30nm以下とし、好ましくは1nm以上20nm以下、より好ましくは1nm以上10nm以下、更に好ましくは3nm以上7nm以下とする。

【0033】

好ましくは、酸化物半導体膜は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜とする。

【0034】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscopy)により観察される。

10

20

30

40

50

n Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

【0035】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

10

【0036】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0037】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

20

【0038】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0039】

CAAC-OS膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、CAAC-OS膜を成膜することができる。

30

【0040】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

【0041】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度(水素、水、二酸化炭素および窒素など)を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

40

【0042】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100以上740以下、好ましくは200以上500以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【0043】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージ

50

を軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0044】

スパッタリング用ターゲットの一例として、In-Ga-Zn-O化合物ターゲットについて以下に示す。

【0045】

InO_x粉末、GaO_y粉末およびZnO_z粉末を所定のmol数で混合し、加圧処理後、1000以上1500以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn-O化合物ターゲットとする。なお、X、YおよびZは任意の正数である。ここで、所定のmol数比は、例えば、InO_x粉末、GaO_y粉末およびZnO_z粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3または3:1:2である。なお、粉末の種類、およびその混合するmol数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

10

【0046】

非晶質構造の酸化物半導体は、平坦な表面を得やすいため、これを用いたトランジスタは動作させた際のキャリアの界面散乱を低減できるため、比較的高い電界効果移動度を得ることができる。

【0047】

また、図1(B)に示すように、酸化物半導体膜106は端部に20°乃至50°のテーパ角を有していることが好ましい。なお、テーパ角とは、テーパ形状を有する膜(例えば、酸化物半導体膜106)を、その断面(基板の表面と直交する面)に垂直な方向から観察した際に、当該膜の側面と底面がなす傾斜角を示す。酸化物半導体膜106の端部にテーパ角を有することで酸素欠損の発生を抑制し、トランジスタ150のリーク電流の発生を低減することができる。

20

【0048】

酸化物半導体膜106に用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)、ジルコニウム(Zr)、チタン(Ti)、スカンジウム(Sc)、イットリウム(Y)、ランタノイド(例えば、セリウム(Ce)、ネオジウム(Nd)、ガドリウム(Gd))から選ばれた一種又は複数種が含まれていることが好ましい。

30

【0049】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

40

【0050】

50

ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0051】

また、酸化物半導体として、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素、若しくは上記のスタビライザーとしての元素を示す。また、酸化物半導体として、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0052】

例えば、 $In:Ga:Zn = 1:1:1$ 、 $In:Ga:Zn = 3:1:2$ 、 $In:Ga:Zn = 1:3:2$ 、あるいは $In:Ga:Zn = 2:1:3$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0053】

酸化物半導体膜106は、スパッタリング法を用いて成膜されることが一般的である。しかしながら、スパッタリングの際に、イオン化された希ガス元素やターゲット表面からはじき飛ばされた元素が、酸化物半導体膜の被形成面である絶縁膜102の構成元素をはじき飛ばしてしまうことがある。このようにして被形成面となる膜からはじき飛ばされた元素は、酸化物半導体膜に不純物元素として取り込まれてしまい、特に酸化物半導体膜の被形成面近傍には不純物元素が高い濃度で取り込まれるおそれがある。

【0054】

絶縁膜102は、基板100からの不純物の拡散(例えば水素、水分など。)を防止する役割を担い、且つ、高い絶縁性を有する膜を用いる必要がある。このような絶縁膜102としては、シリコンおよび酸素を含む膜を用いることができる。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンから選ばれた一つによる単層構造または複数の膜による積層構造により形成することができる。なお、絶縁膜102中に酸素が含まれていることにより、後述する加熱処理によって当該酸化物絶縁膜の酸素の一部を脱離させることができるので、酸化物半導体膜106に酸素を供給し、酸化物半導体膜106中の酸素欠損を補填することができる。このため、活性層として酸化物半導体材料を用いたトランジスタでは、絶縁膜102は酸素を含むことが非常に好ましいと言える。特に、絶縁膜102中(バルク中)に少なくとも化学量論比を超える量の酸素が存在することが好ましく、例えば、絶縁膜102として、 SiO_{2+x} (ただし、 $x > 0$)で表される酸化シリコン膜を用いることが好ましい。このような酸化シリコン膜を絶縁膜102として用いることで、酸化物半導体膜106に酸素を供給することができ、当該酸化物半導体膜を用いたトランジスタ150のトランジスタ特性を良好にすることができる。

【0055】

なお、上述の「加熱処理により酸素を放出する」とは、TDS(Thermal Desorption Spectroscopy:昇温脱離ガス分光法)にて、酸素分子の放出量が 1.0×10^{18} 分子/cm³以上、好ましくは 3.0×10^{19} 分子/cm³以上、さらに好ましくは 1.0×10^{20} 分子/cm³以上であることをいう。

【0056】

また、絶縁膜102として、酸化物半導体膜106として用いることのできる上述の膜にシリコンなどの不純物を添加して絶縁化させた膜を用いることもできる。

【0057】

なお、絶縁膜102を積層構造とする場合、不純物の拡散防止効果の高い酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、窒化アルミニウム膜などの上に、上述のシリコンおよび酸素を含む絶縁膜(例えば、酸化シリコン膜など。)を成膜すればよい。また、酸化ガリウム膜、酸化イットリウム膜、酸化ランタン膜などの上に、上述のシリコンおよび酸素を含む絶縁膜(例えば、酸化シリコン膜など。)を成膜してもよい。

10

20

30

40

50

【0058】

絶縁膜102として酸化シリコン膜などのシリコンおよび酸素を含む絶縁膜を用いた場合、絶縁膜102中のシリコンなどが不純物として酸化物半導体膜106に取り込まれるおそれがある。酸化物半導体膜106にシリコンなどが不純物として取り込まれることにより、酸化物半導体膜106の抵抗が増大してしまう。

【0059】

微細化のために酸化物半導体膜の膜厚を非常に薄くしたトップゲート型構造のトランジスタでは、仮に酸化物半導体膜の被形成面近傍（バックチャネル側とも表現できる。）に不純物元素が取り込まれる場合でも、チャネル領域に悪影響を及ぼし、オン電流が低下するなどのようにトランジスタの電気特性を低下させる要因となり得る。特に、酸化物半導体膜の膜厚が30nm以下の場合では、当該影響が大きなものとなり、10nm以下の場合では更に大きなものとなる。

10

【0060】

そこで、本実施の形態に示す半導体装置では、絶縁膜102から酸化物半導体膜106の界面近傍に取り込まれるシリコンなどの不純物を抑制する。具体的には、酸化物半導体膜106において、絶縁膜102との界面から酸化物半導体膜106に向けてシリコンの濃度が1.1原子%以下の濃度で分布する領域を形成する。なお、本明細書等では、当該領域を領域106aと呼称する。また、領域106aに含まれるシリコンの濃度は、0.1原子%以下であると更に好ましい。また、領域106aは、絶縁膜102との界面から膜厚方向に5nm以下の範囲に存在することが好ましい。

20

【0061】

なお、酸化物半導体膜106の領域106a以外の領域を領域106bと示す。また、領域106bに含まれるシリコンの濃度は、領域106aに含まれるシリコンの濃度より小さくなる。

【0062】

また、絶縁膜102に炭素などの不純物が含まれる場合、これも上記のシリコンと同様に酸化物半導体膜106に不純物として取り込まれるおそれがある。そこで、領域106aに含まれる炭素濃度は $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以下、より好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下とする。

30

【0063】

上述のように酸化物半導体膜106の領域106aに取り込まれるシリコンなどの不純物を低減することにより、特に微細化のために酸化物半導体膜の膜厚を非常に薄くしたトップゲート型構造のトランジスタにおいて、酸化物半導体膜106を用いたトランジスタ150のオン電流の低下を抑制することができる。よって、トランジスタ150を構成要素として含む半導体装置の動作特性などの性能の向上を図ることができる。

【0064】

なお、その他の構成要素の詳細については、後述するトランジスタ150の作製方法において、図2および図3を用いて説明する。

【0065】

なお、トランジスタ150上には、さらに絶縁膜や平坦化絶縁膜が設けられていてもよい。

40

【0066】

以下、図2および図3を用いて、図1に示すトランジスタ150の作製工程の例について説明する。

【0067】

<トランジスタ150の作製工程>

まず、絶縁表面を有する基板100を準備し、基板100上に絶縁膜102を形成する（図2（A）参照。）。

【0068】

絶縁表面を有する基板100に使用することができる基板に大きな制限はないが、少なく

50

とも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などの基板を用いることができる。また、絶縁表面を有していれば、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することも可能である。

【0069】

また、基板100として、可撓性基板を用いてもよい。可撓性基板を用いる場合、可撓性基板上に酸化物半導体膜106を含むトランジスタを直接作製してもよいし、他の作製基板に酸化物半導体膜106を含むトランジスタを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体膜106を含むトランジスタとの間に剥離層を設けるとよい。

10

【0070】

なお、基板100は、予め基板100の歪み点より低い温度で加熱処理を行い、基板100をシュリンク（熱収縮とも言われる。）させておくことが好ましい。これにより、トランジスタ150の作製工程での基板加熱により生じるシュリンクの量を抑えることができるため、例えば、露光工程などでのマスクずれを抑制することができる。

【0071】

絶縁膜102は、シリコンおよび酸素を含む膜を用いることができる。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンから選ばれた一つによる単層構造または複数の膜による積層構造により形成することができる。絶縁膜102は、基板100から不純物（例えば、アルミニウム、マグネシウム、ストロンチウム、ボロン、水素および水など。）が酸化物半導体膜へ拡散し、トランジスタの電気特性の劣化（例えば、トランジスタのノーマリーオン化（しきい値の負へのシフト）、しきい値バラツキの発生、電界効果移動度の低下など。）を防止する役割を担う。なお、絶縁膜102中に酸素が含まれていることにより、後述する熱処理によって当該酸化物絶縁膜の酸素の一部を脱離させることができるので、酸化物半導体膜106に酸素を供給し、酸化物半導体膜106中の酸素欠損を補填することができる。特に、絶縁膜102中（バルク中）に少なくとも化学量論比を超える量の酸素が存在することが好ましく、例えば、絶縁膜102として、 $SiO_2 +$ （ただし、 > 0 ）で表される酸化シリコン膜を用いることが好ましい。このような酸化シリコン膜を絶縁膜102として用いることで、上述のとおり加熱処理により酸化物半導体膜106に酸素を供給することができ、当該酸化物半導体膜106を用いたトランジスタ150のトランジスタ特性を良好にすることができる。

20

30

【0072】

また、絶縁膜102として、後の工程にて成膜する、酸化物半導体膜106として用いることのできる膜にシリコンなどの不純物を添加して絶縁化させた膜を用いることもできる。

【0073】

なお、絶縁膜102は積層構造としてもよい。絶縁膜102を積層構造とする場合、不純物の拡散防止効果の高い酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、窒化アルミニウム膜などの上に、上述のシリコンおよび酸素を含む絶縁膜（例えば、酸化シリコン膜など。）を成膜すればよい。また、酸化ガリウム膜、酸化イットリウム膜、酸化ランタン膜などの上に、上述のシリコンおよび酸素を含む絶縁膜（例えば、酸化シリコン膜など。）を成膜してもよい。また、In-Zr-Zn系酸化物膜、In-Ce-Zn系酸化物膜などの上に、上述のシリコンおよび酸素を含む絶縁膜（例えば、酸化シリコン膜など。）を成膜してもよい。

40

【0074】

なお、基板100上に絶縁膜102を成膜する前や、絶縁膜102上に酸化物半導体膜106を成膜する前に、アルゴンガスを導入してプラズマを発生させ、プラズマにより基板100の表面や絶縁膜102の表面に付着している粉状物質（パーティクル、ごみともいう）や有機物を除去する処理（逆スパッタ処理とも言われる。）を行うことが好ましい。

50

なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

【0075】

また、後の工程にて絶縁膜102上に酸化物半導体膜106を成膜する際に、酸化物半導体膜106に水素、又は水がなるべく含まれないようにするために、酸化物半導体膜106の成膜工程の前処理として、スパッタリング装置の予備加熱室で絶縁膜102が成膜された基板を予備加熱し、基板100及び絶縁膜102に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段は、水分の排気能力の高いクライオポンプおよび水素の排気能力の高いスパッタイオンポンプ(単にイオンポンプとも言われる。)を組み合わせたことが有効となる。また、このとき、不活性ガスを導入しながら不純物の除去を行うと、排気するだけでは脱離しにくい水分などの脱離速度をさらに大きくすることができる。

10

【0076】

次に、絶縁膜102上に、酸化物半導体膜106を成膜する(図2(B)参照)。トランジスタ150を微細化する観点から考え、酸化物半導体膜106の膜厚は、1nm以上30nm以下、好ましくは1nm以上20nm以下、より好ましくは1nm以上10nm以下、更に好ましくは3nm以上7nm以下とすることが望ましい。また、酸化物半導体膜106の膜厚を上述の膜厚とすることにより、トランジスタ150の短チャネル効果を抑制することができる。

【0077】

酸化物半導体膜106は、上述のように単結晶、多結晶(ポリクリスタルともいう。)または非晶質などの状態をとり、好ましくは、酸化物半導体膜は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜とする。

20

【0078】

本実施の形態では、酸化物半導体膜106としてIn-Ga-Zn系酸化物ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体膜106は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下においてスパッタ法により形成することができる。

【0079】

酸化物半導体膜106としてIn-Ga-Zn-O膜をスパッタリング法で作製するためのターゲットとしては、例えば、原子数比がIn:Ga:Zn=1:1:1の酸化物ターゲットや、原子数比がIn:Ga:Zn=3:1:2の酸化物ターゲットや、原子数比がIn:Ga:Zn=1:3:2の酸化物ターゲットや、原子数比がIn:Ga:Zn=2:1:3の酸化物ターゲットを用いることができる。ただし、酸化物半導体膜106のターゲットは、これらのターゲットの材料及び組成に限定されるものではない。

30

【0080】

また、酸化物ターゲットの相対密度は90%以上100%以下、好ましくは95%以上99.9%以下である。相対密度の高い酸化物ターゲットを用いることにより、成膜した酸化物半導体膜106は緻密な膜とすることができる。

【0081】

酸化物半導体膜106を成膜する際に用いるスパッタガスとしては、水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

40

【0082】

酸化物半導体膜106に、水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜106において、水素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、更に好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とすることが望ましい。なお、上述の酸化物半導体膜中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)を用いて測定される。

50

y Ion Mass Spectrometry)で測定されるものである。

【0083】

なお、酸化物半導体膜106に、アルカリ金属またはアルカリ土類金属が含まれると、酸化物半導体と結合することによって、キャリアが生成されることがあり、トランジスタのオフ電流が上昇する原因となる。そのため、酸化物半導体膜106において、アルカリ金属またはアルカリ土類金属の濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下とすることが望ましい。

【0084】

酸化物半導体膜106の成膜は、減圧状態に保持された成膜室内に基板100を保持して行う。このとき、基板100を加熱しながら成膜してもよく、基板100を加熱する場合、基板温度を100以上基板100の歪み点以下として行う。基板100を加熱しながら成膜することにより、成膜した酸化物半導体膜106に含まれる水素、水分などの不純物濃度を低減する(脱水化処理、脱水素化処理とも表現できる。)ことができる。また、スパッタリングによる損傷が軽減されるため好ましい。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板100上に酸化物半導体膜106を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H_2O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜106に含まれる水素、水分などの不純物の濃度を低減できる。

【0085】

スパッタリング法を用いて酸化物半導体膜106を成膜する際に、酸化物半導体膜106を構成する元素などが高いエネルギーを持って絶縁膜102に衝突すると、絶縁膜102を構成する元素の結合が切れ、その結合の切れた元素が酸化物半導体膜106中に混入してしまう(ミキシング、ミキシング効果とも言われる。)。当該混入現象は、絶縁膜102との界面近傍の酸化物半導体膜106中、具体的には、上述の領域106aにおいて、特に顕著に生じる。

【0086】

本実施の形態等に記載するトップゲート構造のトランジスタでは、微細化のために酸化物半導体膜の膜厚を非常に薄くしているため、仮に酸化物半導体膜の被形成面近傍(バックチャネル側とも表現できる。)に不純物元素が取り込まれる場合でも、チャネル領域に悪影響を及ぼし、オン電流が低下するなどのように、トランジスタの電気特性を低下させる要因となり得る。特に、酸化物半導体膜の膜厚が30nm以下の場合では、当該影響が大きなものとなり、10nm以下の場合では、当該影響が更に大きなものとなる。なお、酸化物半導体膜106に対してシリコンなどの不純物が混入することによる、酸化物半導体膜106の特性変化については、実施例1にて詳細に説明する。

【0087】

ここで、絶縁膜102上に酸化物半導体膜106を成膜する際に、絶縁膜102と酸化物半導体膜106との界面近傍においてミキシングが起こる可能性について、古典分子動力学計算により調査した結果について説明する。なお、上記計算を行うため古典分子動力学計算ソフトウェアとして、富士通株式会社製SCIGRESS MEを用いた。

【0088】

絶縁膜102としてアモルファス酸化シリコン膜(以下、 a-SiO_2 と記す。)を用いて、図23に示すモデルを作製した。計算に係る単位胞(計算単位胞)のサイズは、x軸方向に3nm、y軸方向に3nm、z軸方向に7.5nmとした。ここで、x軸及びy軸は、 a-SiO_2 膜に平行な方向であり、z軸は、 a-SiO_2 膜の膜厚方向である。なお、計算に当たって、x軸方向及びy軸方向に周期境界条件を適用することで、x軸方向及びy軸方向に十分広い膜を想定することとした。

10

20

30

40

50

【0089】

次に、 $a\text{-SiO}_2$ 膜上に、1 eVのエネルギーをもつIn、Ga、Zn、O原子を、1 : 1 : 1 : 4の割合(合計840原子)で、上方(図23中、原子発生)から下方に向かって入射させ、温度を300、時間を2 nsec(時間刻み幅を0.2 fs、ステップ数を1000万回)として古典分子動力学計算を行った。

【0090】

図24及び図25に、上記計算の結果を示す。図24(A)に、0 secにおける酸素原子及びシリコン原子の配置を示し、図24(B)に、1 nsec後の酸素原子、シリコン原子、インジウム原子、ガリウム原子、及び亜鉛原子の配置を示し、図24(C)に、2 nsec後の酸素原子、シリコン原子、インジウム原子、ガリウム原子、及び亜鉛原子の配置を示す。また、図25(A)は、2 nsec後の酸素原子、シリコン原子、インジウム原子、ガリウム原子、及び亜鉛原子の配置を示し、図25(B)に、2 nsec後のシリコン原子のみの配置を示し、図25(C)に、2 nsec後のインジウム原子、ガリウム原子、及び亜鉛原子の配置を示す。

10

【0091】

図25(A)のシリコン原子および酸素原子の配置と、図25(B)および図25(C)を比較することによって、インジウム原子、ガリウム原子、及び亜鉛原子を入射させた後に、シリコン原子および酸素原子の層に、インジウム原子、ガリウム原子、及び亜鉛原子が浸入していることが確認された。

【0092】

上記計算の結果から、1 eVのエネルギーをもつインジウム原子、ガリウム原子、亜鉛原子、および酸素原子を、 $a\text{-SiO}_2$ 膜に入射させることより、 $a\text{-SiO}_2$ 膜とIGZO膜との間に、シリコン原子、インジウム原子、ガリウム原子、亜鉛原子、および酸素原子とが混合した層が形成されることが示された。

20

【0093】

なお、酸化物半導体膜中への絶縁膜構成元素の混入現象の原因は、上述のミキシング以外に、酸化物半導体膜を成膜後に基板を加熱処理することで、絶縁膜構成元素が酸化物半導体中に拡散しているという可能性がある。当該内容については、実施例2にて詳細に説明する。

【0094】

以上の結果から、酸化物半導体膜106と絶縁膜102との界面近傍においてミキシングを発生させないためには、酸化物半導体膜106を構成する元素が絶縁膜102に衝突する勢いを弱くすることが有効であり、例えば、酸化物半導体膜106の成膜電力を低くする、成膜圧力を高くする方法がある。または、ターゲットと被成膜基板間の距離(以下、T-S間距離とも記載する。)を広げてもよい。なお、実施例3にて、酸化物半導体膜を構成する元素が絶縁膜に衝突する勢いを弱くした場合に、ミキシングによって生じる酸化物半導体膜中への絶縁膜構成元素の混入を抑制できるかを調査した実験についての説明を行う。

30

【0095】

なお、上述のようにスパッタリングによるミキシングは、絶縁膜102との界面近傍の酸化物半導体膜106中において発生しうる。よって、酸化物半導体膜106を構成する元素が絶縁膜102に衝突する際のエネルギーを小さくしてスパッタリングを行い、ミキシング効果を低減して当該界面近傍の酸化物半導体膜を成膜すれば、その後は衝突する際のエネルギーを大きくして成膜してもよい。例えば、成膜電力を低くして絶縁膜102界面近傍に酸化物半導体膜を成膜し、その後、成膜電力を高くして酸化物半導体膜を成膜することで、酸化物半導体膜106を形成してもよい。また、成膜圧力を高くして絶縁膜102界面近傍に酸化物半導体膜を成膜し、その後、成膜圧力を低くして酸化物半導体膜を成膜することで、酸化物半導体膜106を形成してもよい。また、T-S間距離を広くして絶縁膜102界面近傍に酸化物半導体膜を成膜し、その後、T-S間距離を狭くして酸化物半導体膜を成膜することで、酸化物半導体膜106を形成してもよい。

40

50

【0096】

例えば、スパッタリング装置を用いて酸化物半導体膜106を成膜する場合、成膜電力の具体的な数値としては、10kW以下、好ましくは1kW以下、より好ましくは500W以下、更に好ましくは200W以下とすることが望ましい。または、成膜電力をターゲット面積で割った値が $125\text{W}/\text{cm}^2$ 以下、好ましくは $30\text{W}/\text{cm}^2$ 以下、より好ましくは $5\text{W}/\text{cm}^2$ 以下、更に好ましくは $0.2\text{W}/\text{cm}^2$ 以下としてもよい。なお、成膜電力を下げるほど酸化物半導体膜106の成膜レートが低下してしまう。また、成膜電力が非常に低いと、スパッタリング装置内でプラズマが発生しにくくなり、正常に成膜処理が行えなくなる可能性が高まる。このため、成膜電力は、使用するスパッタ装置で印加することのできる最大電力の5%以上とすることが望ましい。成膜電力をどの程度まで下げるかについては、スパッタリング装置の性能や酸化物半導体膜106の膜厚などを鑑み、成膜を正常に行うことができ、かつ、成膜時間がトランジスタ150の作製工程(タクトタイム)に対して重大な影響を及ぼさない範囲で、実施者が適宜最適な電力値を選択すればよい。

10

【0097】

また、スパッタリング装置の成膜圧力の具体的な数値としては、0.4Pa以上、好ましくは1.0Pa以上、より好ましくは2.0Pa以上、更に好ましくは5.0Pa以上とすることが望ましい。なお、成膜圧力を高くするほど、成膜される膜の膜質が悪化する(例えば、膜質が疎になる。)傾向がある。このため、成膜圧力は100Pa以下とすることが望ましい。成膜圧力をどの程度まで高めるかについては、酸化物半導体膜106に必要とされる特性(例えば、電界効果移動度など。)を鑑み、実施者が適宜最適な圧力値を選択すればよい。

20

【0098】

また、スパッタリング装置のT-S間距離の具体的な数値としては、30mm以上、好ましくは50mm以上、より好ましくは100mm以上、更に好ましくは300mm以上とすることが望ましい。なお、T-S間距離を広くするほど酸化物半導体膜106の成膜レートが低下してしまう。このため、T-S間距離は500mm以下とすることが望ましい。T-S間距離をどの程度まで広げるかについては、成膜時間がトランジスタ150の作製工程(タクトタイム)に対して重大な影響を及ぼさない範囲で、実施者が適宜最適なT-S間距離を選択すればよい。

30

【0099】

なお、酸化物半導体膜106を構成する元素が絶縁膜102に衝突する勢いを弱くするためには、成膜電力、成膜圧力またはT-S間距離のいずれか一つの条件を上述の範囲として酸化物半導体膜106を成膜してもよいし、複数の条件を上述の範囲として酸化物半導体膜106を成膜してもよい。

【0100】

なお、スパッタリング装置として、ターゲットと被成膜基板が略平行に設置されたマグネトロン方式スパッタ装置(単に、マグネトロンスパッタ装置とも言われる。)を用いた場合、絶縁膜102には、酸化物半導体膜106を構成する元素以外にもプラズマや二次電子なども衝突するため、絶縁膜102を構成する元素が酸化物半導体膜106中に非常に混入しやすい状態にあると言える。このため、酸化物半導体膜106を成膜するスパッタリング装置として、対向ターゲット式スパッタ装置(ミラートロンスパッタ装置やナチュラルトロンスパッタ装置などとも言われる。)を用いてもよい。当該装置は、2枚のターゲットが対向する状態に設置され、被成膜基板は2枚のターゲットに挟まれた空間以外の場所に、ターゲットに対して概垂直な状態に設置されている。そして、対向する2枚のターゲット間に高密度のプラズマを生成し、当該プラズマによりターゲット(酸化物半導体膜106の成膜に用いるターゲット。)表面がスパッタリングされることで、被成膜基板に酸化物半導体膜106が成膜される。このため、被成膜基板はプラズマや二次電子に直接晒されることがない(または非常に少ない)。

40

【0101】

50

また、酸化物半導体膜106のスパッタリング成膜を希ガス雰囲気で行う場合、アルゴンの代わりにヘリウムを用いてもよい。アルゴンより質量数の小さいヘリウムを用いることにより、酸化物半導体膜106を構成する元素が絶縁膜102に衝突する際のエネルギーを小さくすることができる。さらに、酸化物半導体膜106の絶縁膜102との界面近傍の成膜をヘリウム雰囲気で行った後、成膜室内をアルゴン雰囲気に切り替えることにより、酸化物半導体膜106の成膜レートを向上させることができる。

【0102】

また、酸化物半導体膜106を、ALD(Atomic Layer Deposition)法、蒸着法、塗布法などの絶縁膜102への衝撃が弱い方法で成膜してもよい。

【0103】

以上のように、酸化物半導体膜106を構成する元素が絶縁膜102に衝突する際のエネルギーを小さくして酸化物半導体膜106を成膜することで、上述のように、酸化物半導体膜106において、絶縁膜102との界面から酸化物半導体膜106に向けてシリコンの濃度が1.1原子%以下の濃度で分布する領域106aと、領域106aより含有されるシリコン濃度が小さい領域106bが形成される。ここで、領域106bとは、酸化物半導体膜106の領域106a以外の領域のことである。また、領域106aに含まれるシリコンの濃度は、0.1原子%以下であるとより好ましい。

【0104】

なお、本明細書では、酸化物半導体膜106中には領域106aと領域106bが存在しているが、酸化物半導体膜106の膜厚が非常に薄い場合、酸化物半導体膜106の膜厚方向全体にミキシング効果が及ぶことがあるため、酸化物半導体膜106全体が領域106aとなる可能性もある。したがって、酸化物半導体膜106には必ずしも領域106bが存在する必要はない。

【0105】

また、このようにして酸化物半導体膜106を成膜することで、絶縁膜102中に含まれる炭素などの不純物が酸化物半導体膜106に混入することも低減されるので、上述のように領域106aに含まれる炭素濃度は $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以下、より好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下となる。

【0106】

このように、酸化物半導体膜106の領域106aに取り込まれるシリコンなどの不純物を低減することにより、本明細書に記載の、酸化物半導体膜の膜厚が非常に薄いトランジスタにおいても、領域106aがチャネル領域に悪影響を及ぼし、トランジスタ150のオン電流が低下する、などのような電気特性の劣化を抑制することができる。よって、トランジスタ150を構成要素として含む半導体装置の動作特性などの性能の向上を図ることができる。

【0107】

酸化物半導体膜106の成膜後、酸化物半導体膜106に対して、熱処理を行ってもよい。当該熱処理の温度は、300以上700以下、または基板の歪み点未満とする。当該熱処理を行うことで、過剰な水素(水や水酸基を含む)を除去することが可能である。

【0108】

当該熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体膜106は大気に触れさせず、水や水素の混入が生じないようにする。

【0109】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ラン

10

20

30

40

50

ブなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

【0110】

例えば、当該熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。

10

【0111】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

【0112】

なお、上述の脱水化又は脱水素化処理を行うと、酸化物半導体膜を構成する主成分材料である酸素が同時に脱離して減少してしまうおそれがある。酸化物半導体膜において、酸素が脱離した箇所では酸素欠損が存在し、該酸素欠損に起因してトランジスタの電気的特性変動を招くドナー準位が生じてしまう。よって、脱水化又は脱水素化処理を行った場合、酸化物半導体膜106中に、酸素を供給することが好ましい。酸化物半導体膜106中に酸素を供給することにより、膜中の酸素欠損を補填することができる。

20

【0113】

酸化物半導体膜106中の酸素欠損を補填する方法としては、例えば、酸化物半導体膜106に対して脱水化処理（脱水素化処理）を行った後、同じ炉に高純度の酸素ガス、亜酸化窒素ガス、高純度の亜酸化窒素ガス、又は超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気）を導入すればよい。酸素ガスまたは亜酸化窒素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは亜酸化窒素ガスの純度を、6N以上好ましくは7N以上（即ち、酸素ガスまたは亜酸化窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

30

【0114】

また、酸化物半導体膜106中に酸素を供給する方法としては、上述のように酸素を含む雰囲気中で加熱する方法以外に、酸化物半導体膜106に酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を添加することで、酸化物半導体膜106中に酸素を供給してもよい。酸素の添加方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いる。

40

【0115】

上述のように、成膜後の酸化物半導体膜106には、脱水化処理（脱水素化処理）を行い水素もしくは水分を酸化物半導体から除去して不純物が極力含まれないように高純度化し、脱水化処理（脱水素化処理）によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給する（過酸素化とも表現できる。）して酸素欠損を補填することによって、i型（真性）化またはi型に限りなく近い酸化物半導体膜106とすることができる。そうすることにより、酸化物半導体膜のフェルミ準位（ E_f ）を真性フェルミ準位（ E_i ）と同じレベルにまですることが出来る。よって、当該酸化物半導体膜をトランジスタに用いることで、酸素欠損に起因するトランジスタのしきい値電圧 V_{th} のばらつき、しきい値電圧のシフト V_{th} を低減することができる。

50

【 0 1 1 6 】

なお、酸化物半導体膜 1 0 6 の脱水化処理（脱水素化処理）は、酸化物半導体膜 1 0 6 への酸素の供給工程の前に行っておくことが好ましい。

【 0 1 1 7 】

なお、上述では、酸化物半導体膜 1 0 6 を島状に加工する前に脱水素化処理、過酸化処理および酸素添加を行う構成について説明したが、開示する発明の一態様はこれに限定して解釈されない。酸化物半導体膜 1 0 6 を島状に加工した後に、当該処理を行ってもよい。

【 0 1 1 8 】

次に、酸化物半導体膜 1 0 6 をフォトリソグラフィ工程により島状の酸化物半導体膜 1 0 6 に加工する（図 2（C）参照。）。また、島状の酸化物半導体膜 1 0 6 を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。なお、酸化物半導体膜 1 0 6 のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

10

【 0 1 1 9 】

ここで、図 2（C）に示すように、酸化物半導体膜 1 0 6 は端部に 2 0 °乃至 5 0 °のテーパ角を有していることが好ましい。酸化物半導体膜 1 0 6 の端部にテーパ角を有することで酸素欠損の発生を抑制し、トランジスタ 1 5 0 のリーク電流の発生を低減することができる。

【 0 1 2 0 】

次に、酸化物半導体膜 1 0 6 上に、ゲート絶縁膜 1 0 8 を形成するための絶縁膜 1 0 7 を形成する（図 2（D）参照。）。ここで、絶縁膜 1 0 7 の膜厚は、例えば 1 n m 以上 5 0 n m 以下とすることができる。また、絶縁膜 1 0 7 の成膜方法としては、例えば、スパッタリング法、M B E 法、C V D 法、パルスレーザ堆積法、A L D 法等を適宜用いて成膜することができる。

20

【 0 1 2 1 】

絶縁膜 1 0 7 は、十分な耐圧および絶縁性を有する酸化物絶縁膜を用いることが好ましい。

絶縁膜 1 0 7 としては、例えば、C V D 法またはスパッタリング法等を用いて、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ガリウム膜、酸化イットリウム膜、酸化ランタン膜などを、単層でまたは積層して形成することができる。また、酸化ハフニウム膜、ハフニウムシリケート膜（ $HfSi_xO_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート膜（ $HfSi_xO_yN_z$ （ $x > 0$ 、 $y > 0$ 、 $z > 0$ ））、ハフニウムアルミネート膜（ $HfAl_xO_y$ （ $x > 0$ 、 $y > 0$ ））などの high - k 材料膜を絶縁膜 1 0 7 の少なくとも一部として用いてもよい。これによりゲートリーク電流を低減することができる。

30

【 0 1 2 2 】

なお、絶縁膜 1 0 7 として酸化物絶縁膜を用いることにより、絶縁膜 1 0 2 と同様に、熱処理によって当該酸化物絶縁膜の酸素の一部を脱離させて酸化物半導体膜 1 0 6 に酸素を供給し、酸化物半導体膜 1 0 6 中の酸素欠損を補填することができる。当該処理の詳細については、絶縁膜 1 0 2 の説明を参酌すればよく、絶縁膜 1 0 7 に対する加熱処理を行うタイミングについては、絶縁膜 1 0 7 の成膜後であれば特段の限定はない。

40

【 0 1 2 3 】

特に、絶縁膜 1 0 7 中（バルク中）に少なくとも化学量論比を超える量の酸素が存在することが好ましく、例えば、絶縁膜 1 0 7 として、 SiO_{2+} （ただし、 > 0 ）で表される酸化シリコン膜を用いることが好ましい。このような酸化シリコン膜を絶縁膜 1 0 7 として用いることで、酸化物半導体膜 1 0 6 に酸素を供給することができ、当該酸化物半導体膜 1 0 6 を用いたトランジスタ 1 5 0 のトランジスタ特性を良好にすることができる。

50

【0124】

このため、絶縁膜107を積層構造とする場合、酸化シリコン膜の上に、酸化ガリウム膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化イットリウム膜または酸化ランタン膜などを積層することが好ましい。また、酸化シリコン膜の上に、酸化ハフニウム膜、ハフニウムシリケート膜 (HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート膜 ($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$))、ハフニウムアルミネート膜 (HfAl_xO_y ($x > 0$, $y > 0$)) などの high-k 材料を積層してもよい。これらの high-k 材料膜を絶縁膜107の少なくとも一部として用いることでゲートリーク電流を低減することができる。

10

【0125】

上述のように、絶縁膜107を、少なくとも化学量論比を超える量の酸素が存在する絶縁膜とするためには、スパッタリング法を用いて絶縁膜107を成膜することが好ましい。また、スパッタリング法を用いた場合、上述のように高純度のガスを使用する、成膜装置をベークして排気装置で不純物を排気する、および基板を予備加熱するなどの方法で成膜装置内の水素や水分などの不純物を極力除去することにより、絶縁膜107中の水素や水分の濃度を低く抑えることが可能であり、このような観点から考えても、絶縁膜107の成膜はスパッタリング法を用いることが好ましいと言える。

【0126】

なお、酸化物半導体膜106を成膜する前に、アルゴンガスを導入してプラズマを発生させ、絶縁膜102の表面に付着している粉状物質(パーティクル、ごみともいう)や有機物を除去する処理(逆スパッタ処理とも言われる。)を行うことが好ましい。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

20

【0127】

次に、絶縁膜107上に、ゲート電極110(これと同じ層で形成される配線を含む)を形成するための導電膜109を形成する(図3(A)参照。)。導電膜109としては、例えば、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いることができる。ゲート電極に用いる導電膜としては、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、インジウムスズ酸化物($\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する場合がある)、インジウム亜鉛酸化物($\text{In}_2\text{O}_3 - \text{ZnO}$)、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。ゲート電極は、上記の材料を用いて単層で又は積層して形成することができる。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜法を用いることができる。

30

【0128】

また、絶縁膜107と接する導電膜109の一層として、窒素を含む金属酸化物、具体的には、窒素を含む In-Ga-Zn-O 膜や、窒素を含む In-Sn-O 膜や、窒素を含む In-Ga-O 膜や、窒素を含む In-Zn-O 膜や、窒素を含む Sn-O 膜や、窒素を含む In-O 膜や、金属窒化膜(InN 、 SnN など)を用いることができる。これらの膜は5eV(電子ボルト)、好ましくは5.5eV(電子ボルト)以上の仕事関数を有し、当該膜をゲート電極110として用いた場合、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

40

【0129】

次に、フォトリソグラフィ工程により導電膜109上にレジストマスクを形成し、選択的にエッチングを行って、ゲート電極110およびゲート絶縁膜108を形成した後、レジストマスクを除去する(図3(B)参照。)。また、ゲート電極110およびゲート絶縁膜108を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを

50

低減できる。なお、ゲート電極 110 およびゲート絶縁膜 108 のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0130】

次に、イオンドーピング法やイオン注入法により、酸化物半導体膜 106 の導電率を変化させる不純物イオン 130 を、酸化物半導体膜 106 に添加する。この際、ゲート電極 110 およびゲート絶縁膜 108 がマスクとして機能するため、酸化物半導体膜 106 中に低抵抗領域 106c が自己整合的に形成される(図3(C)参照。)。なお、不純物イオン 130 としては、15 族元素(代表的にはリン(P)、砒素(As)、およびアンチモン(Sb))、ホウ素(B)、アルミニウム(Al)、窒素(N)、アルゴン(Ar)、ヘリウム(He)、ネオン(Ne)、インジウム(In)、フッ素(F)、塩素(Cl)、チタン(Ti)、及び亜鉛(Zn)のいずれかから選択される一以上を用いることができる。イオン注入法は、必要なイオンのみを取り出す質量分離器を用いているため、対象物に対して不純物イオン 130 のみを選択的に添加できる。このため、イオンドーピング法を用いて添加した場合と比べて酸化物半導体膜 106 中への不純物(例えば水素など)の混入が少なくなるため好ましい。ただし、イオンドーピング法を除外するものではない。なお、低抵抗領域 106c は、酸化物半導体膜 106 (領域 106a および領域 106b を含む)が不純物イオン 130 の注入により、領域 106a および領域 106b が低抵抗領域 106c に変化したわけではなく、図3(C)のように、低抵抗領域 106c 中には領域 106a および領域 106b が存在している。

【0131】

次に、酸化物半導体膜 106 上に、ソース電極及びドレイン電極(これと同じ層で形成される配線を含む)に用いる導電膜を成膜する。ソース電極及びドレイン電極に用いる導電膜としては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等を用いることができる。また、アルミニウム、銅などの金属膜の下側又は上側の一方または双方にチタン、モリブデン、タングステンなどの高融点金属膜またはそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)を積層させた構成としても良い。また、ソース電極及びドレイン電極に用いる導電膜は、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、インジウムスズ酸化物($In_2O_3 - SnO_2$ 、ITOと略記する)、インジウム亜鉛酸化物($In_2O_3 - ZnO$)を用いることができる。ソース電極及びドレイン電極に用いる導電膜は、上記の材料を用いて単層で又は積層して成膜することができる。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。

【0132】

そして、フォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極 114a、ドレイン電極 114b を形成した後、レジストマスクを除去することにより、トランジスタ 150 が形成される(図3(D)参照)。当該フォトリソグラフィ工程におけるレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いることが好ましい。よって、チャンネル長L(図3(D)の矢印Z部分に相当。)が25nm未満の露光を行う場合には、例えば、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いてフォトリソグラフィ工程でのレジストマスク形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを微細化することが可能であり、回路の動作速度を高速化できる。

【0133】

なお、トランジスタ 150 のオン電流の低下を抑制する観点からは、酸化物半導体膜 106 のうちゲート電極 110 と重畳する部分の端部と、酸化物半導体膜 106 のうちソース電極 114a と接する部分の最もゲート電極に近い端部との隙間(図3(D)の矢印X部

10

20

30

40

50

分。本明細書中では、当該部分を「L o f f 幅」と呼称する。)および、酸化物半導体膜 106のうちゲート電極 110と重畳する部分の端部と、酸化物半導体膜 106のうちドレイン電極 114bと接する部分の最もゲート電極に近い端部との隙間(図3(D)の矢印Y部分。当該部分についても、本明細書中では「L o f f 幅」と呼称する。)が極力小さくなるのが好ましい。なお、露光装置の性能限界以上の微細露光を行う場合において、図3(D)のX部分およびY部分を小さくする方法としては、例えば、ソース電極 114aの形成とドレイン電極 114bの形成に、異なるフォトリソマスクを用いて形成すればよい。これにより、露光時において、ソース電極 114aまたはドレイン電極 114bの一方のみがゲート電極 110に極力近づく状態にアライメントを行うことができるため、L o f f 幅を小さくすることができる。

10

【0134】

また、トランジスタ 150のタクトやコストを低減する観点からは、フォトリソグラフィ工程で用いるフォトリソマスク数及び工程数を削減することが好ましい。マスク数及び工程数を削減する方法としては、例えば、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行えばよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を变形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

20

【0135】

なお、導電膜のエッチングの際に、酸化物半導体膜 106がエッチングされ、分断することのないようエッチング条件を最適化することが望まれる。しかしながら、導電膜のみをエッチングし、酸化物半導体膜 106を全くエッチングしないという条件を得ることは難しく、導電膜のエッチングの際に酸化物半導体膜 106は一部のみがエッチングされ、例えば、酸化物半導体膜 106の膜厚の5%以上50%以下がエッチングされ、溝部(凹部)を有する酸化物半導体膜 106となることもある。

【0136】

ソース電極及びドレイン電極(これと同じ層で形成される配線を含む)に用いる導電膜として酸化物半導体材料を適用する場合には、導電膜をエッチングしてソース電極 114aおよびドレイン電極 114bを形成する際に、酸化物半導体膜 106が極力エッチングされないように、酸化物半導体膜 106よりも十分エッチングされにくい酸化物半導体材料を、導電膜として用いる必要がある。

30

【0137】

ソース電極 114a及びドレイン電極 114bに酸化物半導体材料を適用した場合、酸化物半導体膜 106の材料や成膜条件によっては、ソース電極 114a及びドレイン電極 114bと、酸化物半導体膜 106との界面が不明確になる場合もある。また、界面が不明確になる場合、ソース電極 114a及びドレイン電極 114bと、酸化物半導体膜 106との混合領域または混合層と呼ぶことのできる箇所が形成されることもある。

40

【0138】

なお、ソース電極 114aおよびドレイン電極 114bに用いる導電膜として、不純物イオンを導入して低抵抗化させた導電性材料、半導体材料を用いることもできる。

【0139】

以上の工程によりトランジスタ 150が形成される。

【0140】

また、トランジスタ 150上に絶縁膜を設けてもよい。当該絶縁膜としては、ゲート絶縁膜 108と同じ材料および成膜方法を用いることができるため、上述のゲート絶縁膜 108の内容を参酌することができる。なお、酸化アルミニウム膜は外部からの水分や水素などの不純物の侵入を抑制する効果が高いため、当該絶縁膜として酸化アルミニウム膜、ま

50

たは酸化アルミニウム膜を含む積層膜を形成することが望ましく、より好ましくは、膜密度が 3.2 g/cm^3 以上、好ましくは 3.6 g/cm^3 以上の酸化アルミニウム膜を用いることが望ましい。これにより、水分や水素などの不純物は酸化物半導体膜 106 に侵入することを抑制できる。

【0141】

また、トランジスタ 150 上に平坦化絶縁膜を設けても良い。スピンコート法、印刷法、ディスペンス法またはインクジェット法などを用いて絶縁性を有する材料を塗布し、塗布した材料に応じた硬化処理（例えば、加熱処理や光照射処理など。）を行い形成してもよい。なお、絶縁性を有する材料としては、例えば、アクリル樹脂、ポリイミド樹脂、ポリアミド樹脂、ポリアミドイミド樹脂、エポキシ樹脂等の有機樹脂を用いて形成することができる。また、低誘電率材料（low-k 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させてもよい。なお、平坦化絶縁膜は水分などの不純物を比較的多く含んでいる場合が多いため、上述の絶縁膜（例えば、酸化アルミニウムや酸化アルミニウムを含む積層膜）上に形成することが好ましい。

【0142】

以上のようにして、開示する発明の一態様は、酸化物半導体を用いた半導体装置において、絶縁膜との界面近傍の酸化物半導体膜に含まれる不純物を低減することができる。これにより、酸化物半導体膜の膜厚が非常に薄いトランジスタにおいても、領域 106a がチャネル領域に悪影響を及ぼし、トランジスタ 150 のオン電流が低下する、などのような電気特性の劣化を抑制することができる。よって、トランジスタ 150 を構成要素として含む半導体装置の動作特性などの性能の向上を図ることができる。

【0143】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0144】

（実施の形態 2）

本実施の形態では、実施の形態 1 とは異なる構造の半導体装置及び半導体装置の作製方法の一形態を、図 4 および図 5 を用いて説明する。

【0145】

<半導体装置の構成例>

図 4 (A) および図 4 (B) に、半導体装置の例として、トップゲート構造のトランジスタの平面図および断面図の一例を示す。図 4 (A) は平面図であり、図 4 (B) は、図 4 (A) における E - F 断面の断面図である。なお、図 4 (A) では、煩雑になることを避けるため、トランジスタ 650 の構成要素の一部（例えば、基板 100 など）を省略している。

【0146】

本実施の形態のトランジスタ 650 は、導電膜 602 が絶縁膜 102 と同一平面に、絶縁膜 102 に隣接して設けられている点で、実施の形態 1 に記載のトランジスタと異なっている。

【0147】

一般的に、活性層として酸化物半導体膜を用いたトランジスタは、酸化物半導体膜と導電膜との接触箇所において接触抵抗が高くなる傾向があるが、トランジスタを上記の構造とすることにより、ソース電極 114a およびドレイン電極 114b は、酸化物半導体膜 106 の表面側だけでなく、裏面側においても電氣的に接続されるため、酸化物半導体膜 106 とソース電極 114a の接触抵抗および酸化物半導体膜 106 とドレイン電極 114b の接触抵抗を低減し、かつ接触抵抗のバラツキを低減することができる。これにより、オン電流が高く、かつ、しきい値電圧のバラツキを抑制された、高性能なトランジスタとすることができるため、当該構造は酸化物半導体を用いたトランジスタに適した構造の 1 つと言える。

10

20

30

40

50

【0148】

<トランジスタ650の作製工程>

図5(A)乃至図5(E)を用いて、図4に示すトランジスタ650の作製工程の一例について説明する。

【0149】

まず、基板100上に導電膜を成膜し、フォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行って、導電膜602を形成した後、レジストマスクを除去する(図5(A)参照。)。導電膜602に用いる材料などについては、上述実施の形態のゲート電極110、ソース電極114a(またはドレイン電極114b)の説明を参照することができる。

10

【0150】

次に、基板100および導電膜602上に絶縁膜102を形成する。ここで、絶縁膜102の表面は、少なくとも導電膜602の表面よりも高い位置とすることが好ましく、後述の平坦化処理を行うことにより、導電膜602の表面と絶縁膜102の表面を略同一とすることができる。これにより、後の工程において酸化物半導体膜106を成膜する際に、導電膜602と絶縁膜102の段差により酸化物半導体膜に断切れが生じるといった問題を抑制することができ、酸化物半導体膜106の膜厚を極めて薄くすることができるため、平坦化処理はトランジスタの微細化に対し有効な手段の一つと言える。

【0151】

次に、絶縁膜102に対して平坦化処理を施し、導電膜602の表面と略同一平面に表面を有する絶縁膜102を形成する。なお、絶縁膜102の平坦化処理は、化学的機械的研磨(Chemical Mechanical Polishing: CMP)処理を用いて行うことが好ましい。ここで、CMP処理とは、被加工物の表面を基準にし、それにならって表面を化学的・機械的な複合作用により、平坦化する手法である。一般的に研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー(研磨剤)を供給しながら研磨ステージと被加工物とを各々回転または揺動させて被加工物の表面を、スラリーと被加工物表面との間での化学反応と、研磨布と被加工物との機械的研磨の作用により、被加工物の表面を研磨する方法である。

20

【0152】

CMP処理は、1回行ってよいし、複数回行ってよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、導電膜602表面と絶縁膜102表面の平坦性をさらに向上させることができる。

30

【0153】

また、絶縁膜102の平坦化処理として、ドライエッチング処理などを適用することも可能である。エッチングガスとしては、塩素、塩化硼素、塩化珪素または四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄または弗化窒素などのフッ素系ガス、酸素などを適宜用いることができる。例えば、反応性イオンエッチング(RIE: Reactive Ion Etching)法、ICP(Inductively Coupled Plasma)エッチング法、ECR(Electron Cyclotron Resonance)エッチング法、平行平板型(容量結合型)エッチング法、マグネトロンプラズマエッチング法、2周波プラズマエッチング法またはヘリコン波プラズマエッチング法等のドライエッチング法を用いることができる。特に絶縁膜102として窒化シリコンや窒化酸化シリコンのような、窒素を多く含む無機絶縁材料が含まれる場合、CMP処理だけでは窒素を多く含む無機絶縁材料の除去が困難な場合があるので、ドライエッチングなどを併用することが好ましい。

40

【0154】

また、絶縁膜102の平坦化処理として、プラズマ処理などを適用することも可能である。プラズマ処理は、真空のチャンバーに不活性ガス、例えばアルゴンガスを導入し、被処理面を陰極とする電界をかけて行う。その原理としてはプラズマドライエッチ法と同等で

50

あるが、不活性ガスを用いることで、通常のスパッタ成膜チャンパーにて処理可能であり簡便な方法である。すなわち、このプラズマ処理は、被処理面に不活性ガスのイオンを照射して、スパッタリング効果により表面の微細な凹凸を平坦化する処理である。このことから本明細書では、このプラズマ処理を「逆スパッタ」ともいう。

【0155】

なお、導電膜602および絶縁膜102の形状は、図5(D)のように島状に形成されていてもよい。また、図5(C)では導電膜602は、表面に近づくほど端部が狭まっている、所謂順テーパ状に形成されているが、図5(E)のように、表面に近づくほど端部が広がっている、所謂逆テーパ状に形成してもよい。

【0156】

以降の工程については、図2(A)乃至図3(D)および当該図面の説明に対応する実施の形態1の内容を参酌して行えばよい。

【0157】

以上の工程により、図4(B)に示すトランジスタ650を作製することができる。トランジスタ650は、実施の形態1にて記載した特徴以外に、上述のように、酸化物半導体膜106とソース電極114aの接触抵抗および酸化物半導体膜106とドレイン電極114bの接触抵抗を低減し、かつ接触抵抗のバラツキを低減することができるため、オン電流が高く、かつ、しきい値電圧のバラツキを抑制された、高性能なトランジスタとすることができる。このため、トランジスタ650によって構成される半導体装置の動作特性の向上を図ることができる。そして、酸化物半導体膜を用いたトランジスタ又は該トランジスタによって構成される半導体装置の性能向上を図ることができる。また、上述のように、導電膜602の表面と絶縁膜102の表面を略同一とすることができ、酸化物半導体膜106の膜厚を極めて薄くすることができるため、トランジスタの微細化に適した構造の一つであると言える。

【0158】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0159】

(実施の形態3)

本実施の形態では、上述の実施の形態とは異なる構造の半導体装置及び半導体装置の作製方法の一形態を、図6乃至図8を用いて説明する。

【0160】

<半導体装置の構成例>

図6(A)および図6(B)に、半導体装置の例として、トップゲート構造のトランジスタの平面図および断面図の一例を示す。図6(A)は平面図であり、図6(B)は、図6(A)におけるG-H断面の断面図である。なお、図6(A)では、煩雑になることを避けるため、トランジスタ850の構成要素の一部(例えば、基板100など)を省略している。

【0161】

図6(A)および図6(B)に示すトランジスタ850は、基板100上に、絶縁膜102と、酸化物半導体膜106と、絶縁膜107と、少なくとも酸化物半導体膜と重畳するゲート電極110と、層間絶縁膜800と、層間絶縁膜802と、絶縁膜107、層間絶縁膜800および層間絶縁膜802の開口部を通じて酸化物半導体膜106と電気的に接続するソース電極114aおよびドレイン電極114bを有している。

【0162】

トランジスタ850は、絶縁膜107が酸化物半導体膜106を覆う状態に形成されている点と、ソース電極114aおよびドレイン電極114bが、絶縁膜107、層間絶縁膜800および層間絶縁膜802の開口部を通して酸化物半導体膜106と電気的に接続している点で、上述の実施の形態に記載したトランジスタの構造と異なっている。

【0163】

10

20

30

40

50

トランジスタ 850 を、絶縁膜 107 が酸化物半導体膜 106 を覆う構造とすることにより、水分などの不純物が酸化物半導体膜 106 に侵入することを抑制できる。また、不純物イオン 130 を酸化物半導体膜 106 に添加する際に、酸化物半導体膜 106 上には絶縁膜 107 が存在するため、イオン添加により酸化物半導体膜 106 に生じるダメージ（例えば酸化物半導体膜 106 中での格子欠陥の発生など）を低減することができる。

【0164】

また、トランジスタ 850 を、ソース電極 114 a およびドレイン電極 114 b が、絶縁膜 107、層間絶縁膜 800 および層間絶縁膜 802 の開口部を通して酸化物半導体膜 106 と電気的に接続している構造とすることにより、酸化物半導体膜 106 形成後において酸化物半導体膜 106 がエッチング処理（例えば、ドライエッチング時のエッチングガスおよびプラズマや、ウェットエッチング時のエッチング剤など）に晒される箇所は、絶縁膜 107、層間絶縁膜 800 および層間絶縁膜 802 に形成される開口部のみであるため、当該エッチング処理により生じる物質によるトランジスタ 850 の汚染（例えば、ドライエッチング時に用いるエッチングガスが酸化物半導体膜 106 の金属元素と反応して生じる金属化合物は導電性を有していることがあるため、ソース電極 114 a およびドレイン電極 114 b のリークパスとなり得る可能性がある。）を抑制できる。また、ソース電極 114 a およびドレイン電極 114 b の一部がゲート電極 110 と重畳して形成されても、ソース電極 114 a とゲート電極 110 およびドレイン電極 114 b とゲート電極 110 の間には層間絶縁膜が存在しており電気的に接続されることがない。これにより、ソース電極 114 a およびドレイン電極 114 b を極力、ゲート電極 110 に近づけて形成することができるため、トランジスタの微細化に適した構造の一つと言える。

【0165】

<トランジスタ 850 の作製工程>

図 7 および図 8 を用いて、図 6 に示すトランジスタ 850 の作製工程の一例について説明する。

【0166】

まず、基板 100 上に絶縁膜 102 と、酸化物半導体膜 106 と、絶縁膜 107 を形成する（図 7（A）参照。）。なお、当該工程は、図 2（A）乃至図 2（D）および当該図面の説明内容を参酌して行えばよい。

【0167】

次に、絶縁膜 107 上にゲート電極 110 を形成し、ゲート電極 110 をマスクとして酸化物半導体膜 106 中に不純物イオン 130 を添加して、酸化物半導体膜 106 中に低抵抗領域 106 c を自己整合的に形成する（図 7（B）参照。）。なお、当該工程は、図 3（A）乃至図 3（C）および当該図面の説明内容を参酌して行えばよい。

【0168】

次に、絶縁膜 107 およびゲート電極 110 上に、層間絶縁膜 800 および層間絶縁膜 802 を形成する（図 7（C）参照。）。

【0169】

層間絶縁膜 800 としては、ゲート絶縁膜 108 と同じ材料および成膜方法を用いることができるため、上述の実施の形態にて記載したゲート絶縁膜 108 の内容を参酌することができる。なお、酸化アルミニウム膜は外部からの水分や水素などの不純物の侵入を抑制する効果が高いため、当該絶縁膜として酸化アルミニウム膜、または酸化アルミニウム膜を含む積層膜を形成することが望ましく、より好ましくは、膜密度が 3.2 g/cm^3 以上の酸化アルミニウム膜を用いることが望ましい。これにより、水分や水素などの不純物は酸化物半導体膜 106 に侵入することを抑制できる。

【0170】

層間絶縁膜 802 としては、スピンコート法、印刷法、ディスペンス法またはインクジェット法などを用いて絶縁性を有する材料を塗布し、塗布した材料に応じた硬化処理（例えば、加熱処理や光照射処理など。）を行い形成すればよい。なお、絶縁性を有する材料としては、例えば、アクリル樹脂、ポリイミド樹脂、ポリアミド樹脂、ポリアミドイミド樹

10

20

30

40

50

脂、エポキシ樹脂等の有機樹脂を用いて形成することができる。また、低誘電率材料（Low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させてもよい。なお、層間絶縁膜は水分などの不純物を比較的多く含んでいるため、上述の絶縁膜（例えば、酸化アルミニウムや酸化アルミニウムを含む積層膜）上に形成することが好ましい。

【0171】

なお、本実施の形態では層間絶縁膜800と層間絶縁膜802の積層構造を形成したが、いずれかの一方のみを形成してもよい。

【0172】

次に、酸化物半導体膜と重畳する領域の絶縁膜107、層間絶縁膜800および層間絶縁膜802の少なくとも一部に開口部を形成した後に、当該開口部を通じて酸化物半導体膜106に電氣的に接続されたソース電極114aおよびドレイン電極114bを形成する（図8（A）参照。）。 10

【0173】

なお、絶縁膜107、層間絶縁膜800および層間絶縁膜802のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。また、当該エッチング処理の際に、酸化物半導体膜106がエッチングされ、分断することのないようエッチング条件を最適化することが望まれる。しかしながら、絶縁膜107、層間絶縁膜800および層間絶縁膜802のみをエッチングし、酸化物半導体膜106を全くエッチングしないという条件を得ることは難しく、導電膜のエッチングの際に酸化物半導体膜106は一部のみがエッチングされ、例えば、酸化物半導体膜106の膜厚の5%以上50%以下がエッチングされ、溝部（凹部）を有する酸化物半導体膜106となることもある。 20

【0174】

ソース電極114aおよびドレイン電極114bの形成工程については、図3（D）および当該図面の説明内容を参酌して行えばよい。また、当該工程の後、ソース電極114a、ドレイン電極114bおよび層間絶縁膜802に対して平坦化処理を行ってもよい。これにより、トランジスタ850上に更にトランジスタを積層させて形成する場合において、被形成面（つまり、ソース電極114a、ドレイン電極114bおよび層間絶縁膜802の表面）の平坦性が高いため、トランジスタの作製が容易となる。なお、平坦化処理については、上述の実施の形態に記載された平坦化処理の方法を参酌することができる。 30

【0175】

以上の工程により、図6（B）に示すトランジスタ850を作製することができる。トランジスタ850は、実施の形態1にて記載した特徴以外に、上述のように、イオン添加により酸化物半導体膜106に生じるダメージ（例えば酸化物半導体膜106中での格子欠陥の発生など）を低減することができる。また、上述のように、酸化物半導体膜106がエッチング処理に晒される箇所を限定できるため、エッチング処理によるトランジスタの汚染を抑制することができる。このため、トランジスタ850によって構成される半導体装置の動作特性の向上を図ることができる。そして、酸化物半導体膜を用いたトランジスタ又は該トランジスタによって構成される半導体装置の性能向上を図ることができる。また、上述のように、ソース電極114aおよびドレイン電極114bの一部がゲート電極110と重畳して形成されても電氣的に接続されないため、ソース電極114aおよびドレイン電極114bを極力、ゲート電極110に近づけて形成することができ、トランジスタの微細化に適した構造の一つと言える。 40

【0176】

トランジスタ850は図8（B）に示すように、絶縁膜102中に導電膜602を有する構造であってもよい。トランジスタ850を図8（B）に示す構造とすることにより、絶縁膜107、層間絶縁膜800および層間絶縁膜802の一部に開口部を形成する際に、開口部の酸化物半導体膜106がオーバーエッチングされて無くなってしまった場合においても、ソース電極114aおよびドレイン電極114bは、酸化物半導体膜106の側 50

壁部分で電氣的に接続される以外に、導電膜 602 を介して酸化物半導体膜 106 と電氣的に接続されるため、オーバーエッチング時においても良好なコンタクト抵抗を維持することができるため、特に酸化物半導体膜 106 の膜厚が薄い場合（つまり、トランジスタの微細化）に適した構造といえる。

【0177】

（実施の形態 4）

本実施の形態では、上述の実施の形態とは異なる構造の半導体装置及び半導体装置の作製方法の一形態を、図 9 乃至図 12 を用いて説明する。

【0178】

<半導体装置の構成例>

図 9（A）および図 9（B）に、半導体装置の例として、トップゲート構造のトランジスタの平面図および断面図の一例を示す。図 9（A）は平面図であり、図 9（B）は、図 9（A）における I - J 断面の断面図である。なお、図 9（A）では、煩雑になることを避けるため、トランジスタ 1150 の構成要素の一部（例えば、基板 100 など）を省略している。

【0179】

図 9（A）および図 9（B）に示すトランジスタ 1150 は、基板 100 上に、絶縁膜 102 と、酸化物半導体膜 106 と、ゲート絶縁膜 108 と、少なくとも酸化物半導体膜と重畳するゲート電極 110 と、絶縁膜 1101 と、側壁絶縁膜 1102 と、酸化物半導体膜 106 と電氣的に接続するソース電極 114a およびドレイン電極 114b を有している。

【0180】

トランジスタ 1150 は、ゲート電極 110 上に絶縁膜 1101 が、ゲート電極 110 の側面に側壁絶縁膜 1102 が設けられている点と、ソース電極 114a およびドレイン電極 114b が側壁絶縁膜 1102 に接して設けられている点において、上述の実施の形態に記載したトランジスタの構造と異なっている。

【0181】

トランジスタ 1150 は、後述のトランジスタ 1150 の作製方法でも記載するが、ソース電極 114a およびドレイン電極 114b として用いる導電膜を、酸化物半導体膜 106、絶縁膜 1101 および側壁絶縁膜 1102 上に形成した後、導電膜に対して平坦化処理（研磨処理とも言える。）を行い導電膜の一部を除去することで、ソース電極 114a およびドレイン電極 114b を形成する。そのため、ソース電極 114a およびドレイン電極 114b の形成にフォトリソグラフィ工程を用いる必要がなく、露光機の精度やフォトマスクのアライメントズレに影響されずに L o f f 幅を非常に小さくすることが可能となるため、トランジスタ 1150 のオン電流の低下を抑制することができる。また、当該構造はトランジスタの微細化に適した構造の一つと言える。

【0182】

<トランジスタ 1150 の作製工程>

図 10（A）乃至図 12（B）を用いて、図 9 に示すトランジスタ 1150 の作製工程の一例について説明する。

【0183】

まず、基板 100 上に絶縁膜 102 と、酸化物半導体膜 106 と、絶縁膜 107 を形成する（図 10（A）参照。）。なお、当該工程は、図 2（A）乃至図 2（D）および当該図面の説明内容を参酌して行えばよい。

【0184】

次に、ゲート電極 110（これと同じ層で形成される配線を含む）を形成するための導電膜 109 および、絶縁膜 1101 を形成するための絶縁膜 1100 を成膜する（図 10（B）参照。）。なお、絶縁膜 1100 としては、ゲート絶縁膜 108 と同じ材料および成膜方法を用いることができるため、上述の実施の形態にて記載したゲート絶縁膜 108 の内容を参酌することができる。

10

20

30

40

50

【0185】

次に、フォトリソグラフィ工程により導電膜109および絶縁膜1100を島状に加工し、ゲート電極110および絶縁膜1101を形成する(図10(C)参照。)。また、ゲート電極110および絶縁膜1101を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。なお、導電膜109および絶縁膜1100のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0186】

なお、本実施の形態では、導電膜109および絶縁膜1100を成膜後に両者を加工してゲート電極110および絶縁膜1101を形成し、その後、側壁絶縁膜1102を形成する順序で説明を行うため、図9(B)のように絶縁膜1101と側壁絶縁膜1102が別の構成要素として記載されているが、絶縁膜1101と側壁絶縁膜1102は同一の膜であってもよい。絶縁膜1101と側壁絶縁膜1102を同一の膜とするためには、まずゲート電極110を形成した後に、絶縁膜1101および側壁絶縁膜1102として機能する絶縁膜を、ゲート電極110を覆う状態に形成すればよい。なお、当該絶縁膜は、絶縁膜1101および側壁絶縁膜1102の説明に記載されている材料および形成方法を参照することができる。

10

【0187】

次に、イオンドーピング法やイオン注入法により、酸化物半導体膜106の導電率を変化させる不純物イオン130を、酸化物半導体膜106に添加する。この際、ゲート電極110および絶縁膜1101がマスクとして機能するため、酸化物半導体膜106中に低抵抗領域106cが自己整合的に形成される(図11(A)参照。)

20

【0188】

次に、絶縁膜102と同様の材料および方法で絶縁膜を成膜し、当該絶縁膜をエッチングすることにより側壁絶縁膜1102を形成する。側壁絶縁膜1102は、絶縁膜に異方性の高いエッチング工程を行うことで自己整合的に形成することができる。例えば、ドライエッチング法を用いると好ましい。ドライエッチング法に用いるエッチングガスとしては、例えば、トリフルオロメタン、オクタフルオロシクロブタン、テトラフルオロメタンなどのフッ素を含むガスが挙げられる。エッチングガスには、希ガスまたは水素を添加してもよい。ドライエッチング法は、基板に高周波電圧を印加する、反応性イオンエッチング法(RIE法)を用いると好ましい。

30

【0189】

そして、側壁絶縁膜1102を形成した後、ゲート電極110、絶縁膜1101および側壁絶縁膜1102をマスクとして絶縁膜107を加工し、ゲート絶縁膜108を形成することができる(図11(B)参照。)。なお、側壁絶縁膜1102の形成と同じ工程でゲート絶縁膜108を形成してもよい。

【0190】

なお、本実施の形態では、ゲート電極110および絶縁膜1101の形成直後の工程において、ゲート電極110および絶縁膜1101をマスクに用いて酸化物半導体膜106中に不純物イオン130を添加したが、側壁絶縁膜1102の形成後にゲート電極110、絶縁膜1101および側壁絶縁膜1102をマスクに用いて、酸化物半導体膜106中に不純物イオン130を添加してもよい。こうすることで、側壁絶縁膜1102と重畳する酸化物半導体膜106の領域を高抵抗領域である106aおよび106bに含めることができる。

40

【0191】

次に、酸化物半導体膜106、絶縁膜1101および側壁絶縁膜1102上に、ソース電極114aおよびドレイン電極114b(これと同じ層で形成される配線を含む)を形成するための導電膜1104を形成し、導電膜1104上に層間絶縁膜802を成膜する(図11(C)参照。)。なお、導電膜1104としては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素を含む金属膜、ま

50

たは上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、アルミニウム、銅などの金属膜の下側又は上側の一方または双方にチタン、モリブデン、タングステンなどの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。また、ソース電極及びドレイン電極に用いる導電膜は、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、インジウムスズ酸化物（ $\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する）、インジウム亜鉛酸化物（ $\text{In}_2\text{O}_3 - \text{ZnO}$ ）を用いることができる。ソース電極及びドレイン電極に用いる導電膜は、上記の材料を用いて単層で又は積層して成膜することができる。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、層間絶縁膜802については、実施の形態3にて記載した層間絶縁膜802の材料や成膜方法を参酌することができる。

10

【0192】

次に、導電膜1104に対して上面から平坦化処理を行い、絶縁膜1101および側壁絶縁膜1102上の少なくとも一部の導電膜1104ならびに、少なくとも一部の層間絶縁膜802を除去することで、導電膜1104は少なくとも絶縁膜1100上または側壁絶縁膜1102で分断され、ソース電極114aおよびドレイン電極114bがゲート電極110を挟む状態に形成される（図12（A）参照。）。なお、ここでの平坦化処理は、

20

【0193】

なお、平坦化処理は導電膜1104および層間絶縁膜802に対して行うだけでなく、絶縁膜1101や側壁絶縁膜1102に対して行ってもよい。

【0194】

なお、図12（A）では、ソース電極114aおよびドレイン電極114bの表面と、絶縁膜1101および層間絶縁膜802の表面が同一平面に位置しているが、CMP装置によりソース電極114a、ドレイン電極114bおよび絶縁膜1101を研磨する場合、ソース電極114aおよびドレイン電極114bと、絶縁膜1101および層間絶縁膜802の研磨スピードが異なる場合、ソース電極114aおよびドレイン電極114bの表面と、絶縁膜1101および層間絶縁膜802の表面は高さが異なり段差が生じることがあり、例えば、ソース電極114aおよびドレイン電極114bの表面が絶縁膜1101の表面より低くなる（凹状となる）場合がある。

30

【0195】

以上の工程により、図9（B）に示すトランジスタ1150を作製することができる。トランジスタ1150は、実施の形態1にて記載した特徴以外に、上述のように、トランジスタのオン電流の低下を抑制することができる。よって、トランジスタ1150によって構成される半導体装置の動作特性の向上を図ることができる。そして、酸化物半導体膜を用いたトランジスタ又は該トランジスタによって構成される半導体装置の性能向上を図ることができる。また、ソース電極114aおよびドレイン電極114bの形成にフォトリソグラフィ工程を用いる必要がなく、露光機の精度やフォトマスクのアライメントズレに影響されずにLoFF幅を非常に小さくすることが可能であり、トランジスタの微細化に適した構造の一つといえる。

40

【0196】

また、トランジスタ1150上に絶縁膜を設けてもよい。当該絶縁膜としては、ゲート絶縁膜108と同じ材料および成膜方法を用いることができるため、上述のゲート絶縁膜108の内容を参酌することができる。なお、酸化アルミニウム膜は外部からの水分の侵入を抑制する効果が高いため、当該絶縁膜として酸化アルミニウム膜、または酸化アルミニウム膜を含む積層膜を形成することが望ましく、より好ましくは、膜密度が 3.2 g/cm^3 以上、好ましくは 3.6 g/cm^3 以上の酸化アルミニウム膜を用いることが望まし

50

い。なお、当該絶縁膜は、トランジスタ 1150 の形成前に成膜してもよい。例えば、側壁絶縁膜 1102 を形成した後に、導電膜 1104、当該絶縁膜、層間絶縁膜 802 の順に成膜を行い、その後に CMP などの平坦化処理を行ってもよい。図 9 (B) の構造の場合、仮に、層間絶縁膜 802 の膜中に水分や水素などの不純物が混入されていても、これらの不純物が酸化物半導体膜 106 に到達することを抑制できるため好ましい。

【0197】

なお、トランジスタ 1150 は図 12 (B) に示すように、絶縁膜 102 中に導電膜 602 を有する構造であってもよい。トランジスタ 1150 を図 12 (B) に示す構造とすることにより、ソース電極 114 a およびドレイン電極 114 b は、酸化物半導体膜 106 の表面側だけでなく、裏面側においても電氣的に接続されるため、酸化物半導体膜 106 とソース電極 114 a の接触抵抗および酸化物半導体膜 106 とドレイン電極 114 b の接触抵抗を低減し、かつ接触抵抗のバラツキを低減することができる。これにより、オン電流が高く、かつ、しきい値電圧のバラツキを抑制された、高性能なトランジスタとすることができるため、当該構造は酸化物半導体を用いたトランジスタに適した構造の 1 つと言える。

【0198】

(実施の形態 5)

本実施の形態では、上述の実施の形態とは異なる構造の半導体装置及び半導体装置の作製方法の一形態を、図 13 および図 14 を用いて説明する。

【0199】

<半導体装置の構成例>

図 13 (A) および図 13 (B) に、半導体装置の例として、トップゲート構造のトランジスタの平面図および断面図の一例を示す。図 13 (A) は平面図であり、図 13 (B) は、図 13 (A) における A - B 断面の断面図である。なお、図 13 (A) では、煩雑になることを避けるため、トランジスタ 1350 の構成要素の一部 (例えば、基板 100 など) を省略している。

【0200】

図 13 (A) および図 13 (B) に示すトランジスタ 1350 は、基板 100 上に、絶縁膜 102 と、酸化物半導体膜 106 と、酸化物半導体膜 106 と電氣的に接続するソース電極 114 a およびドレイン電極 114 b と、ゲート絶縁膜 108 と、少なくとも酸化物半導体膜と重畳するゲート電極 110 を有している。

【0201】

トランジスタ 1350 は、酸化物半導体膜 106 上全体にゲート絶縁膜 108 が形成されている点において、上述の実施の形態に記載したトランジスタの構造と異なっている。

【0202】

上述の実施の形態のように、酸化物半導体膜 106 上の一部のみにゲート絶縁膜が形成された構造では、ゲート絶縁膜 108 が加熱処理により酸素を放出する膜であっても、ゲート絶縁膜 108 の端部から酸素 (ゲート絶縁膜 108 中の過剰酸素。) が放出されてしまうため、酸化物半導体膜 106 中の酸素欠損低減効果が少ない場合がある。

【0203】

しかしながら、本実施の形態に記載のとおり、酸化物半導体膜 106 上全体にゲート絶縁膜 108 が形成された構造とすることで、加熱処理により放出された酸素がゲート絶縁膜 108 の端部から放出されてしまうことが無いため、上述の問題を解決できる。

【0204】

<トランジスタ 1350 の作製工程>

図 14 を用いて、図 13 に示すトランジスタ 1350 の作製工程の一例について説明する。

【0205】

まず、基板 100 上に絶縁膜 102 と、酸化物半導体膜 106 を形成する (図 14 (A) 参照。)。なお、当該工程は、図 2 (A) 乃至図 2 (C) および当該図面の説明に対応す

10

20

30

40

50

る上述の実施の形態の内容を参酌して行えばよい。

【0206】

次に、酸化物半導体膜106と接するソース電極114aおよびドレイン電極114bを形成し、酸化物半導体膜106ならびにソース電極114aおよびドレイン電極114b上にゲート絶縁膜108を形成する(図14(B)参照。)。なお、ソース電極114aおよびドレイン電極114bの形成は、図3(D)および当該図面の説明内容を参酌して行えばよく、ゲート絶縁膜108の形成は、図2(D)および当該図面の説明内容を参酌して行えばよい。

【0207】

次に、酸化物半導体膜106と重なる領域のゲート絶縁膜108上に、ゲート電極110を形成する(図14(C)参照。)。なお、当該工程は、図3(B)および当該図面の説明内容を参酌して行えばよい。

【0208】

以上の工程により、図14(C)に示すトランジスタ1350を作製することができる。トランジスタ1350は、実施の形態1にて記載した特徴以外に、上述のように、ゲート絶縁膜108を、加熱処理により酸素を放出する膜とした場合において、ゲート絶縁膜108から放出される酸素を酸化物半導体膜106に効率的に添加することができるため、酸素欠損低減効果を高めることができる。

【0209】

(実施の形態6)

本実施の形態では、実施の形態1乃至実施の形態5に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、図面を用いて説明する。

【0210】

図15は、半導体装置の構成の一例である。図15(A)に、半導体装置の断面図を、図15(B)に半導体装置の平面図を、図15(C)に半導体装置の回路図をそれぞれ示す。ここで、図15(A)は、図15(B)のK-L、及びM-Nにおける断面に相当する。

【0211】

図15(A)及び図15(B)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ1760を有し、上部に第2の半導体材料を用いたトランジスタ1762を有するものである。トランジスタ1762としては、上述の実施の形態で示すトランジスタの構造を適用することができる。ここでは、実施の形態4のトランジスタ1150を用いた場合の例を記載する。

【0212】

ここで、第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコンなど)とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0213】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、情報を保持するために酸化物半導体を用いた実施の形態4に示すようなトランジスタ1762に用いる他、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0214】

図15(A)におけるトランジスタ1760は、半導体材料(例えば、シリコンなど)を含む基板1700に設けられたチャネル形成領域1716と、チャネル形成領域1716を挟むように設けられた不純物領域1720と、不純物領域1720に接する金属間化合

10

20

30

40

50

物領域 1724 と、チャンネル形成領域 1716 上に設けられたゲート絶縁膜 1708 と、ゲート絶縁膜 1708 上に設けられたゲート電極 1710 と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれる。

【0215】

基板 1700 上にはトランジスタ 1760 を囲むように素子分離絶縁層 1706 が設けられており、トランジスタ 1760 を覆うように絶縁層 1728、及び絶縁層 1730 が設けられている。なお、トランジスタ 1760 において、ゲート電極 1710 の側面に側壁絶縁層（サイドウォール絶縁層）を設け、不純物濃度が異なる領域を含む不純物領域 1720 としてもよい。

10

【0216】

単結晶半導体基板を用いたトランジスタ 1760 は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。トランジスタ 1760 を覆うように絶縁膜を 2 層形成する。トランジスタ 1762 および容量素子 1764 の形成前の処理として、2 層の該絶縁膜に CMP 処理を施して、平坦化した絶縁層 1728、絶縁層 1730 を形成し、同時にゲート電極 1710 の上面を露出させる。

20

【0217】

絶縁層 1728、絶縁層 1730 は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁層 1728、絶縁層 1730 は、プラズマ CVD 法又はスパッタリング法等を用いて形成することができる。

【0218】

また、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k 材料）等を用いることができる。有機材料を用いる場合、スピンコート法、印刷法などの湿式法によって絶縁層 1728、絶縁層 1730 を形成してもよい。

30

【0219】

なお、本実施の形態において、絶縁層 1728 として窒化シリコン膜、絶縁層 1730 として酸化シリコン膜を用いる。

【0220】

絶縁層 1730 表面において、酸化物半導体膜 1744 形成領域に、平坦化処理を行うことが好ましい。本実施の形態では、研磨処理（例えば CMP 処理）により十分に平坦化した絶縁層 1730（好ましくは絶縁層 1730 表面の平均面粗さは 0.15 nm 以下）上に酸化物半導体膜 1744 を形成する。

【0221】

図 15 (A) に示すトランジスタ 1762 は、酸化物半導体をチャンネル形成領域に用いたトランジスタである。ここで、トランジスタ 1762 に含まれる酸化物半導体膜 1744 は、上述の実施の形態にて記載したように、水分や水素などの不純物が極力除去されて高純度化されたものであることが望ましい。また、酸素欠損が十分に補填されたものであることが好ましい。このような酸化物半導体を用いることで、極めて優れたオフ特性のトランジスタ 1762 を得ることができる。

40

【0222】

トランジスタ 1762 は、オフ電流が極めて小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能とな

50

るため、消費電力を十分に低減することができる。

【0223】

トランジスタ1762は作製工程において、ゲート電極1748、絶縁膜1737、及び側壁絶縁膜1736aおよび側壁絶縁膜1736b上に設けられた導電膜を化学機械研磨処理により除去する工程を用いて、ソース電極及びドレイン電極として機能する電極膜1742aおよび電極膜1742bを形成する。

【0224】

よって、トランジスタ1762は、Loff幅を小さくすることができるため、トランジスタ1762のオン特性を向上させることが可能となる。

【0225】

電極膜1742aおよび電極膜1742bの形成工程におけるゲート電極1748上の導電膜を除去する工程において、レジストマスクを用いたエッチング工程を用いないため、精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきを少ない微細な構造を有するトランジスタを歩留まりよく作製することができる。

【0226】

トランジスタ1762上には、層間絶縁膜1735、絶縁膜1750が単層または積層で設けられている。本実施の形態では、絶縁膜1750として、酸化アルミニウム膜を用いる。酸化アルミニウム膜を高密度(膜密度 3.2 g/cm^3 以上、好ましくは 3.6 g/cm^3 以上)とすることによって、トランジスタ1762に安定な電気特性を付与することができる。

【0227】

また、層間絶縁膜1735及び絶縁膜1750を介して、トランジスタ1762の電極膜1742aと重畳する領域には、導電層1753が設けられており、電極膜1742aと、層間絶縁膜1735と、絶縁膜1750と、導電層1753とによって、容量素子1764が構成される。すなわち、トランジスタ1762の電極膜1742aは、容量素子1764の一方の電極として機能し、導電層1753は、容量素子1764の他方の電極として機能する。なお、容量が不要の場合には、容量素子1764を設けない構成とすることもできる。また、容量素子1764は、別途、トランジスタ1762の上方に設けてもよい。

【0228】

トランジスタ1762および容量素子1764の上には絶縁膜1752が設けられている。そして、絶縁膜1752上にはトランジスタ1762と、他のトランジスタを接続するための配線1756が設けられている。図15(A)には図示しないが、配線1756は、層間絶縁膜1735、絶縁膜1750および絶縁膜1752などに形成された開口に形成された電極を通して電極膜1742bと電氣的に接続される。ここで、該電極は、少なくともトランジスタ1762の酸化物半導体膜1744の一部と重畳するように設けられることが好ましい。

【0229】

図15(A)及び図15(B)において、トランジスタ1760と、トランジスタ1762とは、少なくとも一部が重畳するように設けられており、トランジスタ1760のソース領域またはドレイン領域と酸化物半導体膜1744の一部が重畳するように設けられているのが好ましい。また、トランジスタ1762及び容量素子1764が、トランジスタ1760の少なくとも一部と重畳するように設けられている。例えば、容量素子1764の導電層1753は、トランジスタ1760のゲート電極1710と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0230】

なお、電極膜1742b及び配線1756の電氣的接続は、電極膜1742b及び配線1756を直接接触させて行ってもよいし、電極膜1742b及び配線1756の間の絶縁

10

20

30

40

50

膜に電極を設けて、該電極を介して行ってもよい。また、間に介する電極は、複数でもよい。

【0231】

次に、図15(A)及び図15(B)に対応する回路構成の一例を図15(C)に示す。

【0232】

図15(C)において、第1の配線(1st Line)とトランジスタ1760のソース電極とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ1760のドレイン電極とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ1762のソース電極またはドレイン電極の一方とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ1762のゲート電極とは、電氣的に接続されている。そして、トランジスタ1760のゲート電極と、トランジスタ1762のソース電極またはドレイン電極の一方は、容量素子1764の電極の他方と電氣的に接続され、第5の配線(5th Line)と、容量素子1764の電極の一方は電氣的に接続されている。

10

【0233】

図15(C)に示す半導体装置では、トランジスタ1760のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0234】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ1762がオン状態となる電位にして、トランジスタ1762をオン状態とする。これにより、第3の配線の電位が、トランジスタ1760のゲート電極、および容量素子1764に与えられる。すなわち、トランジスタ1760のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ1762がオフ状態となる電位にして、トランジスタ1762をオフ状態とすることにより、トランジスタ1760のゲート電極に与えられた電荷が保持される(保持)。

20

【0235】

トランジスタ1762のオフ電流は極めて小さいため、トランジスタ1760のゲート電極の電荷は長時間にわたって保持される。

30

【0236】

次に情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ1760のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ1760をnチャンネル型とすると、トランジスタ1760のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ1760のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ1760を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ1760のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ1760は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ1760は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

40

【0237】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態に

50

かかわらずトランジスタ1760が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ1760が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

【0238】

本実施の形態に示す半導体装置では、チャンネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

10

【0239】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

20

【0240】

以上のように、微細化及び高集積化を実現し、かつ高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【0241】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0242】

（実施の形態7）

本実施の形態においては、実施の形態1乃至実施の形態5に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態6に示した構成と異なる構成について、図16及び図17を用いて説明を行う。

30

【0243】

図16(A)は、半導体装置の回路構成の一例を示し、図16(B)は半導体装置の一例を示す概念図である。まず、図16(A)に示す半導体装置について説明を行い、続けて図16(B)に示す半導体装置について、以下説明を行う。

【0244】

図16(A)に示す半導体装置において、ビット線BLとトランジスタ1762のソース電極又はドレイン電極とは電氣的に接続され、ワード線WLとトランジスタ1762のゲート電極とは電氣的に接続され、トランジスタ1762のソース電極又はドレイン電極と容量素子1764の第1の端子とは電氣的に接続されている。

40

【0245】

次に、図16(A)に示す半導体装置（メモリセル1850）に、情報の書き込みおよび保持を行う場合について説明する。

【0246】

まず、ワード線WLの電位を、トランジスタ1762がオン状態となる電位として、トランジスタ1762をオン状態とする。これにより、ビット線BLの電位が、容量素子1764の第1の端子に与えられる（書き込み）。その後、ワード線WLの電位を、トランジスタ1762がオフ状態となる電位として、トランジスタ1762をオフ状態とすることにより、容量素子1764の第1の端子の電位が保持される（保持）。

【0247】

50

酸化物半導体を用いたトランジスタ1762は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ1762をオフ状態とすることで、容量素子1764の第1の端子の電位（あるいは、容量素子1764に蓄積された電荷）を極めて長時間にわたって保持することが可能である。

【0248】

次に、情報の読み出しについて説明する。トランジスタ1762がオン状態となると、浮遊状態であるビット線BLと容量素子1764とが導通し、ビット線BLと容量素子1764の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子1764の第1の端子の電位（あるいは容量素子1764に蓄積された電荷）によって、異なる値をとる。

10

【0249】

例えば、容量素子1764の第1の端子の電位をV、容量素子1764の容量をC、ビット線BLが有する容量成分（以下、ビット線容量とも呼ぶ）をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。従って、メモリセル1850の状態として、容量素子1764の第1の端子の電位がV1とV0（ $V1 > V0$ ）の2つの状態をとるとすると、電位V1を保持している場合のビット線BLの電位（ $= CB \times VB0 + C \times V1$ ）/（ $CB + C$ ）は、電位V0を保持している場合のビット線BLの電位（ $= CB \times VB0 + C \times V0$ ）/（ $CB + C$ ）よりも高くなることわかる。

【0250】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

20

【0251】

このように、図16（A）に示す半導体装置は、トランジスタ1762のオフ電流が極めて小さいという特徴から、容量素子1764に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0252】

次に、図16（B）に示す半導体装置について、説明を行う。

30

【0253】

図16（B）に示す半導体装置は、上部に記憶回路として図16（A）に示したメモリセル1850を複数有するメモリセルアレイ1851a及び1851bを有し、下部に、メモリセルアレイ1851（メモリセルアレイ1851a及び1851b）を動作させるために必要な周辺回路1853を有する。なお、周辺回路1853は、メモリセルアレイ1851と電気的に接続されている。

【0254】

図16（B）に示した構成とすることにより、周辺回路1853をメモリセルアレイ1851（メモリセルアレイ1851a及び1851b）の直下に設けることができるため半導体装置の小型化を図ることができる。

40

【0255】

周辺回路1853に設けられるトランジスタは、実施の形態6のトランジスタ1762とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0256】

50

なお、図16(B)に示した半導体装置では、2つのメモリセルアレイ1851(メモリセルアレイ1851aと、メモリセルアレイ1851b)が積層された構成を例示したが、積層するメモリセルの数はこれに限定されない。3つ以上のメモリセルを積層する構成としても良い。

【0257】

次に、図16(A)に示したメモリセル1850の具体的な構成について図17を用いて説明を行う。

【0258】

図17は、メモリセル1850の構成の一例である。図17(A)に、メモリセル1850の断面図を、図17(B)にメモリセル1850の平面図をそれぞれ示す。ここで、図17(A)は、図17(B)のO-P、及びQ-Rにおける断面に相当する。

10

【0259】

図17(A)及び図17(B)に示すトランジスタ1762は、実施の形態1乃至実施の形態4で示した構成と同一の構成とすることができる。

【0260】

トランジスタ1762上には、絶縁膜1750が単層または積層で設けられている。また、絶縁膜1750を介して、トランジスタ1762の電極膜1742aと重畳する領域には、導電層1753が設けられており、電極膜1742aと、層間絶縁膜1735と、絶縁膜1750と、導電層1753とによって、容量素子1764が構成される。すなわち、トランジスタ1762の電極膜1742aは、容量素子1764の一方の電極として機能し、導電層1753は、容量素子1764の他方の電極として機能する。

20

【0261】

トランジスタ1762および容量素子1764の上には絶縁膜1752が設けられている。そして、絶縁膜1752上にはメモリセル1850と、隣接するメモリセル1850を接続するための配線1756が設けられている。図示しないが、配線1756は、絶縁膜1750、絶縁膜1752および層間絶縁膜1735などに形成された開口を介してトランジスタ1762の電極膜1742bと電気的に接続されている。但し、開口に他の導電層を設け、該他の導電層を介して、配線1756と電極膜1742bとを電気的に接続してもよい。なお、配線1756は、図16(A)の回路図におけるビット線BLに相当する。

30

【0262】

図17(A)及び図17(B)において、トランジスタ1762の電極膜1742bは、隣接するメモリセルに含まれるトランジスタのソース電極としても機能することができる。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0263】

図17(A)に示す平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0264】

以上のように、上部に多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

40

【0265】

このように、酸化物半導体以外の材料を用いたトランジスタ(換言すると、十分な高速動作が可能なトランジスタ)を用いた周辺回路と、酸化物半導体を用いたトランジスタ(より広義には、十分にオフ電流が小さいトランジスタ)を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

50

【0266】

以上のように、微細化及び高集積化を実現し、かつ高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【0267】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0268】

(実施の形態8)

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図18乃至図21を用いて説明する。

10

【0269】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などにSRAMまたはDRAMが使用されている。SRAMまたはDRAMが使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、SRAMまたはDRAMを画像データの一時記憶に用いた場合、以下の特徴がある。

【0270】

通常のSRAMは、図18(A)に示すように1つのメモリセルがトランジスタ2001乃至トランジスタ2006の6個のトランジスタで構成されており、それをXデコーダー2007、Yデコーダー2008にて駆動している。トランジスタ2003とトランジスタ2005、トランジスタ2004とトランジスタ2006はインバータを構成し、高速駆動を可能としている。しかし1つのメモリセルが6トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法をFとしたときにSRAMのメモリセル面積は通常、 $100 \sim 150F^2$ である。このためSRAMはビットあたりの単価が各種メモリの中で最も高い。

20

【0271】

それに対して、DRAMはメモリセルが図18(B)に示すようにトランジスタ2011、保持容量2012によって構成され、それをXデコーダー2013、Yデコーダー2014にて駆動している。1つのセルが1つのトランジスタと1つの容量の構成になっており、面積が小さい。DRAMのメモリセル面積は通常、 $10F^2$ 以下である。ただし、DRAMは常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

30

【0272】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 $10F^2$ 前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力が低減することができる。

【0273】

図19に携帯機器のブロック図を示す。図19に示す携帯機器はRF回路2101、アナログベースバンド回路2102、デジタルベースバンド回路2103、バッテリー2104、電源回路2105、アプリケーションプロセッサ2106、フラッシュメモリ2110、ディスプレイコントローラ2111、メモリ回路2112、ディスプレイ2113、タッチセンサ2119、音声回路2117、キーボード2118などより構成されている。ディスプレイ2113は表示部2114、ソースドライバ2115、ゲートドライバ2116によって構成されている。アプリケーションプロセッサ2106はCPU2107、DSP2108、インターフェイス2109(IFとも記載する。)を有している。一般にメモリ回路2112はSRAMまたはDRAMで構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

40

【0274】

図20に、ディスプレイのメモリ回路2250に先の実施の形態で説明した半導体装置を

50

使用した例を示す。図 20 に示すメモリ回路 2250 は、メモリ 2252、メモリ 2253、スイッチ 2254、スイッチ 2255 およびメモリコントローラ 2251 により構成されている。また、メモリ回路は、信号線から入力された画像データ（入力画像データ）、メモリ 2252、及びメモリ 2253 に記憶されたデータ（記憶画像データ）を読み出し、及び制御を行うディスプレイコントローラ 2256 と、ディスプレイコントローラ 2256 からの信号により表示するディスプレイ 2257 が接続されている。

【0275】

まず、ある画像データがアプリケーションプロセッサ（図示しない）によって、形成される（入力画像データ A）。入力画像データ A は、スイッチ 2254 を介してメモリ 2252 に記憶される。そしてメモリ 2252 に記憶された画像データ（記憶画像データ A）は、スイッチ 2255、及びディスプレイコントローラ 2256 を介してディスプレイ 2257 に送られ、表示される。

10

【0276】

入力画像データ A に変更が無い場合、記憶画像データ A は通常、30～60 Hz 程度の周期でメモリ 2252 からスイッチ 2255 を介して、ディスプレイコントローラ 2256 から読み出される。

【0277】

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データ A に変更が有る場合）、アプリケーションプロセッサは新たな画像データ（入力画像データ B）を形成する。入力画像データ B はスイッチ 2254 を介してメモリ 2253 に記憶される。この間も定期的にメモリ 2252 からスイッチ 2255 を介して記憶画像データ A は読み出されている。メモリ 2253 に新たな画像データ（記憶画像データ B）が記憶し終わると、ディスプレイ 2257 の次のフレームより、記憶画像データ B は読み出され、スイッチ 2255、及びディスプレイコントローラ 2256 を介して、ディスプレイ 2257 に記憶画像データ B が送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ 2252 に記憶されるまで継続される。

20

【0278】

このようにメモリ 2252 及びメモリ 2253 は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ 2257 の表示をおこなう。なお、メモリ 2252 及びメモリ 2253 はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ 2252 及びメモリ 2253 に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

30

【0279】

図 21 に電子書籍のブロック図を示す。図 21 はバッテリー 2301、電源回路 2302、マイクロプロセッサ 2303、フラッシュメモリ 2304、音声回路 2305、キーボード 2306、メモリ回路 2307、タッチパネル 2308、ディスプレイ 2309、ディスプレイコントローラ 2310 によって構成される。

【0280】

ここでは、図 21 のメモリ回路 2307 に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路 2307 の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ 2304 にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

40

【0281】

50

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

【0282】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0283】

(実施の形態9)

本明細書等に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。上記実施の形態で説明した半導体装置を具備する電子機器の例について説明する。

10

【0284】

図22(A)(B)は、携帯型の情報端末であり、筐体2501、筐体2502、第1の表示部2503a、第2の表示部2503bなどによって構成されている。筐体2501と筐体2502の内部には、様々な電子部品(例えば、CPU、MPU、記憶素子など。)が組み込まれている。また、第1の表示部2503aと第2の表示部2503bには、画像を表示するために必要な電子回路(例えば、駆動回路や選択回路など。)が搭載されている。これら電子部品や電子回路の中に、上述の実施の形態で示した半導体装置を適用することにより、信頼性の高い携帯型の情報端末とすることができる。なお、先の実施の形態に示す半導体装置は、筐体2501、筐体2502の少なくとも一に設けられていればよい。

20

【0285】

なお、第1の表示部2503aおよび第2の表示部2503bの少なくとも一方は、タッチ入力機能を有するパネルとなっており、例えば図22(B)のように、第1の表示部2503aに表示される選択ボタン2504により「タッチ入力」を行うか、「キーボード入力」を行うかを選択できる。選択ボタンは様々な大きさで表示できるため、幅広い世代の人が使いやすさを実感できる。ここで、例えば「キーボード入力」を選択した場合、図22(B)のように第1の表示部2503aにはキーボード2505が表示される。これにより、従来の情報端末と同様に、キー入力による素早い文字入力などが可能となる。

30

【0286】

また、図22(A)に示す携帯型の情報端末は、図22(B)のように、筐体2501と筐体2502を分離することができる。これにより、筐体2502を壁に掛けて大人数で画面情報を共有しながら、筐体2501で画面情報をコントロールするといった操作が可能となり、非常に便利である。なお、当該装置を使用しない場合は、第1の表示部2503a及び第2の表示部2503bが向かい合うように、筐体2501および筐体2502を重ねた状態とすることが好ましい。これにより、外部より加わる衝撃などから第1の表示部2503a及び第2の表示部2503bを保護することができる。

40

【0287】

図22(A)(B)に示す携帯型の情報端末は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子など)、記録媒体挿入部などを備える構成としてもよい。

【0288】

また、図22(A)(B)に示す携帯型の情報端末は、無線で情報を送受信できる構成と

50

してもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0289】

さらに、図22(A)(B)に示す筐体2501や筐体2502にアンテナやマイク機能や無線機能を持たせ、携帯電話として用いてもよい。

【0290】

図22(C)は、電子書籍の一例を示している。例えば、電子書籍2520は、筐体2521および筐体2523の2つの筐体で構成されている。筐体2521および筐体2523は、軸部2522により一体とされており、該軸部2522を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

10

【0291】

筐体2521には表示部2525が組み込まれ、筐体2523には表示部2527が組み込まれている。表示部2525および表示部2527は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図22(C)では表示部2525)に文章を表示し、左側の表示部(図22(C)では表示部2527)に画像を表示することができる。上述の実施の形態で示した半導体装置を適用することにより、信頼性の高い電子書籍2520とすることができる。

【0292】

また、図22(C)では、筐体2521に操作部などを備えた例を示している。例えば、筐体2521において、電源2526、操作キー2528、スピーカー2529などを備えている。操作キー2528により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2520は、電子辞書としての機能を持たせた構成としてもよい。

20

【0293】

また、電子書籍2520は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

30

【0294】

図22(D)は、スマートフォンであり、筐体2530と、ボタン2531と、マイクロフォン2532と、タッチパネルを備えた表示部2533と、スピーカー2534と、カメラ用レンズ2535と、を具備し、携帯型電話機としての機能を有する。上述の実施の形態で示した半導体装置を適用することにより、信頼性の高いスマートフォンとすることができる。

【0295】

表示部2533は、使用形態に応じて表示の方向が適宜変化する。また、表示部2533と同一面上にカメラ用レンズ2535を備えているため、テレビ電話が可能である。スピーカー2534及びマイクロフォン2532は音声通話に限らず、テレビ電話、録音、再生などが可能である。

40

【0296】

また、外部接続端子2536はACアダプタ及びUSBケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット(図示せず)に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

【0297】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0298】

50

図 2 2 (E) は、デジタルビデオカメラであり、本体 2 5 4 1、表示部 2 5 4 2、操作スイッチ 2 5 4 3、バッテリー 2 5 4 4 などによって構成されている。上述の実施の形態で示した半導体装置を適用することにより、信頼性の高いデジタルビデオカメラとすることができる。

【 0 2 9 9 】

図 2 2 (F) は、テレビジョン装置の一例を示している。テレビジョン装置 2 5 5 0 は、筐体 2 5 5 1 に表示部 2 5 5 3 が組み込まれている。表示部 2 5 5 3 により、映像を表示することが可能である。また、ここでは、スタンド 2 5 5 5 により筐体 2 5 5 1 を支持した構成を示している。上述の実施の形態で示した半導体装置を適用することにより、信頼性の高いテレビジョン装置 2 5 5 0 とすることができる。

10

【 0 3 0 0 】

テレビジョン装置 2 5 5 0 の操作は、筐体 2 5 5 1 が備える操作スイッチや、別体のリモコン操作機により行うことができる。また、リモコン操作機に、当該リモコン操作機から出力する情報を表示する表示部を設ける構成としてもよい。

【 0 3 0 1 】

なお、テレビジョン装置 2 5 5 0 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【 0 3 0 2 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

20

【 実施例 1 】

【 0 3 0 3 】

本実施例では、シリコンを含有する酸化物半導体膜を作製し、当該酸化物半導体膜のシート抵抗測定結果および、X線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）を用いて組成分析を行った結果について説明する。

【 0 3 0 4 】

本実施例では、それぞれ異なる濃度の SiO_2 （0重量%、2重量%、5重量%）を添加したターゲットについて、異なるガス流量（酸素33%、酸素100%）でスパッタリングを行って、酸化物半導体膜をガラス基板上に成膜してサンプルを作製した。

30

【 0 3 0 5 】

スパッタリングターゲットとしては、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] の I G Z O ターゲットと、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] の I G Z O ターゲットに2重量%の SiO_2 を添加したターゲットと、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] の I G Z O ターゲットに5重量%の SiO_2 を添加したターゲットを用いた。

【 0 3 0 6 】

それぞれのターゲットについて、ガス流量を $\text{O}_2=10\text{ sccm}$ または $\text{Ar}/\text{O}_2=10\text{ sccm}/5\text{ sccm}$ として酸化物半導体膜のスパッタリング成膜を行った。また、その他の成膜条件は、全サンプル共通で、基板温度：200、成膜電力：100W（DC電源）、成膜圧力：0.4Pa、膜厚：100nmとした。

40

【 0 3 0 7 】

つまり、 SiO_2 を添加しないターゲットを用いて酸素100%の雰囲気中で成膜したサンプルL、 SiO_2 を2重量%添加したターゲットを用いて酸素100%の雰囲気中で成膜したサンプルM、 SiO_2 を5重量%添加したターゲットを用いて酸素100%の雰囲気中で成膜したサンプルN、 SiO_2 を添加しないターゲットを用いて酸素33%の雰囲気中で成膜したサンプルO、 SiO_2 を2重量%添加したターゲットを用いて酸素33%の雰囲気中で成膜したサンプルP、 SiO_2 を5重量%添加したターゲットを用いて酸素33%の雰囲気中で成膜したサンプルQを作製した。

【 0 3 0 8 】

50

さらに、サンプルL乃至サンプルQを抵抗発熱体を用いた電気炉に導入して加熱処理を行った。当該加熱処理は、450 のN₂雰囲気では1時間の加熱を行った後、450 のO₂雰囲気では1時間の加熱を行った。

【0309】

以上の処理を施したサンプルL乃至サンプルQについてシート抵抗の測定を行った。サンプルL乃至サンプルQのシート抵抗の測定結果を図26のグラフに示す。図26のグラフの縦軸にはシート抵抗(/)をとり、横軸にはターゲット中のSiO₂濃度(wt%)をとっている。

【0310】

図26のグラフより、ターゲット中のSiO₂濃度が増えるにつれて、酸化半導体膜のシート抵抗も増加する傾向が見られる。ターゲットにSiO₂が添加されていないサンプルLおよびサンプルOでは、シート抵抗が 8×10^5 / 乃至 1×10^6 / 程度であり、トランジスタなどの活性層として用いることができるシート抵抗となった。また、ターゲット中のSiO₂濃度が2重量%のサンプルMおよびサンプルPでも、シート抵抗が 1×10^6 / 乃至 3×10^6 / 程度であり、トランジスタなどの活性層として用いることができるシート抵抗となった。しかし、ターゲット中のSiO₂濃度が5重量%のサンプルNおよびサンプルQでは、シート抵抗が測定上限より大きく、トランジスタなどの活性層として用いた場合オン電流が低下するおそれがある。

10

【0311】

このように、トランジスタの酸化半導体膜の成膜に用いるターゲット中のSiO₂濃度は低い方が好ましく、例えば、ターゲット中のSiO₂濃度は2重量%程度以下とすればよい。

20

【0312】

さらに本実施例においては、サンプルMおよびサンプルNと同様の条件で酸化半導体膜をシリコン基板上に成膜してサンプルを作製し、XPSを用いて組成分析を行った。

【0313】

スパッタリングターゲットとしては、In:Ga:Zn=1:1:1[原子数比]のIGZOターゲットに2重量%のSiO₂を添加したターゲットと、In:Ga:Zn=1:1:1[原子数比]のIGZOターゲットに5重量%のSiO₂を添加したターゲットを用いた。

30

【0314】

成膜条件は、ガス流量:O₂=10sccm、基板温度:200、成膜電力:100W(DC電源)、成膜圧力:0.4Pa、膜厚:15nmとした。

【0315】

つまり、SiO₂を2重量%添加したターゲットを用いて酸素100%の雰囲気中で成膜したサンプルR、SiO₂を5重量%添加したターゲットを用いて酸素100%の雰囲気中で成膜したサンプルSを作製した。

【0316】

サンプルRおよびサンプルSについてXPSを用いて組成分析を行った結果、サンプルRの酸化半導体膜中のシリコンの濃度は、1.1原子%であり、サンプルSの酸化半導体膜中のシリコンの濃度は、2.6原子%であった。つまり、SiO₂を2重量%添加したターゲットを用いた酸化半導体膜中のシリコンの濃度は、1.1原子%であり、SiO₂を5重量%添加したターゲットを用いた酸化半導体膜中のシリコンの濃度は、2.6原子%であった。

40

【0317】

本明細書に記載の、酸化半導体膜の膜厚が薄いトップゲート構造のトランジスタでは、ミキシングなどによって酸化半導体膜の絶縁膜との界面近傍(バックチャネル側とも表現できる。)にシリコンなどの不純物が混入した場合、酸化半導体膜の膜厚が薄いためチャネル領域に悪影響を及ぼし、オン電流が低下するなどのように、トランジスタの電気特性を低下させるおそれがある。よって、酸化半導体膜の絶縁膜との界面近傍において

50

、上記のようにシリコンの濃度を低減させることが重要である。

【実施例 2】

【0318】

上述の実施の形態において、酸化物半導体膜中への絶縁膜構成元素の混入は、酸化物半導体膜を成膜する際に生じるミキシングが原因であると記載したが、酸化物半導体膜を成膜後に基板を加熱処理することで、絶縁膜構成元素が酸化物半導体中に拡散している可能性もある。そこで、本実施例では、酸化物半導体膜中への絶縁膜構成元素の混入が熱拡散に起因するか否かを調査した実験についての説明を行う。

【0319】

実験を行うにあたり、まず最初に、酸化物ターゲット中に含まれるシリコンの濃度について、SIMS分析を行った結果について説明する。

10

【0320】

本実施例では、サンプルAとして、In-Ga-Zn系酸化物ターゲット（原子数比がIn:Ga:Zn=2:1:3）を用い、サンプルBとしてIn-Ga-Zn系酸化物ターゲット（原子数比がIn:Ga:Zn=3:1:2）、サンプルCとして、In-Sn-Zn系酸化物（原子数比がIn:Sn:Zn=2:1:3）を用いた。また、標準サンプルDとして、シリコンが添加されたIn-Ga-Zn系酸化物ターゲット（原子数比がIn:Ga:Zn=1:1:1）を用いた。

【0321】

サンプルA、サンプルB、サンプルC、及び標準サンプルDに対して、SIMS分析を行うことにより、各サンプルに含まれるシリコンの濃度を調べた。

20

【0322】

図27に、サンプルA乃至サンプルC、及び標準サンプルDのSIMS分析の結果を示す。

【0323】

図27に示すように、サンプルAのシリコンの濃度は、 4×10^{18} atoms/cm³、サンプルBのシリコンの濃度は、 3×10^{17} atoms/cm³、サンプルCのシリコンの濃度は、 2×10^{17} atoms/cm³、サンプルDのシリコンの濃度は、 2×10^{18} atoms/cm³であることがわかった。なお、本実施例のサンプルA乃至サンプルCのSIMS分析結果は、標準サンプルDにより定量した結果である。

30

【0324】

上述のデータは、サンプルA乃至サンプルDのターゲットを用いて酸化物半導体膜を成膜した際に、ターゲット中に含まれるシリコン以外のシリコン（例えば、ミキシングにより混入した絶縁膜中のシリコン）が酸化物半導体膜中に含まれるか否かを判断する材料として用いることができる。

【0325】

例えば、ターゲットとしてサンプルA（In:Ga:Zn=2:1:3（原子数比）である酸化物ターゲット）を用いて成膜した酸化物半導体膜において、膜中のシリコン濃度が 4×10^{18} atoms/cm³より高い場合、ターゲット以外の部分からシリコンが混入されていると判断できる。

40

【0326】

次に、酸化物半導体膜中への絶縁膜構成元素の混入が熱拡散に起因するか否かの実験内容および結果を記載する。

【0327】

実験内容は、まず、基板上に絶縁膜および酸化物半導体膜を形成した構造の基板を3つ準備した後、熱処理を行わないサンプル（以下、サンプルEと呼称する。）、450の熱処理を行ったサンプル（以下、サンプルFと呼称する。）、650の熱処理を行ったサンプル（以下、サンプルGと呼称する。）を作製した。そして、各サンプルについて、飛行時間型二次イオン質量分析法（TOF-SIMS: Time-of-flight secondary ion mass spectrometer）を用いて、酸化物半

50

導体膜中のゲート絶縁膜との界面近傍におけるシリコン濃度を測定した。

【0328】

まず、TOF-SIMS測定に用いたサンプルの構造を図28に示す。

【0329】

図28に示すサンプルは、シリコン基板200上に酸化シリコン膜202を成膜し、化学機械研磨(CMP:Chemical Mechanical Polishing)装置を用いて表面の平坦性を高め、IGZO膜204を成膜し、最後に熱処理を行ったものである。

【0330】

酸化シリコン膜202は、スパッタリング装置を用いて成膜した。酸化シリコン膜202の成膜条件は、基板温度:100、ガス流量: $Ar/O_2 = 25\text{ sccm} / 25\text{ sccm}$ 、成膜電力:1.5kW(RF電源)、成膜圧力:0.4Pa、膜厚:300nmとした。なお、スパッタリングターゲットとしては、酸化シリコンターゲットを用いた。なお、酸化シリコン膜202を形成する前に、希弗酸にてシリコン基板200表面に形成された酸化膜を除去した。

10

【0331】

IGZO膜204は、スパッタリング装置を用いて成膜した。IGZO膜204の成膜条件は、基板温度:200、ガス流量: $Ar/O_2 = 30\text{ sccm} / 15\text{ sccm}$ 、成膜電力:0.5kW(DC電源)、成膜圧力:0.4Pa、膜厚:15nmとした。なお、スパッタリングターゲットとしては、 $In:Ga:Zn = 3:1:2$ [原子数比]の酸化物ターゲットを用いた。

20

【0332】

熱処理は、抵抗発熱体などを用いた電気炉に基板を導入して加熱処理を行った。処理条件は、サンプルFについては、加熱温度:450、加熱時間:1時間とし、サンプルGについては、加熱温度:650、加熱時間:1時間とした。なお、加熱雰囲気は、両サンプルとも窒素および酸素の混合雰囲気とした。また、サンプルEは、加熱処理を行っていない。

【0333】

次に、サンプルE乃至サンプルGに対して、基板表面側(IGZO膜204側)からTOF-SIMS測定を行い、酸化シリコン膜との界面近傍におけるIGZO膜中のシリコン濃度を測定した。結果を図29に示す。

30

【0334】

図29より、全てのサンプルにおいて、ゲート絶縁膜界面近傍の酸化物半導体膜中のシリコン濃度は、実施例1にて記載したIn-Ga-Zn系酸化物ターゲット(原子数比が $In:Ga:Zn = 3:1:2$)中に含まれるシリコン濃度である $3 \times 10^{17}\text{ atoms/cm}^3$ よりも高くなっていることが確認できる。したがって、ゲート絶縁膜界面近傍の酸化物半導体膜中にて測定されたシリコンは、In-Ga-Zn系酸化物ターゲット起因のシリコンではないと言える。

【0335】

また、図29より、加熱処理を行っていないサンプル(サンプルE)および、加熱処理を行ったサンプル(サンプルFおよびサンプルG)において、酸化シリコン膜界面近傍における、IGZO膜中のシリコン濃度の傾き(Si濃度勾配とも言える。)に、特異な差は確認されない。したがって、酸化物半導体膜中への絶縁膜構成元素の混入は、熱拡散に起因するものではなくミキシングに起因するものであると言える。

40

【実施例3】

【0336】

本実施例では、ミキシングによって生じる酸化物半導体膜中への絶縁膜構成元素の混入を、酸化物半導体膜の成膜電力を弱くすることで抑制できるかを調査した実験についての説明を行う。

【0337】

50

実験内容は、まず、基板上に絶縁膜を成膜し、絶縁膜上に酸化物半導体膜を4種類の電力条件(1 kW、5 kW、9 kWおよび1 kW + 5 kW)で成膜した後に、各基板に対して熱処理を行い4種類のサンプルを作製した。そして、各サンプルについて、酸化物半導体膜中のゲート絶縁膜との界面近傍におけるシリコン濃度を、ToF-SIMS法を用いて測定した。

【0338】

まず、ToF-SIMS測定に用いたサンプルの構造を図30に示す。

【0339】

図30に示すサンプルは、ガラス基板300上に酸化窒化シリコン膜302を成膜した後に、IGZO膜304を成膜し、最後に熱処理を行ったものである。

10

【0340】

酸化窒化シリコン膜302は、高密度プラズマCVD装置を用いて成膜した。酸化窒化シリコン膜302の成膜条件は、基板温度：325、ガス流量：SiH₄/N₂O/Ar = 250 sccm / 2500 sccm / 2500 sccm、成膜電力：5 kW × 4台(マイクロ波電源)、成膜圧力：30 Pa、膜厚：100 nmとした。なお、酸化窒化シリコン膜302を形成する前に、ガラス基板300表面を洗浄してパーティクル等を除去した。

【0341】

IGZO膜304は、スパッタリング装置を用いて成膜した。IGZO膜304の成膜条件は、基板温度：170、ガス流量：Ar/O₂ = 100 sccm / 100 sccm、成膜圧力：0.6 Pa、膜厚：35 nmとし、1 kW、5 kW、9 kWおよび1 kW + 5 kWの4条件の電力で成膜を行った(共に、AC電源使用)。なお、スパッタリングターゲットとしては、In:Ga:Zn = 1:1:1[原子数比]の酸化物ターゲットを用いた。

20

【0342】

なお、上述成膜電力の「1 kW + 5 kW」とは、最初の5 nmの成膜を1 kWの電力で、その後の30 nmの成膜を5 kWの電力で成膜したことを表す。また、以下では、酸化物半導体膜を9 kWで成膜したサンプルをサンプルH、5 kWで成膜したサンプルをサンプルI、1 kWで成膜したサンプルをサンプルJ、1 kW + 5 kWで成膜したサンプルをサンプルKと呼称する。

30

【0343】

熱処理は、抵抗発熱体などを用いた電気炉に基板を導入して加熱処理を行った。処理条件は、まず、加熱温度：450、加熱雰囲気：N₂の条件で1時間の加熱を行った後、加熱温度：650、加熱雰囲気：N₂ + O₂の条件で、1時間の加熱を行った。

【0344】

次に、サンプルH乃至サンプルKに対して、基板表面側(IGZO膜304側)からToF-SIMS測定を行い、酸化窒化シリコン膜との界面近傍におけるIGZO膜中のシリコン濃度を測定した。結果を図31に示す。なお、図31(B)は図31(A)の一部分を拡大した図である。

40

【0345】

図31より、全てのサンプルにおいて、ゲート絶縁膜界面近傍のIGZO膜中のシリコン濃度は、実施例1にて記載したIn-Ga-Zn系酸化物ターゲット(原子数比がIn:Ga:Zn = 1:1:1)中に含まれるシリコン濃度である 2×10^{18} atoms/cm³よりも高くなっていることが確認できる。したがって、ゲート絶縁膜界面近傍のIGZO膜中にて測定されたシリコンは、In-Ga-Zn系酸化物ターゲット起因のシリコンではないと言える。

【0346】

また、図31より、酸化窒化シリコン膜界面近傍におけるIGZO膜中のシリコン濃度は、成膜電力を弱くするに従い低下する傾向が確認された。したがって、酸化物半導体膜の成膜電力を弱くすることにより、ミキシングによって生じる酸化物半導体膜中への絶縁膜

50

構成元素の混入を抑制できることが確認された。

【0347】

加えて、サンプルJとサンプルKのシリコン濃度が略一致していることより、成膜初期段階は弱い電力で酸化物半導体膜を成膜し、その後、成膜電力を高めて酸化物半導体膜を成膜しても、ミキシングによって生じる酸化物半導体膜中への絶縁膜構成元素の混入を抑制できることが確認された。

【実施例4】

【0348】

上述実施の形態にて説明したとおり、酸化物半導体膜としてはCAAC-O₂S膜を用いることが好ましいが、CAAC-O₂S膜中にシリコンが混入することで、CAAC-O₂S膜の結晶構造が変化することが懸念される。

10

【0349】

そこで、本実施例では、CAAC-O₂S膜のように高い結晶性を備えた酸化物半導体膜中にシリコンがどの程度の濃度で混入すると酸化物半導体膜の結晶構造が失われるかを計算した結果について説明する。

【0350】

本実施例における計算では、計算手法として「古典分子動力学法」を用い、計算には富士通株式会社の「SCIGRESS-ME」を用いた。

【0351】

また、高い結晶性を備えた膜として、1680原子のInGaZnO₄の単結晶構造モデル(図32(A)参照。)を用いた。なお、当該モデルの密度は6.36 g/cm³である。

20

【0352】

そして、上述モデルについて、定温定圧状態(圧力:1 atm、温度:300)において、In原子2個、Ga原子2個、Zn原子2個および酸素原子8個をSi原子に置き換えたサンプル(以下、サンプルAと記載する。)と、In原子3個、Ga原子3個、Zn原子3個および酸素原子12個をSi原子に置き換えたサンプル(以下、サンプルBと記載する。)について、初期構造および2 nsec後の構造を計算した。

【0353】

なお、サンプルAで置換したSiは、全体構造(1680原子)の0.83原子%(0.52重量%)であり、サンプルBで置換したSiは、全体構造の1.25原子%(0.79重量%)である。

30

【0354】

まず、初期状態(0 nsec)におけるサンプルAの構造およびサンプルBの構造を図32(A)および図32(B)に示すと共に、図32(C)に、In原子、Ga原子、Zn原子およびO原子をSi原子に置換していない場合のサンプル(以下、サンプルCと記載する)の構造を示す。

【0355】

図32より、初期状態においては、サンプルAおよびサンプルBともに、サンプルCと同様に高い結晶性を有していることが確認される。

40

【0356】

次に、図33に、2 nsec後におけるサンプルAおよびサンプルBの結晶状態について説明する。

【0357】

まず、図33(A)は、2 nsec後におけるサンプルAの結晶状態である。そして、当該構造が結晶性を有している否かを調査するため、当該構造に対して動径分布関数 $g(r)$ を求めた。

【0358】

なお、上述「動径分布関数 $g(r)$ 」とは、ある原子から距離 r 離れた位置において、他の原子が存在する確率密度を表す関数であり、原子同士の相関がなくなっていくと、 $g(r)$

50

r) は 1 に近づく。

【0359】

サンプル A における動径分布関数の計算結果を、図 33 (B) に示す。図 33 (B) は、横軸が距離 r (nm)、縦軸が動径分布関数 $g(r)$ である。なお、図中の実線はサンプル A の動径分布関数を表す線であり、破線はサンプル C の動径分布関数を表す線である。

【0360】

図 33 (B) より、2 nsec 後におけるサンプル A の動径分布関数は、サンプル C の動径分布関数と同様に r (nm) が長距離になっても秩序がある (ピークがある、とも表現できる。)。このことより、結晶性を保っていることが示唆される。

【0361】

同様に、図 34 (A) に 2 nsec 後におけるサンプル B の結晶状態を、図 34 (B) に当該構造における動径分布関数 $g(r)$ の計算結果を示す。なお、図 34 (B) の実線はサンプル B の動径分布関数を表す線であり、破線はサンプル C の動径分布関数を表す線である。

【0362】

図 34 (A) より、2 nsec 後におけるサンプル B の構造は、図 32 (B) にて示した初期状態におけるサンプル B の構造と比較して、明らかに構造が変化していることが分かる。

【0363】

また、2 nsec 後におけるサンプル B の動径分布関数を表す図 34 (B) を見ても、 r (nm) が長距離になることで秩序が無くなり平坦な線となっている (ピークが消失している、とも表現できる。)。このことより、結晶性が保たれていない (つまり、アモルファス化している) ことが示唆される。

【0364】

本明細書中において、半導体層として酸化物半導体膜を用いた半導体装置では、ゲート絶縁膜との界面から酸化物半導体膜に向けてシリコンの濃度が 1 . 1 原子% 以下の濃度で分布する領域を有することが好ましい旨の説明を行ったが、本実施例の結果より、半導体層として CAAC - OS 膜のように高い結晶性を備えた酸化物半導体膜を使用する場合は、ゲート絶縁膜との界面から酸化物半導体膜に向けてシリコンの濃度が 0 . 83 原子% 以下の濃度で分布する領域を有する構造とすることが、より好ましいことが確認された。

【符号の説明】

【0365】

100	基板	
102	絶縁膜	
106	酸化物半導体膜	
106a	領域	
106b	領域	
106c	低抵抗領域	
107	絶縁膜	
108	ゲート絶縁膜	40
109	導電膜	
110	ゲート電極	
114a	ソース電極	
114b	ドレイン電極	
130	不純物イオン	
150	トランジスタ	
200	シリコン基板	
202	酸化シリコン膜	
204	IGZO膜	
300	ガラス基板	50

3 0 2	酸化窒化シリコン膜	
3 0 4	I G Z O 膜	
6 0 2	導電膜	
6 5 0	トランジスタ	
8 0 0	層間絶縁膜	
8 0 2	層間絶縁膜	
8 5 0	トランジスタ	
1 1 0 0	絶縁膜	
1 1 0 1	絶縁膜	
1 1 0 2	側壁絶縁膜	10
1 1 0 4	導電膜	
1 1 5 0	トランジスタ	
1 3 5 0	トランジスタ	
1 7 0 0	基板	
1 7 0 6	素子分離絶縁層	
1 7 0 8	ゲート絶縁膜	
1 7 1 0	ゲート電極	
1 7 1 6	チャネル形成領域	
1 7 2 0	不純物領域	
1 7 2 4	金属間化合物領域	20
1 7 2 8	絶縁層	
1 7 3 0	絶縁層	
1 7 3 5	層間絶縁膜	
1 7 3 6 a	側壁絶縁膜	
1 7 3 6 b	側壁絶縁膜	
1 7 3 7	絶縁膜	
1 7 4 2 a	電極膜	
1 7 4 2 b	電極膜	
1 7 4 4	酸化物半導体膜	
1 7 4 8	ゲート電極	30
1 7 5 0	絶縁膜	
1 7 5 2	絶縁膜	
1 7 5 3	導電層	
1 7 5 6	配線	
1 7 6 0	トランジスタ	
1 7 6 2	トランジスタ	
1 7 6 4	容量素子	
1 8 5 0	メモリセル	
1 8 5 1	メモリセルアレイ	
1 8 5 1 a	メモリセルアレイ	40
1 8 5 1 b	メモリセルアレイ	
1 8 5 3	周辺回路	
2 0 0 1	トランジスタ	
2 0 0 2	トランジスタ	
2 0 0 3	トランジスタ	
2 0 0 4	トランジスタ	
2 0 0 5	トランジスタ	
2 0 0 6	トランジスタ	
2 0 0 7	X デコーダー	
2 0 0 8	Y デコーダー	50

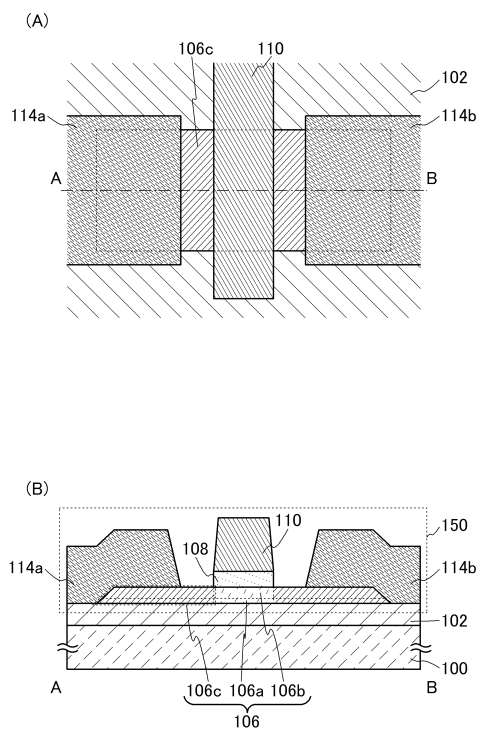
2 0 1 1	トランジスタ	
2 0 1 2	保持容量	
2 0 1 3	Xデコーダー	
2 0 1 4	Yデコーダー	
2 1 0 1	R F回路	
2 1 0 2	アナログベースバンド回路	
2 1 0 3	デジタルベースバンド回路	
2 1 0 4	バッテリー	
2 1 0 5	電源回路	
2 1 0 6	アプリケーションプロセッサ	10
2 1 0 7	C P U	
2 1 0 8	D S P	
2 1 0 9	インターフェイス	
2 1 1 0	フラッシュメモリ	
2 1 1 1	ディスプレイコントローラ	
2 1 1 2	メモリ回路	
2 1 1 3	ディスプレイ	
2 1 1 4	表示部	
2 1 1 5	ソースドライバ	
2 1 1 6	ゲートドライバ	20
2 1 1 7	音声回路	
2 1 1 8	キーボード	
2 1 1 9	タッチセンサ	
2 2 5 0	メモリ回路	
2 2 5 1	メモリコントローラ	
2 2 5 2	メモリ	
2 2 5 3	メモリ	
2 2 5 4	スイッチ	
2 2 5 5	スイッチ	
2 2 5 6	ディスプレイコントローラ	30
2 2 5 7	ディスプレイ	
2 3 0 1	バッテリー	
2 3 0 2	電源回路	
2 3 0 3	マイクロプロセッサ	
2 3 0 4	フラッシュメモリ	
2 3 0 5	音声回路	
2 3 0 6	キーボード	
2 3 0 7	メモリ回路	
2 3 0 8	タッチパネル	
2 3 0 9	ディスプレイ	40
2 3 1 0	ディスプレイコントローラ	
2 5 0 1	筐体	
2 5 0 2	筐体	
2 5 0 3 a	第1の表示部	
2 5 0 3 b	第2の表示部	
2 5 0 4	選択ボタン	
2 5 0 5	キーボード	
2 5 2 0	電子書籍	
2 5 2 1	筐体	
2 5 2 2	軸部	50

- 2 5 2 3 筐体
- 2 5 2 5 表示部
- 2 5 2 6 電源
- 2 5 2 7 表示部
- 2 5 2 8 操作キー
- 2 5 2 9 スピーカー
- 2 5 3 0 筐体
- 2 5 3 1 ボタン
- 2 5 3 2 マイクロフォン
- 2 5 3 3 表示部
- 2 5 3 4 スピーカー
- 2 5 3 5 カメラ用レンズ
- 2 5 3 6 外部接続端子
- 2 5 4 1 本体
- 2 5 4 2 表示部
- 2 5 4 3 操作スイッチ
- 2 5 4 4 バッテリー
- 2 5 5 0 テレビジョン装置
- 2 5 5 1 筐体
- 2 5 5 3 表示部
- 2 5 5 5 スタンド

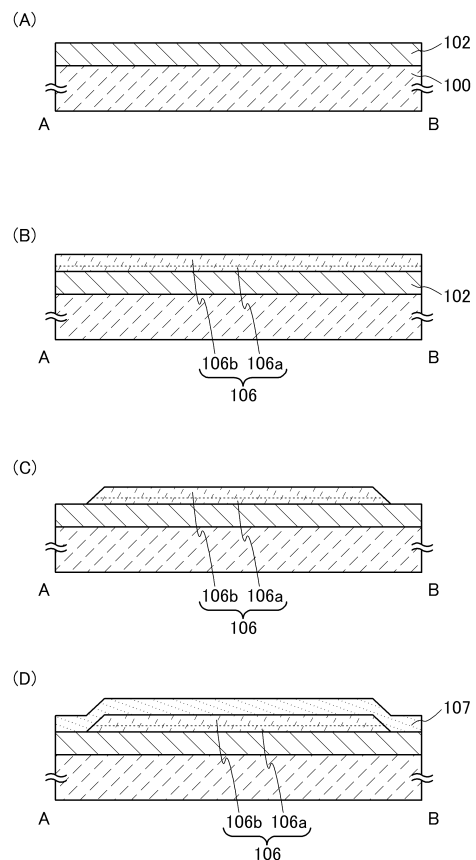
10

20

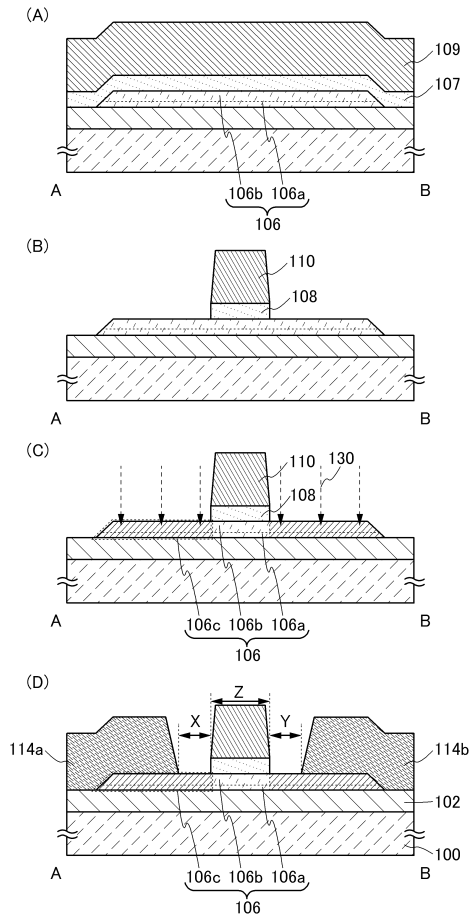
【図 1】



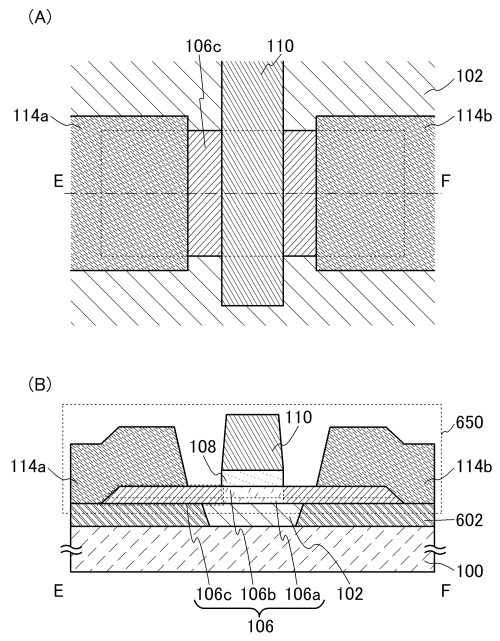
【図 2】



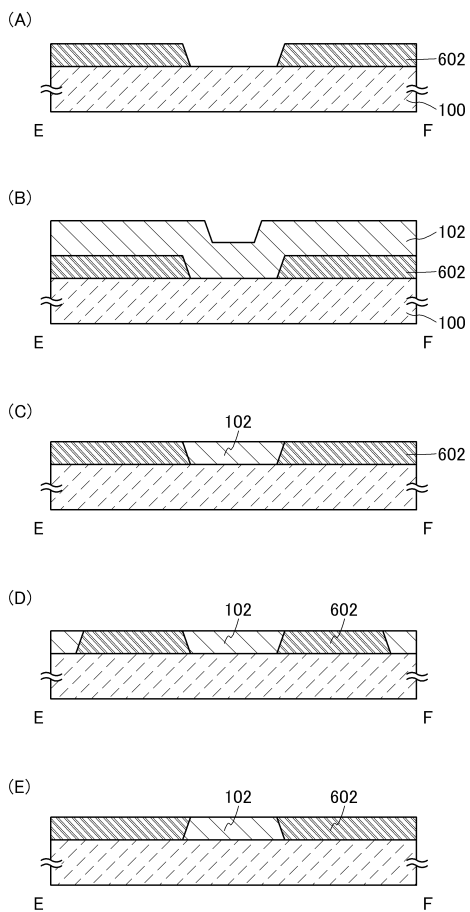
【図3】



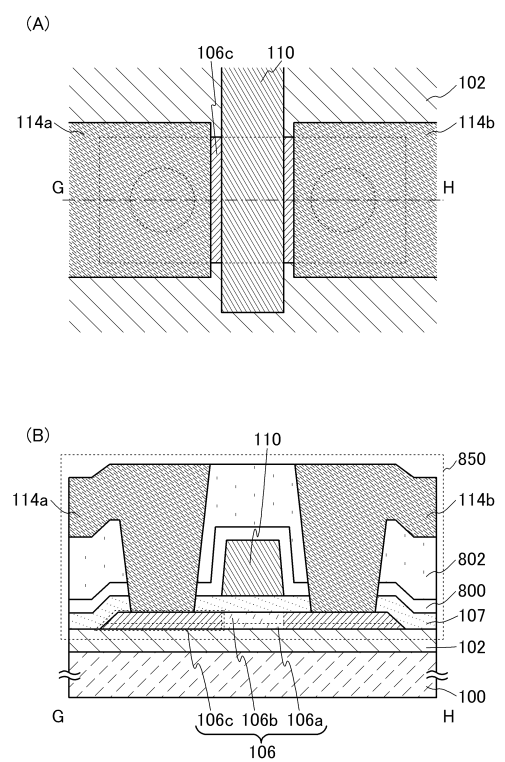
【図4】



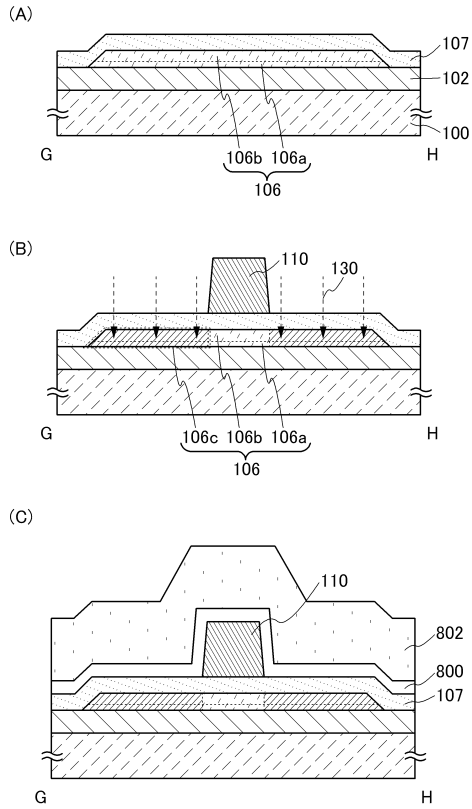
【図5】



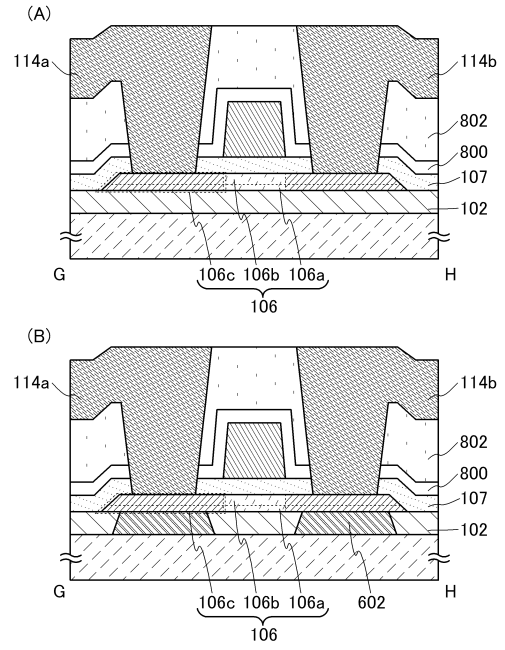
【図6】



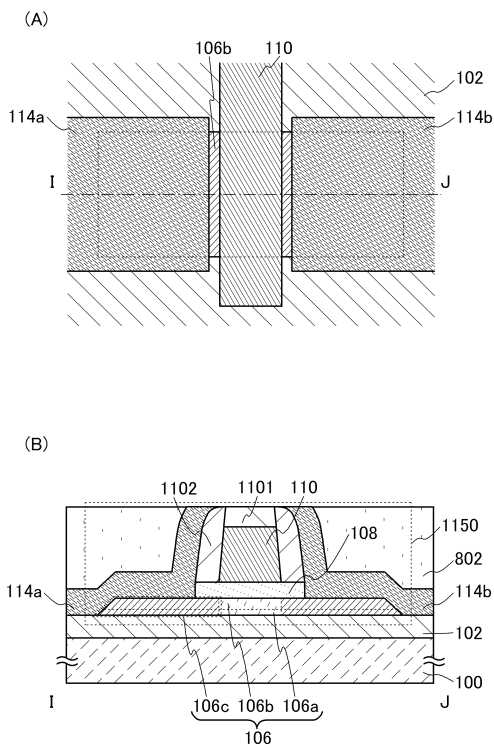
【図7】



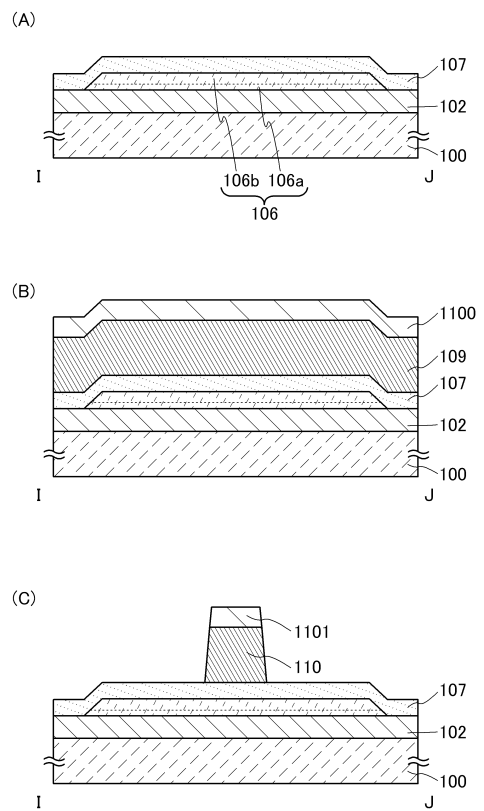
【図8】



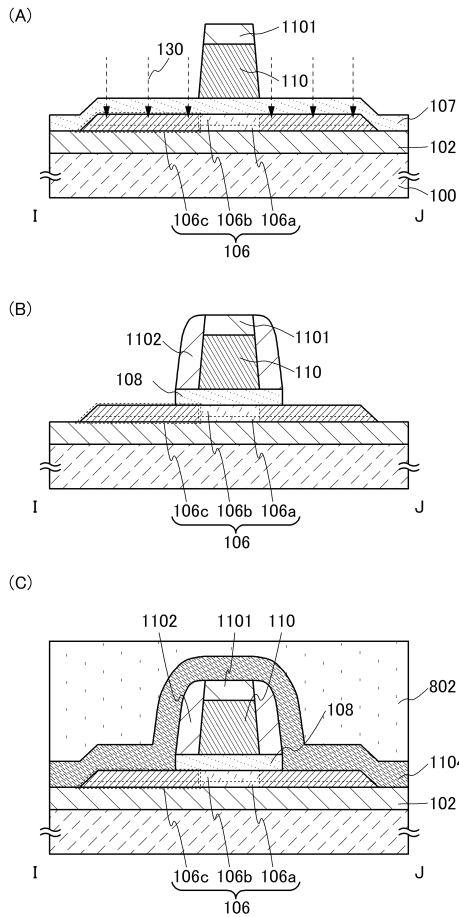
【図9】



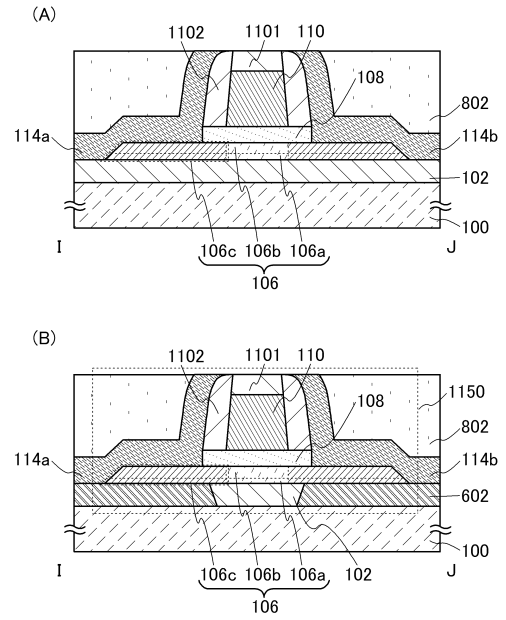
【図10】



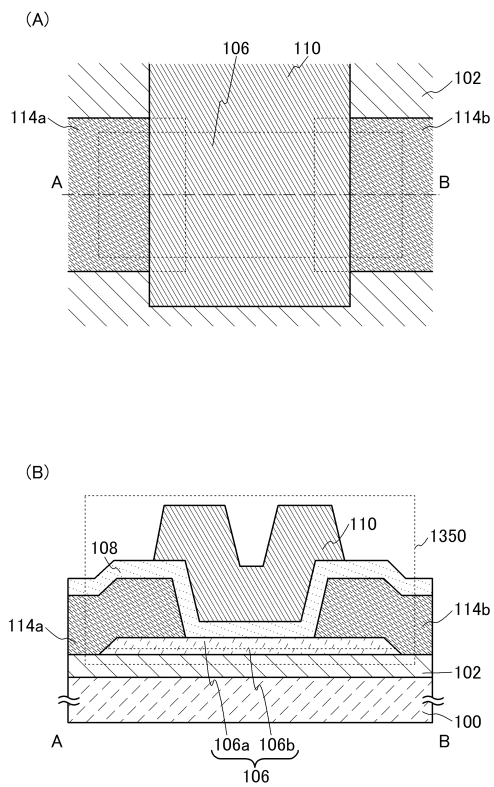
【図 1 1】



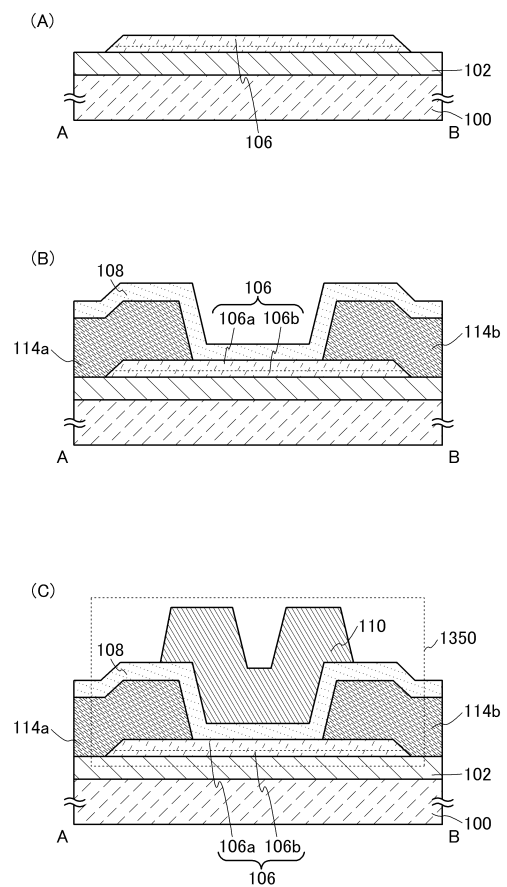
【図 1 2】



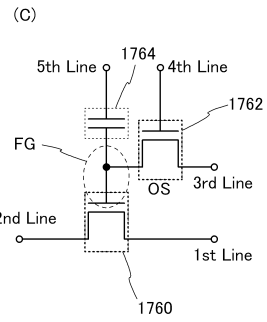
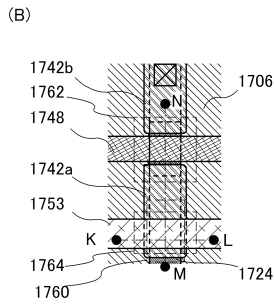
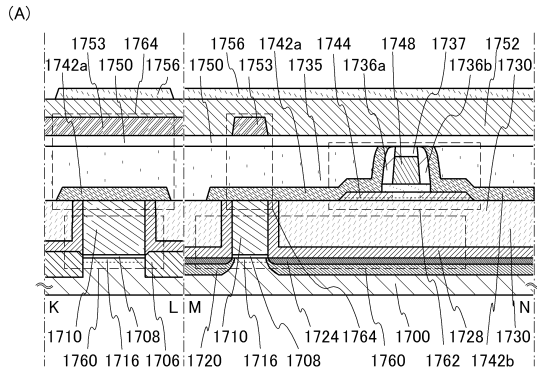
【図 1 3】



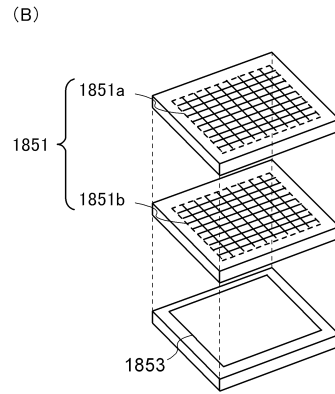
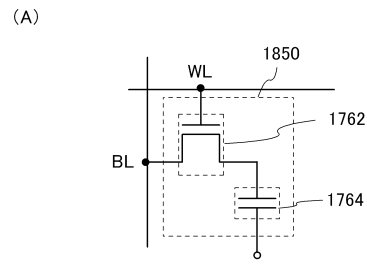
【図 1 4】



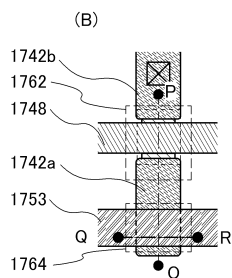
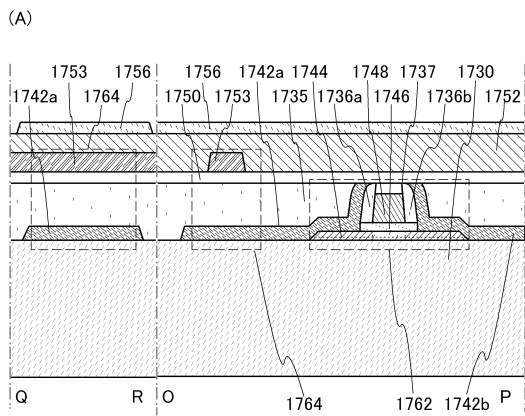
【図15】



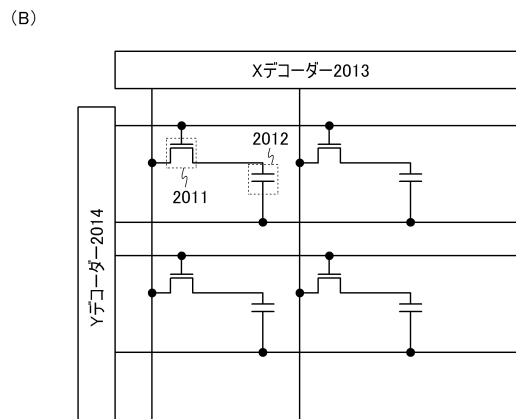
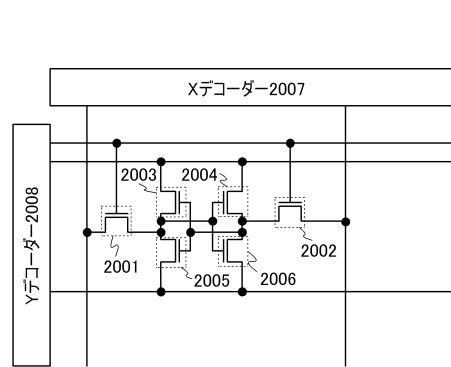
【図16】



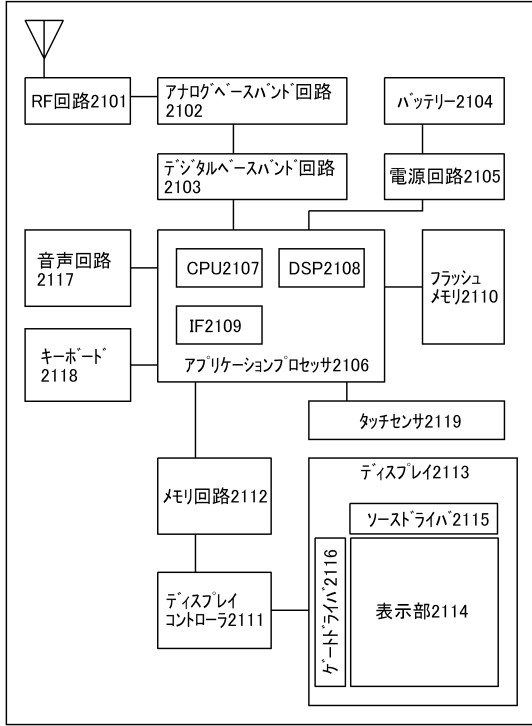
【図17】



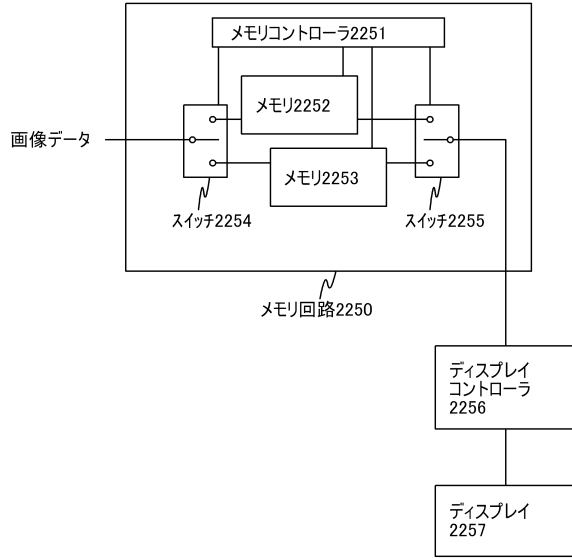
【図18】



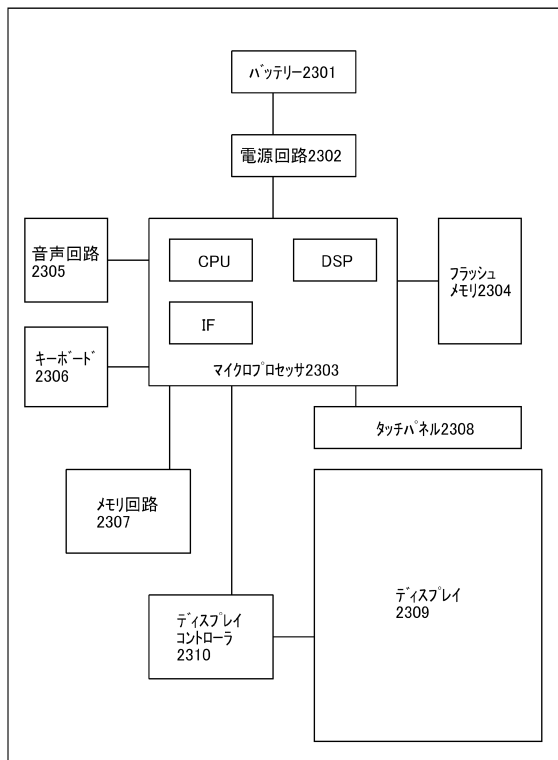
【図19】



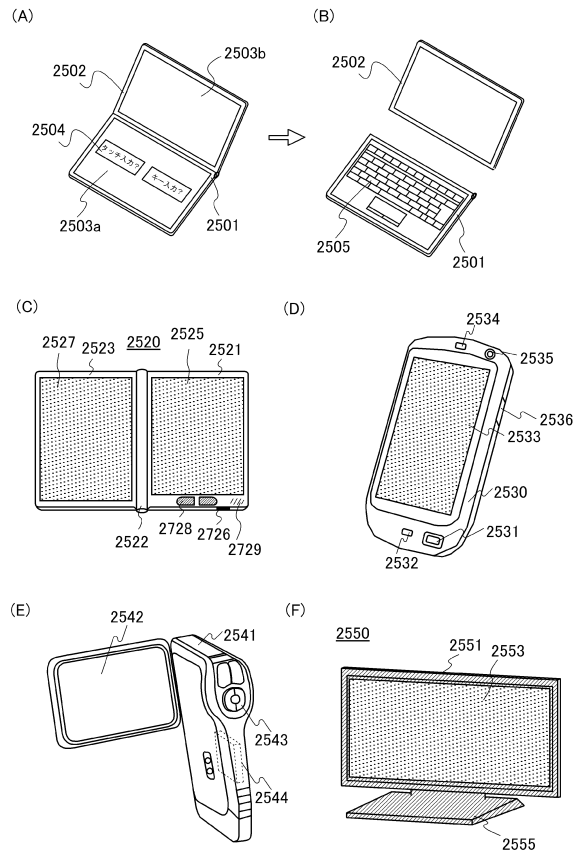
【図20】



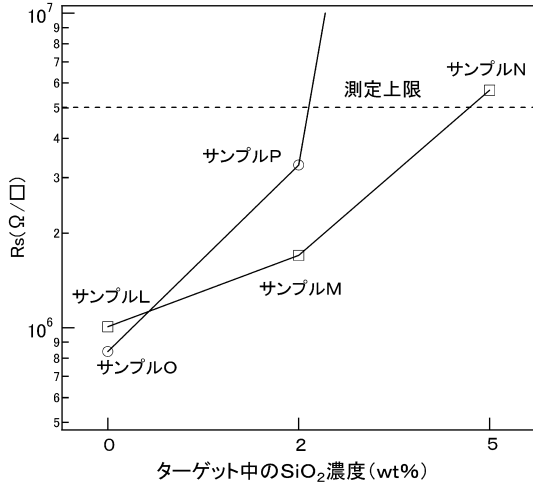
【図21】



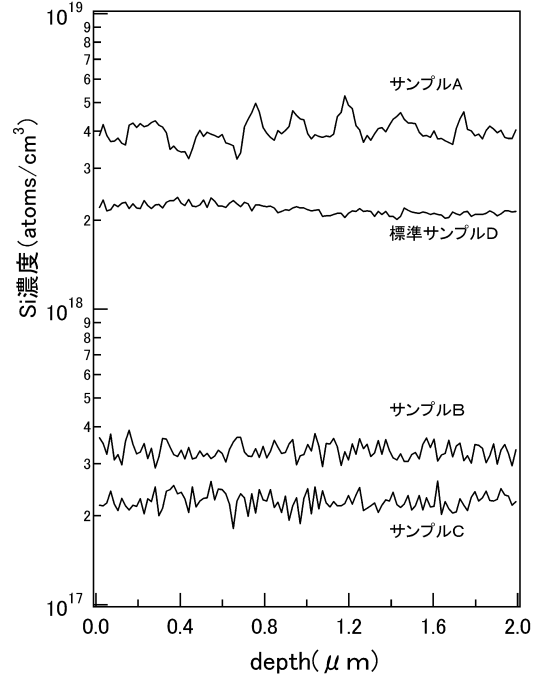
【図22】



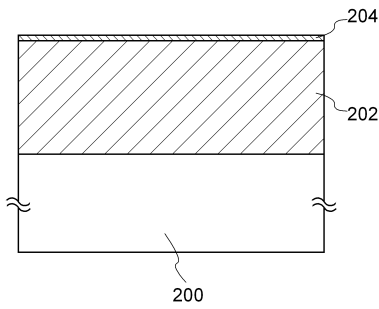
【図 26】



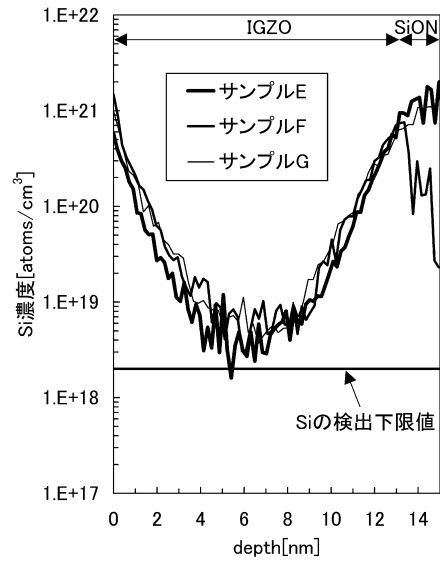
【図 27】



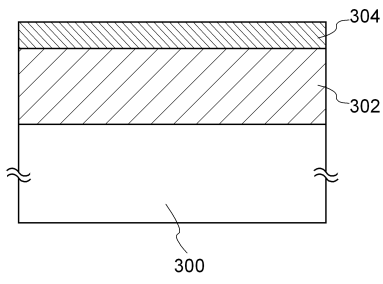
【図 28】



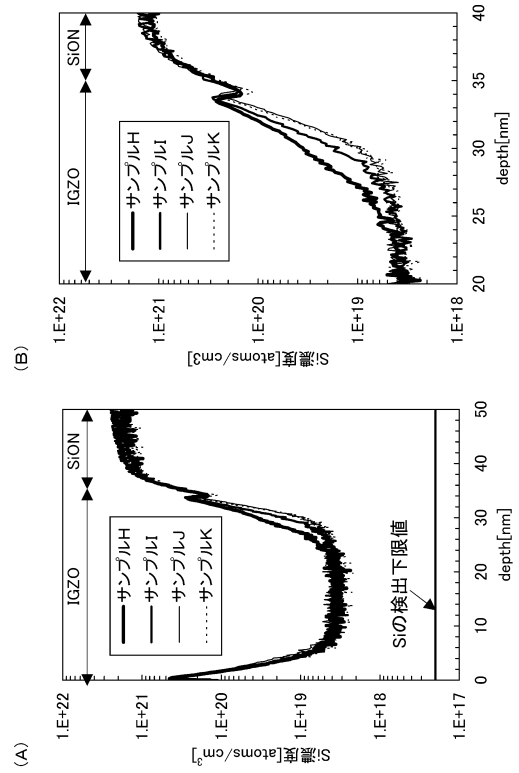
【図 29】



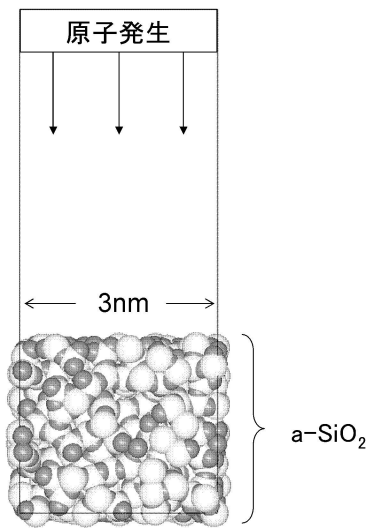
【図 30】



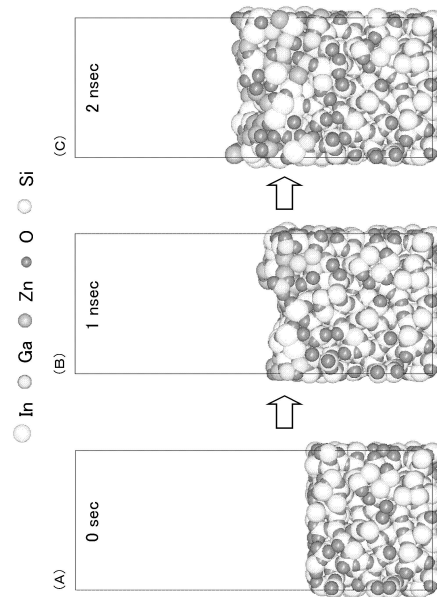
【図 31】



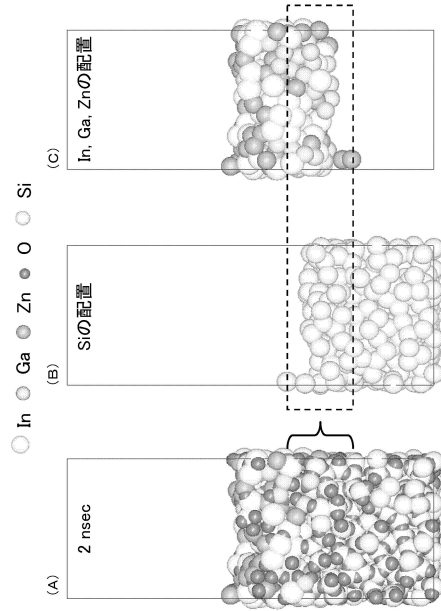
【図 23】



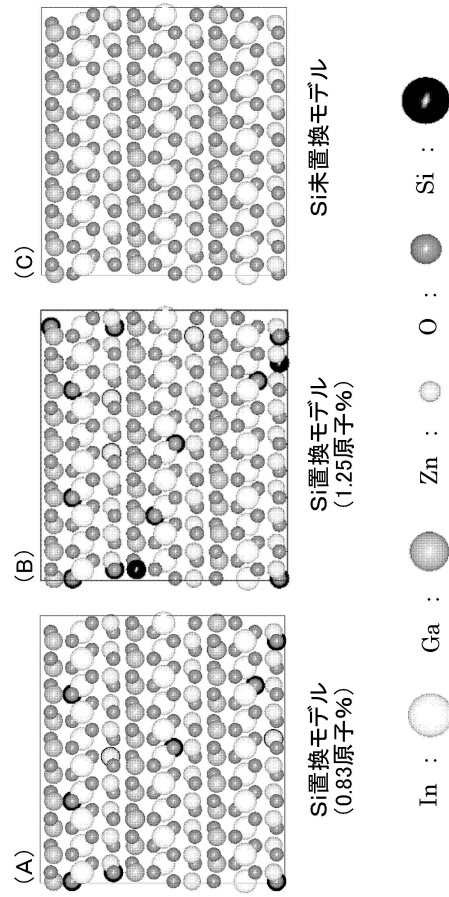
【図 24】



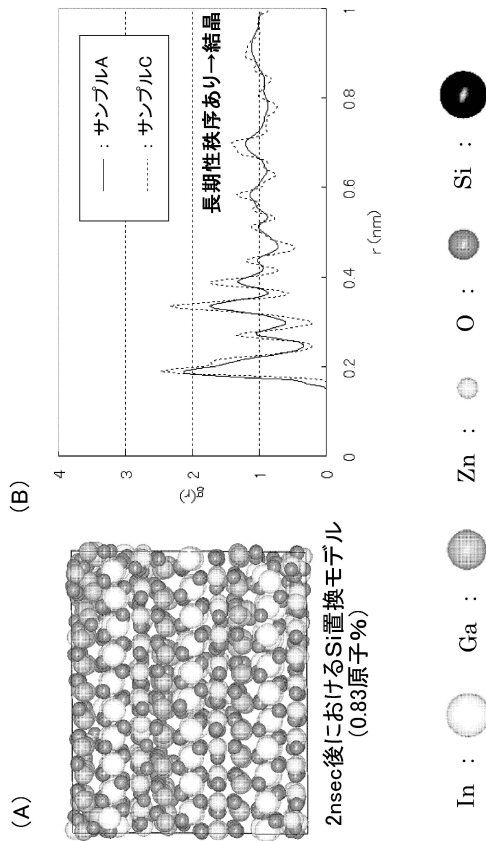
【 図 2 5 】



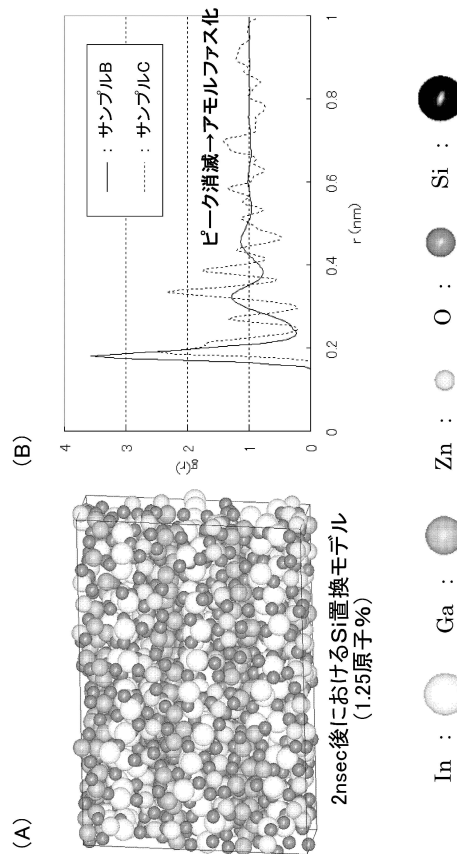
【 図 3 2 】



【 図 3 3 】



【 図 3 4 】



フロントページの続き

審査官 竹口 泰裕

(56)参考文献 国際公開第2011/126093(WO, A1)

特開2010-186994(JP, A)

特開2011-142315(JP, A)

特表2010-525602(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L21/336、29/786