

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 29/788
H01L 27/115

(11) 공개번호 특2000-0029662
(43) 공개일자 2000년05월25일

(21) 출원번호 10-1999-7000739
(22) 출원일자 1999년01월29일
 번역문제출일자 1999년01월29일
(86) 국제출원번호 PCT/DE1997/01431 (87) 국제공개번호 WO 1998/06138
(86) 국제출원출원일자 1997년07월08일 (87) 국제공개일자 1998년02월12일
(81) 지정국 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스
영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투
갈 스웨덴 핀란드

국내특허 : 일본 대한민국 미국

(30) 우선권주장 19631146.2 1996년08월01일 독일(DE)
(71) 출원인 지멘스 악티엔게젤샤프트 칼 하인쯔 호르닝어
독일 뮌헨 80333 비텔스파허프라췌 2
(72) 발명자 라이징어, 한스
독일데-82031그뤼날트아이프제슈트라췌14
슈탱글, 라인하르트
독일데-86391슈타트베르겐베르크슈트라췌3
그뤼닝, 울리케
미국12533뉴욕호프웰정선집33에이루트521580
벤트, 헤르만
독일데-85630그라스브룬암바익셀가르텐49
빌러, 요제프
독일데-85521리메를링프리드리히-프뢰벨-슈트라췌6
레만, 폴커
독일데-80689뮌헨가이어스페르거슈트라췌53
프라노쉬, 마르틴
독일데-81739뮌헨헬무트-코이트너-슈트라췌27
세퍼, 헤르베르트
독일데-85635회엔키르헨-지게르츠브룬레르헨슈트라췌33
크라우트슈나이더, 볼프강
독일데-83104호엔탄암오버펠트50
호프만, 프란츠
독일데-80995뮌헨헤르베르크슈트라췌25베
(74) 대리인 남상선

심사청구 : 없음

(54) 비휘발성메모리셀

요약

본 발명은 제 1 산화실리콘층(51), 질화실리콘층(52) 및 제 2 산화실리콘층(53)을 포함하는 트리플 유전층(5)을 게이트 유전체로서 포함하는 MOS 트랜지스터를 가진 비휘발성 메모리 셀에 관한 것이다. MOS 트랜지스터의 게이트 전극이 p⁺-도핑된 실리콘으로 이루어지므로, 게이트 전극에 네거티브 전압의 인가시 홀이 주로 채널 영역(4)으로부터 제 1 산화실리콘층(51)을 통해 질화실리콘층(52)내로 터널을 형성한다.

대표도

도 1

명세서

기술분야

본 발명은 비휘발성 메모리 셀에 관한 것이다.

배경기술

데이터의 영구 저장을 위해, 특별한 MOS 트랜지스터를 포함하는 비휘발성 메모리 셀, 소위 SONOS 셀 또는 MNOS 셀이 공지되어 있다(참고: 예컨대 Lai 등 저, IEDM Tech. Dig. 1986, 페이지 580 - 583). 상기 MOS 트랜지스터는 게이트 유전체를 포함한다. 상기 게이트 유전체는 게이트 전극 하부에 적어도 하나의 질화실리콘층, 및 상기 질화실리콘층과 채널영역 사이에 하나의 SiO_2 -층을 포함한다. 정보의 저장을 위해 전하 캐리어가 질화실리콘층에 저장된다.

비휘발성 메모리 셀에서 SiO_2 -층의 두께는 최대 2.2nm이다. Si_3N_4 -층의 두께는 최근 SONOS 메모리에서 통상적으로 약 10nm이다. 질화실리콘층과 게이트 전극 사이에는 대개 하나의 또다른 SiO_2 -층이 제공된다. 상기 SiO_2 -층은 3 내지 4nm의 두께를 갖는다. 비휘발성 메모리셀은 전기적으로 기록 및 소거될 수 있다. 기록 과정시, 전하 캐리어가 기판으로부터 최대 2.2nm 두께의 SiO_2 -층을 통해 질화실리콘층내로 터널을 형성하는 전압이 게이트 전극에 인가된다. 소거를 위해, 게이트 전극은 질화실리콘층에 저장된 전하 캐리어가 2.2nm 두께의 SiO_2 -층을 통해 채널 영역내로 터널을 형성하고 채널 영역으로부터 반대 도전 타입의 전하 캐리어가 SiO_2 -층을 통해 질화실리콘층내로 터널을 형성하도록 결선된다. 동시에, 제 1 도전 타입의 전하 캐리어는 게이트 전극으로부터 질화실리콘층내로 터널을 형성한다. 층 두께는 채널 영역으로의 전하 캐리어의 전송이 게이트 전극으로부터의 전하 캐리어의 전송 보다 많도록 설정된다. 소거 과정에는 통상적으로 100ms의 시간이 필요하다.

SONOS 셀은 10년 이하의 데이터 보존 시간을 갖는다. 상기 시간은 많은 용도에 있어, 예컨대 컴퓨터에 데이터 저장에 있어 너무 짧다.

보다 장기간의 데이터 보존 시간을 필요로 하는 용도에서 플로팅 게이트를 가진 EEPROM-셀을 비휘발성 메모리로서 사용하는 것이 공지되어 있다. 예컨대 Lai 등저, IEDM Tech. Dig. 1986, 페이지 580 내지 583 에 공지된 메모리 셀에서는 MOS-트랜지스터의 제어 게이트 전극과 채널 영역 사이에 플로팅 게이트 전극이 배치된다. 상기 플로팅 게이트 전극은 유전 물질로 완전히 둘러싸인다. 정보는 전하 캐리어의 형태로 플로팅 게이트 전극상에 저장된다. FLOTOX 셀이라고 하는 상기 메모리 셀은 전기적으로 기록 및 소거될 수 있다. 이것을 위해, 제어 게이트 전극은 전하 캐리어가 채널 영역으로부터 플로팅 게이트 전극으로 흐르거나(기록되거나) 또는 전하 캐리어가 플로팅 게이트 전극으로부터 채널 영역으로 흐르는(소거되는) 전위에 접속된다. FLOTOX-셀에서 소거 과정은 통상적으로 100ms의 시간을 필요로 한다. 상기 FLOTOX 셀은 150년 이상의 데이터 보존 시간을 갖는다.

그러나, FLOTOX 셀은 SONOS 셀에 비해 구성이 복잡하다. 또한, FLOTOX의 장소 필요는 SONOS 셀 보다 큰데, 그 이유는 제어 게이트 전극이 플로팅 게이트 전극에 측면으로 증착되어야 하기 때문이다. 또한, 소위 방사선 강도(radiation hardness)가 FLOTOX 셀에 의해 제한된다. 상기 방사선 강도는 저장된 전하가 외부 광원 및/또는 전자기장에 대해 민감하지 않은 정도를 나타낸다.

발명의 상세한 설명

본 발명의 목적은 소거 과정에 1s 미만의 시간을 필요로 하고, 간단히 구성되며, 큰 패키징 밀도로 집적될 수 있고, FLOTOX 셀에 비해 향상된 방사선 강도를 갖는 비휘발성 메모리 셀을 제공하는 것이다.

상기 목적은 청구항 제 1항에 따른 메모리 셀에 의해 달성된다. 바람직한 실시예에는 종속항에 제시된다.

비휘발성 메모리 셀은 소오스 영역, 채널 영역, 드레인 영역, 게이트 유전체 및 게이트 전극을 가진 MOS 트랜지스터를 포함한다. 상기 MOS 트랜지스터는 게이트 유전체로서 트리플 유전층을 포함한다. 트리플 유전층은 제 1 산화실리콘층, 질화실리콘층 및 제 2 산화실리콘층을 포함한다. 질화실리콘층은 2개의 산화실리콘층 사이에 배치된다. 게이트 전극은 p^+ -도핑된 실리콘을 포함한다.

본 발명에 따른 메모리 셀이 종래의 SONOS 셀과 다른점은 게이트 전극이 p^+ -도핑된 실리콘을 포함한다는 것이다. 종래의 SONOS 셀에서 게이트 전극으로 사용되는 n-도핑된 실리콘 또는 금속에 비해, 이상적인 경우 p^+ -도핑에 의해 게이트 전극에서 전자 상태의 점유 확률이 약 팩터 10^{20} 정도 감소된다. 따라서, 소거 과정시, 전자가 게이트 전극으로부터 질화실리콘층내로 터널을 형성하지 않을 수 있다. 따라서, 본 발명에 따른 메모리 셀의 소거 과정은 채널 영역으로부터 제 1 산화실리콘층을 통해 질화실리콘층내로의 홀의 터널링에 의해 그리고 질화실리콘층으로부터 채널 영역내로 전자의 터널링에 의해 이루어진다. 종래의 SONOS 셀에서는 전자가 부가로 게이트 전극으로부터 질화실리콘층내로 터널을 형성하며, 소거 과정시 마찬가지로 중화되어야 한다. 본 발명에 따른 메모리 셀에서 상기 전자 흐름은 게이트 전극에서 전자의 수가 p^+ -도핑된 실리콘의 사용에 의해 감소됨으로써 억압된다. 본 발명에 따른 메모리 셀에서 소거 과정을 위한 시간은 종래의 메모리 셀에 비해 약 10^5 팩터 정도 감소된다.

본 발명의 실시예에 따라 제 1 산화실리콘층과 제 2 산화실리콘층은 각각 적어도 3nm의 두께를 갖는다.

본 발명의 상기 실시예에는 종래의 SONOS 셀에서 제 1 산화실리콘층을 통한 전하 전송이 최대 2.2nm의 두께로 인해 주로 직통 터널을 통해 이루어진다는 사실을 이용한다. 직통 터널에 대한 터널링 확률 및 직통 터널 및 변형된 Fowler-Nordheim-터널을 통한 전하 전송의 전류 세기는 주로 터널 배리어의 두께, 즉 제 1 산화실리콘층의 두께, 및 전기장에 의존한다. 종래의 SONOS 셀에서 제 1 산화실리콘층은 최대 2.2nm 두께를 가지며 제 2 산화실리콘층은 3 내지 4nm의 두께를 가지기 때문에, 10MV/cm 미만의 전기장에서 항상 전류가 주로 제 1 산화실리콘층을 통한 직통 터널을 통해 흐른다. 상기 직통 터널 및 변형된 Fowler-Nordheim-터널을 통해 정보의 기록 및 소거가 게이트 전극의 상응하는 결선에 의해 이루어진다.

본 발명의 실시예에는 또한 종래의 SONOS 셀에서는 게이트 전극의 결선 없이도 직통 터널을 형성하는 터널 전류가 질화실리콘층으로부터 제 1 산화실리콘층을 통해 채널 영역으로 흐른다는 사실을 이용한다. 상기 직통 터널 전류는 데이터 보존 시간에 중요한 것으로 나타났다.

또한, 직통 터널에 대한 터널링 확률이 제 1 산화실리콘층의 두께 증가에 따라 현저히 감소하며 적어도 3nm의 두께에서 매우 작아진다는 사실이 이용된다.

본 발명에 따른 메모리 셀에서 제 1 산화실리콘층 및 제 2 산화실리콘층이 각각 적어도 3nm의 두께를 갖기 때문에, 상기 메모리 셀에서 질화실리콘층으로부터 게이트 전극으로 또는 직통 터널을 통해 채널 영역으로의 전하 캐리어 전송이 가급적 피해진다. 즉, 질화실리콘층에 저장된 전하가 실제로 제한되지 않는다. 따라서, 본 발명에 따른 메모리 셀에서 데이터 보존 시간이 종래의 SONOS-셀에서 보다 현저히 증가된다.

본 발명에 따른 메모리 셀에서 제 1 산화실리콘층 및 제 2 산화실리콘층의 두께는 바람직하게는 그것들이 0.5 내지 1nm 정도 차이하도록 선택된다. 제 1 산화실리콘층 및 제 2 산화실리콘층의 두께 중 적은 두께는 3 내지 5nm이다. 질화실리콘층의 두께는 적어도 5nm이다. 이 실시예에서 트리플 유전층은 전기적으로 대칭이다. 제 1 산화실리콘층 및 제 2 산화실리콘층의 상이한 두께로 인해, 채널 영역과 게이트 전극 사이의 전자 친화력 차이 및 주로 판독 동작시 인가되는, 일반적으로 포지티브 게이트 전압이 고려된다.

제 1 산화실리콘층 및 제 2 산화실리콘층의 두께가 각각 적어도 3nm이기 때문에, 2개의 산화실리콘층을 통한 전하 캐리어의 직통 터널에 대한 터널링 확률이 매우 작다. 기록 및 판독시, 전하 캐리어 전송은 제 1 산화실리콘층 또는 제 2 산화실리콘층을 통한 Fowler-Nordheim-터널을 통해서만 일어난다. Fowler-Nordheim-터널을 통한 전하 캐리어 전송의 전류 세기는 인가되는 전기장의 세기에만 의존한다. 상기 전류 세기는 터널 배리어의 두께에, 즉 제 1 산화실리콘층 또는 제 2 산화실리콘층의 두께에 의존하지 않는다.

포지티브 전압이 게이트 전극에 인가되면, 전자가 주로 채널 영역으로부터 제 1 산화실리콘층을 통해 질화실리콘층내로 Fowler-Nordheim-터널을 형성한다. 게이트 전극에 포지티브 전압의 인가에 의해, 정보가 메모리 셀에 기록된다. p^+ -도핑된 실리콘의 사용으로 인해 게이트 전극에서 전자의 수가 감소되기 때문에, 게이트 전극에 네거티브 전압이 인가되면, 주로 채널 영역으로부터 제 1 산화실리콘층을 통해 질화실리콘층내로 홀의 Fowler-Nordheim-터널이 형성된다. 전위 비율로 인해 게이트 전극으로부터 제 2 산화실리콘층을 통해 질화실리콘층내로 전자의 Fowler-Nordheim-터널이 에너지면에서 유리하기는 하지만, 게이트 전극에서 전자의 수가 감소되기 때문에, 게이트 전극으로부터 질화실리콘층내로 전자의 Fowler-Nordheim-터널 전류가 무시될 수 있다. 따라서, 게이트 전극에 네거티브 전압의 인가에 의해 전자의 형태로 질화실리콘층에 저장된 정보가 채널 영역으로부터 제 1 산화실리콘층을 통해 질화실리콘층내로 홀의 터널링에 의해 소거된다. 정보의 기록 또는 소거를 위해, 약 $\pm 10V$ 의 전압 레벨이 필요하다. 소거 과정을 위해 필요한 시간은 통상적으로 100ms이다.

상기 메모리 셀에서 제 1 산화실리콘층 및 제 2 산화실리콘층을 통한 직통 터널에 대한 확률이 무시될 수 있기 때문에, 상기 메모리 셀에서 데이터 보존 시간은 1000년을 초과한다.

상기 메모리 셀에 정보를 기록하기 위해, +10V의 전압이 인가된다. 정보의 판독을 위해서는 3V의 전압이 인가된다.

메모리 셀이 포지티브 판독 전압으로 작동되어야 하면, 제 1 산화실리콘층이 제 2 산화실리콘층 보다 낮은 두께를 갖는다. 메모리 셀이 네거티브 판독 전압으로 작동되어야 하면, 제 2 산화실리콘층이 제 1 산화실리콘층 보다 낮은 두께를 갖는다.

메모리 셀은 통상적인 바와 같이 매트릭스 형태로 다수의 동일한 메모리 셀을 포함하는 메모리 셀 장치에 집적된다.

메모리 셀이 플로팅 게이트 전극을 갖지 않기 때문에, 그것의 방사선 강도가 FLOTOX 셀 보다 크다. 메모리 셀내의 MOS 트랜지스터가 플레이너 및 버티컬 MOS 트랜지스터로 형성될 수 있다.

본 발명의 실시예를 도면을 참고로 구체적으로 설명하면 하기와 같다.

도면의 간단한 설명

도 1은 플레이너 MOS 트랜지스터를 가진 메모리 셀의 단면도이고,

도 2는 버티컬 MOS 트랜지스터를 가진 메모리 셀의 단면도이다.

실시예

적어도 메모리 셀의 영역에 단결정 실리콘을 포함하는 기판(1)내에 예컨대, n-도핑된, 소오스 영역(2) 및 드레인 영역(3)이 제공된다. 소오스 영역(2)과 드레인 영역(3) 사이에 채널 영역(4)이 배치된다. 채널 영역(4)의 상부에는 제 1 SiO_2 -층(51), Si_3N_4 -층(52) 및 제 2 SiO_2 -층(53)을 포함하는 트리플 유전층(5)이 배치된다. 제 1 SiO_2 -층(51)은 채널 영역(4)의 표면에 배치되고 3 내지 5nm, 바람직하게는 4nm의 두께를

갖는다. 제 1 SiO_2 -층(51)의 표면에는 Si_3N_4 -층(52)이 배치된다. 상기 층(52)은 적어도 5nm, 바람직하게는 8nm의 두께를 갖는다. Si_3N_4 -층(52)의 표면에는 제 2 SiO_2 -층(53)이 배치되며, 상기 층의 두께는 제 1 SiO_2 -층(51)의 두께 보다 0.5 내지 1nm 정도 더 크다. 즉, 상기 층의 두께는 3.5 내지 6 nm, 바람직하게는 4.5 내지 5nm이다.

트리플 유전층(5)의 표면상에 예컨대 p^+ -도핑된 폴리실리콘으로 이루어진 게이트 전극(6)이 배치된다. 게이트 전극(6)은 예컨대 200nm의 두께를 가지며 예컨대 $5 \times 10^{20} \text{cm}^{-3}$ 의 도펀트 농도를 갖는다.

예컨대 단결정 실리콘으로 이루어진 반도체 층 구조물(11)이 수직으로 연속하는 층으로서 소오스 영역(12), 채널 영역(14) 및 드레인 영역(13)을 포함한다(참고: 도 2). 소오스 영역(12) 및 드레인 영역(13)은 예컨대 10^{21}cm^{-3} 의 도펀트 농도로 n-도핑된다. 채널 영역(14)은 예컨대 10^{17}cm^{-3} 의 도펀트 농도로 p-도핑된다. 소오스 영역(12), 드레인 영역(13) 및 채널 영역(14)은 바람직하게는 반도체 층 구조물(11)의 표면에 대해 수직으로 또는 약간 경사지게 뻗은 공통의 에지(110)를 갖는다. 상기 에지(110)는 기판내의 트렌치 또는 계단의 에지 및 융기된 구조물, 예컨대 메사 구조물의 에지일 수 있다.

제 1 SiO_2 -층(151), Si_3N_4 -층(152) 및 제 2 SiO_2 -층(153)을 포함하는 트리플 유전층(15)이 상기 에지(110)에 배치된다. 제 2 SiO_2 -층(153)의 표면은 게이트 전극(16)으로 덮인다. 게이트 전극(16)은 예컨대 $5 \times 10^{20} \text{cm}^{-3}$ 의 도펀트 농도를 가진 p^+ -도핑된 폴리실리콘으로 이루어진 스페이서 형태로 형성된다. 제 2 SiO_2 -층(153)은 예컨대 3 내지 5nm, 바람직하게는 4nm의 두께를 갖는다. Si_3N_4 -층(152)은 적어도 5nm, 바람직하게는 8nm의 두께를 갖는다. 제 1 SiO_2 -층(151)은 제 2 SiO_2 -층(153) 보다 0.5 내지 1nm 정도 더 두껍다. 즉, 제 1 SiO_2 -층(151)은 3.5 내지 6nm의 두께를 갖는다. 바람직하게는 4.5nm의 두께를 갖는다. 제 1 SiO_2 -층(151), Si_3N_4 -층(152) 및 제 2 SiO_2 -층(153)의 두께는 각각 에지(110)에 대해 수직으로 측정된다.

(57) 청구의 범위

청구항 1

- 제 1 산화실리콘층(51), 질화실리콘층(52) 및 제 2 산화실리콘층(53)을 가진 트리플 유전층(5)을 게이트 유전체로서 포함하는 MOS 트랜지스터를 포함하고,
- 상기 MOS 트랜지스터가 p^+ -도핑된 실리콘을 포함하는 게이트 전극(6)을 포함하는 것을 특징으로 하는 비휘발성 메모리 셀.

청구항 2

제 1항에 있어서, 제 1 산화실리콘층(51) 및 제 2 산화실리콘층(53)이 각각 적어도 3nm의 두께를 갖는 것을 특징으로 하는 메모리 셀.

청구항 3

제 1항 또는 2항에 있어서,

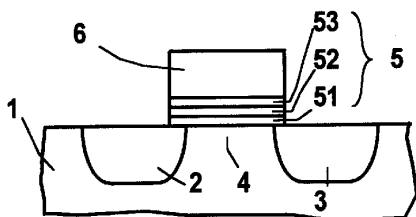
- 제 1 산화실리콘층(51) 및 제 2 산화실리콘층(53)의 두께 차가 0.5nm 내지 1nm이며,
- 제 1 산화실리콘층(51) 및 제 2 산화실리콘층(53)의 두께 중 적은 두께가 3nm 내지 5nm이고,
- 질화실리콘층(52)의 두께가 적어도 5nm인 것을 특징으로 하는 메모리 셀.

청구항 4

제 1항 내지 3항 중 어느 한 항에 있어서, 게이트 전극(6)내의 p^+ -도핑된 실리콘이 적어도 $1 \times 10^{20} \text{cm}^{-3}$ 의 도펀트 농도를 갖는 것을 특징으로 하는 메모리 셀.

도면

도면1



도면2

