

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5719333号  
(P5719333)

(45) 発行日 平成27年5月20日 (2015. 5. 20)

(24) 登録日 平成27年3月27日 (2015. 3. 27)

(51) Int. Cl.			F I		
<b>H03L</b>	<b>7/093</b>	<b>(2006.01)</b>	H03L	7/08	E
<b>H03L</b>	<b>7/081</b>	<b>(2006.01)</b>	H03L	7/08	J
<b>H03K</b>	<b>5/26</b>	<b>(2006.01)</b>	H03K	5/26	G
<b>H03K</b>	<b>5/13</b>	<b>(2014.01)</b>	H03K	5/13	

請求項の数 2 (全 24 頁)

(21) 出願番号	特願2012-200529 (P2012-200529)	(73) 特許権者	508034325
(22) 出願日	平成24年9月12日 (2012. 9. 12)		コンバーサント・インテレクチュアル・プロパティ・マネジメント・インコーポレイテッド
(62) 分割の表示	特願2009-547499 (P2009-547499) の分割		CONVERSANT INTELLECTUAL PROPERTY MANAGEMENT INC.
原出願日	平成20年1月29日 (2008. 1. 29)		カナダ・オンタリオ・K2K・OG7・オタワ・マーチ・ロード・390・スイート・100
(65) 公開番号	特開2013-31206 (P2013-31206A)	(74) 代理人	100153811
(43) 公開日	平成25年2月7日 (2013. 2. 7)		弁理士 青山 高弘
審査請求日	平成24年10月10日 (2012. 10. 10)	(72) 発明者	マイ、ヒュイ、トゥオング
(31) 優先権主張番号	11/668, 862		カナダ、ケイ2ケイ 3エー6 オンタリオ州、カナタ、ウィゾム アベニュー 9
(32) 優先日	平成19年1月30日 (2007. 1. 30)		最終頁に続く
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	11/691, 849		
(32) 優先日	平成19年3月27日 (2007. 3. 27)		
(33) 優先権主張国	米国 (US)		
前置審査			

(54) 【発明の名称】 遅延ロックループ/フェーズロックループにおける移相処理

(57) 【特許請求の範囲】

【請求項 1】

出力ノードに並列に接続されたキャパシタと、  
基準電流を生成する基準電流源と、  
前記キャパシタを前記基準電流に追従するソース電流により充電するとともに、前記キャパシタを前記基準電流に追従するシンク電流により放電させる一次電流スイッチング回路と、

大きさの範囲を有する正の移相生成電流をソーシングトランジスタのゲート電圧に応じてソースするオフセット発生器と、前記ゲート電圧を供給するプログラマブルトランジスタアレイとを備えた補助ソース回路であり、前記ゲート電圧は少なくとも1つのソース選択信号に応じて調整可能であり、前記正の移相生成電流は前記ソース電流が追従する電流と同じ電流に追従する、補助ソース回路と、

大きさの範囲を有する負の移相生成電流をソースする補助シンク回路であり、前記負の移相生成電流の大きさは少なくとも1つのシンク選択信号によって決定され、前記負の移相生成電流は前記シンク電流が追従する電流と同じ電流に追従する、補助シンク回路とを備えたチャージポンプ回路。

【請求項 2】

出力ノードに並列に接続されたキャパシタと、  
基準電流を生成する基準電流源と、  
前記キャパシタを前記基準電流に追従するソース電流により充電するとともに、前記キ

ャパシタを前記基準電流に追従するシンク電流により放電させる一次電流スイッチング回路と、

大ききの範囲を有する正の移相生成電流をソースする補助ソース回路であり、前記正の移相生成電流の大ききは少なくとも1つのソース選択信号によって決定され、前記正の移相生成電流は前記ソース電流が追従する電流と同じ電流に追従する、補助ソース回路と、

大ききの範囲を有する負の移相生成電流をシンキングトランジスタのゲート電圧に応じてソースするオフセット発生器と、前記ゲート電圧を供給するプログラマブルトランジスタアレイとを備えた補助シンク回路であり、前記負の移相生成電流は前記シンク電流が追従する電流と同じ電流に追従する、補助シンク回路と、

を備えたチャージポンプ回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概してチャージポンプ回路に関する。

【背景技術】

【0002】

当業者に理解されるように、チャージポンプは、より高いまたはより低い電圧のいずれかを作り出すためにキャパシタを用いる回路として特徴付けることができる。チャージポンプは、例えば遅延ロックループ(DLL)及びフェーズロックループ(PLL)を含む用途等、多種多様な用途に用いられる。

20

【0003】

PLLに関して、チャージポンプは、電圧制御発振器(VCO)に印加される制御電圧を供給するために用いることができる。通常、PLLは、フィードバック系を形成するように公知の方法で相互接続された、位相検出器と、チャージポンプの出力に連結されたループフィルタと、増幅器と、VCOとを備える。チャージポンプは、位相検出器によって生成される論理レベルパルスを、ループフィルタに供給される電流パルスに変換する。ループフィルタは、VCO用の制御電圧を生成するために電流パルスを積分する。

【0004】

DLLに関して、チャージポンプは、DLLの電圧制御遅延線(VCDL)に制御電圧を供給するために用いることができる。当業者であれば判るように、特定種類の装置(例えば、DRAM装置)では、DLLはクロック信号の位相を変化させるために用いることができる。この場合、DLLは直列(デイジー・チェーン状)に接続された複数の遅延ゲートからなる遅延チェーンを備える。

30

【0005】

このように、チャージポンプはPLL及びDLLにおける重要な構成要素であり、多くの特許がそれらに関係する。そのような特許の1つが、Boeckerらの米国特許第7,092,689号であり、正のデルタ電流をチャージポンプ内で生成する第1ミラー装置のアレイと、異なるデルタ電流をチャージポンプ内で生成する第2ミラー装置のアレイとを備えるチャージポンプが開示されている。いずれのアレイのミラー装置も、異なる基準電流源からミラーされた電流をそれぞれ有し、前記アレイによって生成された移相生成電流は、チャージポンプ電流に追従(track)しない。その結果、テスト/校正時に存在する状態に基づく実際の動作条件の下では、前記アレイの効果の算出を試みることは困難である。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許第4,792,705号明細書

【特許文献2】米国特許第5,465,388号明細書

【特許文献3】米国特許第5,734,279号明細書

【特許文献4】米国特許第5,966,033号明細書

50

- 【特許文献5】米国特許第6,271,729号明細書
- 【特許文献6】米国特許第6,304,116号明細書
- 【特許文献7】米国特許第6,393,284号明細書
- 【特許文献8】米国特許第6,407,601号明細書
- 【特許文献9】米国特許第6,472,914号明細書
- 【特許文献10】米国特許第6,483,389号明細書
- 【特許文献11】米国特許第6,525,684号明細書
- 【特許文献12】米国特許第6,646,478号明細書
- 【特許文献13】米国特許第6,717,446号明細書
- 【特許文献14】米国特許第6,724,265号明細書 10
- 【特許文献15】米国特許第6,774,689号明細書
- 【特許文献16】米国特許第6,876,240号明細書
- 【特許文献17】米国特許第6,897,690号明細書
- 【特許文献18】米国特許第6,906,565号明細書
- 【特許文献19】米国特許第6,952,462号明細書
- 【特許文献20】米国特許第6,958,636号明細書
- 【特許文献21】米国特許第6,975,840号明細書
- 【特許文献22】米国特許第6,989,698号明細書
- 【特許文献23】米国特許第6,995,607号明細書
- 【特許文献24】米国特許第7,271,621号明細書 20
- 【特許文献25】米国特許第7,443,250号明細書
- 【特許文献26】米国特許第7,511,543号明細書
- 【特許文献27】米国特許出願第2006-0170471A1号明細書
- 【特許文献28】米国特許第5,233,314号明細書
- 【特許文献29】米国特許第5,473,283号明細書
- 【特許文献30】米国特許第6,310,498号明細書
- 【特許文献31】米国特許第6,603,340号明細書
- 【特許文献32】米国特許第6,617,936号明細書
- 【特許文献33】米国特許第6,621,312号明細書
- 【特許文献34】米国特許第6,667,641号明細書 30
- 【特許文献35】米国特許第6,741,110号明細書
- 【特許文献36】米国特許第6,744,292号明細書
- 【特許文献37】米国特許第6,861,916号明細書
- 【特許文献38】米国特許第6,924,992号明細書
- 【特許文献39】米国特許第6,954,511号明細書
- 【特許文献40】米国特許第7,092,689号明細書
- 【特許文献41】米国特許出願第2002-0041196A1号明細書
- 【特許文献42】米国特許出願第2004-0057546A1号明細書
- 【特許文献43】米国特許出願第2004-0085106A1号明細書
- 【特許文献44】台湾特許第448627号明細書 40
- 【特許文献45】台湾特許第479411号明細書
- 【特許文献46】台湾特許第1256197号明細書
- 【特許文献47】米国特許出願第2006-0170471号明細書
- 【非特許文献】
- 【0007】
- 【非特許文献1】U.S. Appl. No. 11/691,849, Notice of Allowance dated Dec. 24, 2008.
- 【非特許文献2】U.S. Appl. No. 11/691,849, Office Action dated Jun. 6, 2008.
- 【非特許文献3】Kim et al., "A 64-MByte/s Bidirec 50

tional Data Strobed, Double-Data-Rate SDRAM with a 40-mW DLL for a 256-MByte Memory System", IEEE Journal of Solid-State Circuits, vol. 33(11), Nov. 1998, pp. 1703-1710.

【非特許文献4】Moon et al., "An All-Analog Multiphase Delay-Locked Loop Using a Replica Delay Line for Wide Range Operation and Low-Jitter Performance", IEEE Journal of Solid-State Circuits, vol. 35(3), Mar. 2000, pp. 377-384.

10

【非特許文献5】International Search Report for PCT Patent Application No. PCT/CA2008/000182, dated May 15, 2008.

【非特許文献6】Phase-Locked Loops: "Design, Simulation, and Applications, 4th Edition", Best, Roland E., McGraw-Hill, 1999, pp. 92-102.

【非特許文献7】U.S. Appl. No. 12/193,077, Office Action dated Dec. 17, 2008.

#### 【発明の概要】

20

#### 【発明が解決しようとする課題】

#### 【0008】

従って、DLLまたはPLLにおける移相処理を容易にするチャージポンプ回路の改善は有益であろう。

#### 【課題を解決するための手段】

#### 【0009】

一実施形態によれば、フィードバックシステムにおけるキャパシタンスを充放電する方法が開示される。前記フィードバックシステムは、前記キャパシタンスと電氣的伝達関係にあるチャージポンプを備える。前記チャージポンプはソース部とシンク部とを有する。同方法は、チャージアップ制御信号がアクティブ論理レベルの時に、ソース部からソース電流を生成する工程を備える。前記ソース電流が前記キャパシタンスに充電される。同方法はまた、チャージダウン制御信号がアクティブ論理レベルの時に、シンク部からシンク電流を生成する工程を備える。前記シンク電流が前記キャパシタンスを放電させる。同方法はまた、前記ソース部及び前記シンク部のうちの少なくとも選択された一方で、少なくとも1つのオフセット電流を生成して微細な移相処理を行う工程を備える。前記オフセット電流は、前記チャージポンプ電流に追従し、かつ前記制御信号のどちらにも関係なく生成される。

30

#### 【0010】

別の実施形態によれば、出力ノードに並列に接続されたキャパシタを備えたチャージポンプ回路が開示される。基準電流源は基準電流を生成する。一次電流スイッチング回路は前記キャパシタをソース電流で充電し、前記キャパシタをシンク電流で放電させる。前記ソース電流は前記基準電流に追従し、前記シンク電流は前記基準電流に追従する。補助ソース回路は、大きさの範囲を有する正の移相生成電流をソースする。前記正の移相生成電流の大きさは少なくとも1つのソース選択信号によって決定される。前記正の移相生成信号は前記ソース電流が追従する電流と同じ電流に追従する。補助シンク回路は、大きさの範囲を有する負の移相生成電流をソースする。前記負の移相生成電流の大きさは少なくとも1つのシンク選択信号によって決定される。前記負の移相生成信号は前記シンク電流が追従する電流と同じ電流に追従する。

40

#### 【0011】

別の実施形態によれば、アクティブ及びイナクティブ論理レベルを有するチャージアッ

50

プ及びチャージダウン制御信号を遅延ロックループにおけるチャージポンプに供給する方法が開示される。前記チャージポンプは、前記チャージアップ信号の前記アクティブ論理レベルに応じてキャパシタンスを充電し、前記チャージダウン信号の前記アクティブ論理レベルに応じて、前記キャパシタンスを放電させる。基準クロック信号の第1エッジの検出に応じて、前記チャージダウン信号の論理レベルは前記イナクティブ論理レベルから前記アクティブ論理レベルに変化する。前記第1エッジから180度未満内のフィードバッククロック信号のエッジの検出に応じて、前記チャージアップ信号の論理レベルは前記イナクティブ論理レベルから前記アクティブ論理レベルに変化し、前記チャージダウン信号の論理レベルは前記アクティブ論理レベルから前記イナクティブ論理レベルに変化する。前記基準クロック信号の前記第1エッジと次のエッジの約中間の時点における付加的な基準信号のエッジの通過の検出に応じて、前記チャージアップ信号の論理レベルを前記アクティブ論理レベルから前記イナクティブ論理レベルに変更し、前記チャージダウン信号を前記イナクティブ論理レベルのまま維持する。

10

## 【0012】

いくつかの例では、充電及び放電を前記中間時点と前記基準クロック信号の次のエッジとの間の期間不能にすることができるのが好都合である。

## 【0013】

いくつかの例では、前記付加的な基準信号が前記基準クロック信号に対して180度移相可能であると都合がよい。

## 【0014】

20

別の実施形態によれば、基準クロック信号を受信するとともに、前記基準クロック信号を遅延させてフィードバッククロック信号を供給する電圧制御遅延線を備えた遅延ロックループが開示される。位相検出器は前記基準クロック信号及び前記フィードバッククロック信号を受信する。前記位相検出器は前記基準クロック信号と前記フィードバッククロック信号の位相差に依存するチャージアップ及びチャージダウン制御信号を生成する。ループフィルタは、前記電圧制御遅延線によって前記基準クロック信号に付加される遅延量を選択するための可変バイアス電圧を供給するキャパシタを備える。チャージポンプは、少なくとも2つのスイッチングトランジスタを備える。前記スイッチングトランジスタの一方は前記チャージアップ信号に応じてオンに切り替えられた時に前記キャパシタに電流を加えさせる。前記スイッチングトランジスタの他方は、前記チャージダウン信号に応じてオンに切り替えられた時に、前記キャパシタから電流を取り除かせる。

30

## 【0015】

ソース電流の前記スイッチングトランジスタは、前記チャージアップ信号によって制御され、シンク電流の前記スイッチングトランジスタは、前記チャージダウン信号によって制御される。前記位相検出器は前記基準クロック信号、付加的な基準信号及び前記フィードバッククロック信号を受信する。前記位相検出器は前記基準クロック信号の第1エッジに応じて第1持続時間を有するチャージアップ制御信号を生成する。前記第1エッジから180度未満内で起こる前記フィードバッククロック信号のエッジに応じて、チャージダウン制御信号は第2持続時間を有する。前記第1持続時間は、前記基準クロック信号の第1エッジと前記フィードバッククロック信号の前記エッジとの間の第1時間と実質的に同等である。前記第2持続時間は、前記フィードバッククロック信号の前記エッジと前記基準クロック信号の第1エッジと次のエッジとの間で起こる中間信号エッジとの間の第2時間と実質的に同等である。

40

## 【0016】

いくつかの例では、前記基準クロック信号の1周期の間、前記チャージポンプは前記周期の約半分の間不能にされていると都合がよい。

## 【0017】

いくつかの例では、前記位相検出器は少なくとも4つのDフリップフロップを備え、前記クロック信号のそれぞれは、前記Dフリップフロップの少なくとも1にクロック入力を受信されることが好都合である。

50

## 【 0 0 1 8 】

さらに別の実施形態によれば、基準クロック信号を受信する電圧制御遅延線を備えた遅延ロックループが開示される。位相検出器は前記基準クロック信号を受信するとともに、前記基準クロック信号とフィードバッククロック信号との位相差に依存するチャージアップ及びチャージダウン制御信号を生成する。ループフィルタはキャパシタを備える。前記ループフィルタは、前記チャージアップ及びチャージダウン制御信号を一体化して、前記電圧制御遅延線によって前記基準クロック信号に付加される遅延量を選択するための可変バイアス電圧を供給する。チャージポンプのソース部は、少なくとも1つのスイッチングトランジスタと、第1ソーシングトランジスタと、少なくとも別のソーシングトランジスタとを備える。ソーシングトランジスタは前記キャパシタと電氣的伝達関係にある。前記第1ソーシングトランジスタの少なくとも電流伝達端子が前記ソース部スイッチングトランジスタの電流伝達端子に電氣的に接続されている。ソース部スイッチングトランジスタは前記チャージアップ制御信号によって制御されており、オンにされると、電流が前記第1ソーシングトランジスタを介して前記キャパシタにソースされる。前記ソース部はさらに前記第1ソーシングトランジスタを介した電流の前記ソーシングを不能にする不能化手段を備える。前記チャージポンプのシンク部は、少なくとも1つのスイッチングトランジスタと、第1シンキングトランジスタと、少なくとも別のシンキングトランジスタとを備える。シンキングトランジスタは、前記キャパシタと電氣的伝達関係にある。前記第1シンキングトランジスタの少なくとも電流伝達端子がシンク部スイッチングトランジスタの電流伝達端子に電氣的に接続されている。前記シンク部スイッチングトランジスタは前記チャージダウン制御信号によって制御されており、オンされると、電流が前記キャパシタから前記第1シンキングトランジスタを介してシンクされる。前記シンク部はさらに、前記第1シンキングトランジスタを介した電流の前記シンキングを不能にする不能化手段を備える。

10

20

## 【 0 0 1 9 】

いくつかの例では、前記電流ソーシング不能化手段及び前記電流シンキング不能化手段がそれぞれ選択トランジスタを有し、選択トランジスタがオフにされた場合に、前記第1ソーシングまたはシンキングトランジスタを介した電流ソーシングまたはシンキングが不能にできると都合がよい。

## 【 0 0 2 0 】

いくつかの別の例では、前記電流ソーシング不能化手段及び前記電流シンキング不能化手段がそれぞれ、ミラーマスタートランジスタのバイアス電圧端子と前記第1ソーシングまたはシンキングトランジスタのバイアス電圧端子の間に伝送ゲート手段を有し、伝送ゲート手段が2つのバイアス電圧端子の間の導通路を遮断した場合に、前記第1ソーシングまたはシンキングトランジスタを介した電流ソーシングまたはシンキングが不能にできると都合がよい。

30

## 【 0 0 2 1 】

いくつかの例では、前記ソース部スイッチングトランジスタ及び前記ソーシングトランジスタがPMOSトランジスタであり、前記シンク部スイッチングトランジスタ及び前記シンキングトランジスタがNMOSトランジスタであると都合がよい。

40

## 【 0 0 2 2 】

いくつかの例では、前記ソーシング（またはシンキング）トランジスタのそれぞれの1つの電流伝達端子が、全て一括して前記ソース（またはシンク）部スイッチングトランジスタの電流伝達端子（例えばドレイン）に電氣的に接続されていると好都合である。

## 【 0 0 2 3 】

いくつかの別の例では、前記チャージポンプはさらに別のソース部スイッチングトランジスタと別のシンク部スイッチングトランジスタを備え、前記別のソーシングトランジスタの電流伝達端子は前記別のソース部スイッチングトランジスタの電流伝達端子に電氣的に接続され、前記別のシンキングトランジスタの電流伝達端子は前記別のシンク部スイッチングトランジスタの電流伝達端子に電氣的に接続できると好都合である。

50

## 【図面の簡単な説明】

【0024】

【図1】図1は、従来のDLLのブロック図である。

【図2】図2は、従来のPLLのブロック図である。

【図3】図3は、位相検出器ならびに同位相検出器から制御信号を受信するチャージポンプの回路図である。

【図4】図4は、図3の位相検出器の動作を示すタイミング図である。

【図5】図5は、一実施形態にかかる位相検出器の回路図である。

【図6】図6は、図5の位相検出器の動作を示すタイミング図である。

【図7】図7は、一実施形態に係るチャージポンプの回路図である。

10

【図8】図8は、別の実施形態にかかるチャージポンプの回路図である。

【図9】図9は、さらに別の実施形態にかかるチャージポンプの回路図である。

【図10】図10は、さらに別の実施形態にかかるチャージポンプの回路図である。

## 【発明を実施するための形態】

【0025】

以下の実施形態の詳細な説明において、図示される回路ならびに回路部品の多くは、電子信号に対して公知の動作を行う種類のものである。当業者は、それらと同等であると認識される代替の回路または回路部品についての知識を有するであろう。何故なら、それらは同信号に対して同じ動作を行うからである。異なる図面において、同様の構成要素または信号を表わすために同様または同じ参照符号及び表示が用いられうる。

20

【0026】

図面を参照して、図1は従来の遅延ロックループ(DLL)100のブロック図である。DLL100において、外部供給クロック(CLK)はクロックバッファ101にバッファリングされ、基準クロック(CLK\_REF)が供給される。当業者に理解されるように、CLK信号は、例えば、メモリコントローラからメモリ装置に送信されるデータストローブ信号(DQSまたはDQS<sub>b</sub>信号)で有り得る。しかしながら、別の例ではCLK信号が他の種類のクロック信号であってもよいことは当然である。図1のDLLのブロック図の説明を続ける。CLK\_REFが、電圧制御遅延線(VCDL)102と位相検出器104とに供給されることが分かる。VCDL102は、遅延されたCLK\_REFである出力クロック(CLK\_OUT)を生成し、DLL100を備える装置内の様々な回路に供給する。図示するように、CLK\_OUTは位相検出器104にも供給され、それによって位相検出器104は、CLK\_FBと呼ばれるフィードバッククロック信号として、CLK\_OUTを受信する。

30

【0027】

同DLLによる移相に関して、移相されるタイミング信号がDQSまたはDQS<sub>b</sub>(DQSの相補信号)であるいくつかのメモリシステムでは、タイミング信号のエッジが、それに関連するデータに対して中心に来るように、タイミング信号が90度シフトされることを、当業者であれば了解している。また、メモリシステムにおけるクロック周波数が高くなるにつれて、微細な移相調整を行う機能は一層有用になるであろう。

40

【0028】

図示したDLL100を引き続き参照すると、位相検出器104は、CLK\_REFとCLK\_FBとの位相差に依存する位相制御信号(UP/DOWN)を生成する。位相検出器104の位相制御信号(UP/DOWN)はチャージポンプ105に供給され、その出力はループフィルタ106によって調整され、可変バイアス電圧V<sub>CTRL</sub>110として供給される。ループフィルタ106は、所望の構成に整列された任意数の受動素子を備えることが可能であることが、当業者であれば理解できる。バイアス電圧V<sub>CTRL</sub>は、VCDL102によってCLK\_REFに加えられる遅延量を選択して、CLK\_FBとCLK\_REFとの間の適切な位相関係を与える。VCDL102は、様々な公知の回路によって実現することができる。

【0029】

50

メモリ設計の分野の当業者にとって公知な別の種類のフィードバックシステムが、フェーズロックループ(PLL)である。図2は、従来のPLL200のブロック図である。外部供給クロック(CLK)はクロックバッファ201によってバッファリングされ、位相検出器204に供給される基準クロック(CLK\_REF)が出力される。位相検出器204は、CLK\_REFとCLK\_FBとの位相差に依存する位相制御信号(UP/DOWN)を生成する。

#### 【0030】

位相検出器204の位相制御信号(UP/DOWN)は、チャージポンプ205に供給され、その出力はループフィルタ206によって調整され、可変バイアス電圧 $V_{CTRL}$ 210が供給される。バイアス電圧 $V_{CTRL}$ は、クロック信号CLK\_OUTを出力する電圧制御発振器(VCO)202を制御する。出力クロック信号CLK\_OUTの周波数は、バイアス電圧 $V_{CTRL}$ 210に比例する。また、CLK\_OUT信号は、CLK\_FB信号を生成するために、任意に接続される分周器203に供給される。

#### 【0031】

PLLならびにDLLの一般的な構成を説明してきたが、特定のDLLの動作は、より大きなメモリ設計に存在する他のPLLから常に独立している訳ではないことが分かるであろう。例えば、マスターPLL内で得られる90度移相されたDQS及びDQSbの二つの信号は、スレーブDLLに供給され得る。そのような状況において、スレーブDLLの出力は、マスターPLLが提供する位相及び周波数情報に依存することが分かるであろう。この依存は必ずしも不都合なものではなく、概して、上述したように、マスターPLLに依存するスレーブDLLは、現存する大多数の用途において、基準クロックに対して適切に移相された出力クロックを供給することが判っている。

#### 【0032】

PLL及びDLLについての前述した概略説明から、PLLが検証されて、その構成要素がDLLと比較された場合、PLLの少なくともいくつかの構成要素がDLLの構成要素と同様であると感じてであろうことが分かる。1つに、PLLとDLLの双方は位相検出器を備える。さらに、PLLとDLLの双方はチャージポンプを備える。

#### 【0033】

今度は、XOR型位相検出器302ならびにチャージポンプ304の概略回路図である図3を参照する(図3では、実施形態を理解する上で関係のないいくつかの回路要素が省略されている)。XOR型位相検出器は、DLLとPLLの双方で使用可能であるものの、それらの使用はDLLでより一般的であることが当業者には分かるであろう。しかしながら、設計上問題とされる点(例えば、高調波ロッキング)が対処されれば、PLLでそれらを用いることも可能である。

#### 【0034】

位相検出器302はレベル応動型であり、XOR論理ゲート308を備え、XOR論理ゲート308の入力に信号CLK\_REF及びCLK\_FBが印加される。XOR論理ゲート308の出力は、スイッチングトランジスタ324のゲート及びスイッチングトランジスタ336のゲートの双方に電氣的に接続されている。動作において、比較される2つの信号CLK\_REF及びCLK\_FBが完全に同相である場合、XOR論理ゲート308への一対の同相入力によって、XORゲートは一定レベルの論理「0」を出力する。比較される2つの信号CLK\_REF及びCLK\_FBが180度ずれている場合(一方が論理「1」の時に他方は論理「0」、またはその逆の場合)、XOR論理ゲート308は、一定の論理「1」信号を出力する。2つの対極の間で、XOR論理ゲート308は、周期の半分の間に論理「1」を出力する。図4は、このようにXOR論理ゲート308が周期の半分の間に論理「1」を出力する場合のCLK\_REF、CLK\_FB、パルスアップ(PU)制御信号及びパルスダウン(PD)制御信号を示すタイミング図である(上記の説明において、比較される信号CLK\_REF及びCLK\_FBの双方は50パーセントのデューティ・サイクルを有するものとする)。

#### 【0035】



図示したチャージポンプ304は、ソース部とシンク部とを備え、それらの間には $V_{CTRL}$ ノード320が設けられている。ソース部は、図示した例ではPMOSトランジスタであるスイッチングトランジスタ324とソーシングトランジスタ328とを備える。シンク部は、図示した例ではNMOSトランジスタであるスイッチングトランジスタ336とシンキングトランジスタ332とを備える。図示したチャージポンプ304は、トランジスタ328及び332に対して電流をミラーリングする電流ミラー344も備える。一般的に、電流ミラー344は基準電流源回路である。電流ミラー344はまた、トランジスタ328及び332のゲートに印加されるバイアス電圧を確立する。キャパシタ340は、一方の端子が $V_{dd}$ に電氣的に接続され、他方の端子が $V_{CTRL}$ ノード320に電氣的に接続されている。当業者に分かるように、キャパシタ340のネット充電またはネット放電によって $V_{CTRL}$ を変化させることができ、そして $V_{CTRL}$ に変化を生じさせることで、移相を引き起こすことができる。キャパシタ340はループフィルタの受動素子であってもよい。あるいは、キャパシタ340はチャージポンプ304の構成要素であってもよい。

10

## 【0036】

充電はキャパシタ340に電流を加えることで実現される一方、放電はキャパシタ340から電流を引き出すことで実現される。仮に電流 $I_M$ と $I_N$ がある期間等しい大きさを有するならば、キャパシタ340が等しい量を等しい期間継続的に充放電され、そのため $V_{CTRL}$ ノード320における電圧 $V_c$ は正味変化しないことが分かるであろう。

## 【0037】

例示したチャージポンプにおいて、 $I_M$ と $I_N$ の大きさが等しくなるための条件は次の通りである。もし、例えば(i)トランジスタ328と電流ミラー344のPMOSFETの長さに対する幅( $W/L$ )の比率が等しく、(ii)トランジスタ332と電流ミラー344のNMOSFETの $W/L$ 比が等しい場合に、 $I_M$ と $I_N$ の大きさは等しくなる。(少なくとも1つの例では、共有に譲渡されたHaerleの米国特許公開第2005/0162200号に記載及び例示されているように、電流の調整は演算増幅器の使用によってさらに容易になる。)

20

例示したチャージポンプにおいて、 $I_M$ と $I_N$ が等しい持続期間を有する場合について、クロックのデューティ・サイクルが50パーセントと仮定し、CLK\_FB信号がCLK\_REF信号に対して90度移相されていれば、 $I_M$ と $I_N$ は繰り返し、同じ持続期間の電流パルスとなる。

30

## 【0038】

図4は、図3の位相検出器302の動作を示すシーケンスまたはタイミング図である。図4は、入力信号CLK\_REF、CLK\_FBと出力信号PU及びPDのパターンを示す。CLK\_FBがCLK\_REFに対して90度の位相ずれに達したことを意味する定常状態で回路が動作しているものと仮定する。図4に示すように、1つのCLK\_REFクロック周期の全体(即ち $t_0$ と $t_4$ との間)で、信号PU及びPDは、高論理状態と低論理状態とを繰り返す。それにより、トランジスタ324及び336は一定かつ交互にオン及びオフとなる。

## 【0039】

次に図5を参照する。図5は、一実施形態における位相検出器500の回路図である。当業者には分かるように、実際の実装時に存在する構成要素の全ては図示されおらず、それら図示されていない構成要素の包含は、結果として例示の実施形態の理解に影響を与えないという認識の上で、明瞭さを改善するために省略されている。この位相検出器500は、図1に示すDLLのようなDLL内で(システム上の観点から)使用可能である。図2に示すPLLのようなPLL内での位相検出器500の使用は、(システム上の観点から)可能性が低いかもしれない。しかしながら、設計上問題とされる点(例えば、高調波ロックイン)が対処されれば、PLL内で位相検出器500を使用することも可能である。また、いくつかの例では、位相検出器500は、図7及び図8のチャージポンプ回路(その説明は本開示の後の段落で行う)と組み合わせて用いてもよい。

40

## 【0040】

50

図示した位相検出器 500 は、4つのDフリップフロップ 504、506、510、512と、4つのインバータ 516、520、522、526と、2つのNAND論理ゲート 530、534とを備える。図示した位相検出器 500には、4つの入力信号 CLK\_REF、CLK\_FB、CLK\_180及びV<sub>dd</sub>が供給される。CLK\_REFは、Dフリップフロップ 504及び510のクロック入力に供給される（図5に示すDフリップフロップのそれぞれは立ち上がり起動型である）。CLK\_FBは、Dフリップフロップ 512のクロック入力に供給される。CLK\_REFが180度移相されたCLK\_180は、Dフリップフロップ 506のクロック入力に供給される。最後に、V<sub>dd</sub>は、Dフリップフロップ 504、506、510及び512の入力に供給される。

#### 【0041】

Dフリップフロップを引き続き参照すると、Dフリップフロップ 504の出力は、NAND論理ゲート 530の第1入力、NAND論理ゲート 534の第1入力、及びDフリップフロップ 506のリセット(RSTB)端子に供給される。また、Dフリップフロップ 506の出力は、インバータ 516の入力に供給され、インバータ 516の出力はDフリップフロップ 504のRSTB入力に供給される。Dフリップフロップ 510の出力は、NAND論理ゲート 534の第2入力、Dフリップフロップ 512のRSTB入力及びインバータ 526の入力に供給され、インバータ 526の出力は、NAND論理ゲート 530の第2入力に供給される。さらに、Dフリップフロップ 512の出力は、インバータ 522の入力に供給され、インバータ 522の出力は、Dフリップフロップ 510のRSTB入力に供給される。

#### 【0042】

チャージポンプに供給されるパルスアップ(PU)制御信号は、NAND論理ゲート 530の出力ノードに生成される。(本願で用いられているチャージアップ制御信号という用語は、チャージポンプ内の充電を制御する制御信号に対しても用いられていることが分かるであろう。)チャージポンプに同じく供給されるパルスダウン(PD)制御信号は、インバータ 520の出力ノードに生成され、NAND論理ゲート 534の出力は、インバータ 520の入力に供給される。(本願で用いられているチャージダウン制御信号という用語は、チャージポンプ内の放電を制御する制御信号に対しても用いられていることが分かるであろう。)

動作において、図示した位相検出器 500によって生成されるPU及びPD信号は、これらの信号が供給されるチャージポンプの内部で、V<sub>CTRL</sub>ノードキャパシタにクロック周期の半分の間だけ充電/放電動作を行わせる。位相検出器 500のこの挙動は、Dフリップフロップ 504、506、510及び512の動作が理解された時に明らかになるであろう。

#### 【0043】

位相検出器 500の動作についての以下の説明では、図5及び図6の双方を参照する。図6は、CLK\_REFに対して90度移相されたCLK\_FB(前述したように、クロック信号がそれに関連するデータの中央に適切に揃うため、これはいくつかの例ではクロック信号に対して望ましい移相である)を用いた位相検出器 500の動作を示すタイミング/シーケンス図である。図6に示すクロック信号のデューティ・サイクルは50パーセントよりもはるかに低い、図4に示すクロック信号と同じ周期を有していることが分かるであろう。デューティ・サイクルが50パーセントのクロックを用いることが可能なことを当業者は理解するであろう。

#### 【0044】

以下にさらに詳述するように、CLK\_REF(基準クロック信号)の立ち上がりの検出に応じて、PD制御信号の論理レベルが変化し(論理「0」から論理「1」に)、またPU制御信号の論理レベルは維持され(論理レベルは論理「1」のまま)、それによりチャージポンプの放電を可能(enable)にしなが、チャージポンプの充電を不能(disable)のまま維持する。

#### 【0045】

Dフリップフロップ504及び510を参照すると、これらのフリップフロップは、CLK\_REFの立ち上がり際に際して論理「1」( $V_{dd}$ )となる論理レベルを出力する。Dフリップフロップ504の出力における論理「1」は、NAND論理ゲート530の入力540及びNAND論理ゲート534の入力542で受信される。Dフリップフロップ504の出力における論理「1」は、Dフリップフロップ506のRSTB入力によっても受信されるが、RSTB入力はアクティブ「ロー」であるため無視される。

【0046】

Dフリップフロップ510の出力における論理「1」は、NAND論理ゲート534の入力546及びインバータ526の入力により受信され、インバータ526は、論理「1」を論理「0」に反転させてNAND論理ゲート530の入力550に供給する。Dフリップフロップ510の出力における論理「1」は、Dフリップフロップ512のRSTB入力によって受信されるが、既に説明したようにDフリップフロップ512はこれを無視する。

10

【0047】

入力540で論理「1」が受信され、入力550で論理「0」が受信されたときには、NAND論理ゲート530の出力552は論理「1」となる。従って、PU信号は論理「1」となり、その結果、チャージポンプにおける充電は不能のままとなる。

【0048】

NAND論理ゲート534の入力546に対する論理「1」信号及びNAND論理ゲート534の入力542に対する論理「1」信号により、NAND論理ゲート534の出力は論理「0」となる。インバータ520は信号を反転させて、PD信号は、チャージポンプを動作可能とする論理「1」となり、それに対して位相検出器500は制御信号を伝達して、放電が行われる。このように、CLK\_REFの立ち上がりの検出に応じて、PD制御信号の論理レベルは、図6の遷移矢印602及び604が示すように変化する。

20

【0049】

次の立ち上がり、CLK\_FB信号(フィードバッククロック信号)に起こる。(もしCLK\_FB信号のエッジが、CLK\_REF信号の対応するエッジから180度以上位相ずれした場合には、PLLで高調波ロッキングの問題が起こり得ることが当業者には分かるであろう。)以下でさらに詳述するように、CLK\_FBの立ち上がりの検出に応じて、PU制御信号の論理レベルは変化し(論理「1」から論理「0」に)、またPD制御信号の論理レベルも変化する(論理「1」から論理「0」に)。それによりチャージポンプの充電が可能となり、チャージポンプの放電は不能となる。

30

【0050】

Dフリップフロップ512を参照すると、そのクロック入力はCLK\_FB信号を受信する。それに応じて、Dフリップフロップ512は、論理「1」を出力し、それはインバータ522によって反転される。Dフリップフロップ510のRSTB入力における論理「0」は、Dフリップフロップ510の出力を論理「0」に強制し、論理レベルにおけるこの変化によって論理レベル「0」が入力546で受信され、論理「1」が入力550で受信されることになる。NAND論理ゲート530及び534の出力の論理レベルは、ここで変化する。

40

【0051】

そのため、PU信号は論理「1」から論理「0」に変化し、チャージポンプ内での充電が可能にされ、またPD信号は論理「1」から論理「0」に変化し、チャージポンプ内での放電が不能にされる。このように、CLK\_FBの立ち上がりの検出に応じて、PU及びPD双方の制御信号の論理レベルは、図6の遷移矢印606、608、610及び612が示すように変化する。PD信号のアクティブ論理レベルからイナクティブ論理レベルへの遷移は、 $t_0$ におけるCLK\_REFのエッジと、 $t_1$ におけるCLK\_FBのエッジとの間の時間と実質的に同等な時間の終わりを示す。

【0052】

次の立ち上がり、CLK\_180信号(その立ち上がり、CLK\_REFの連続する

50

立ち上がりの間の約中間にくるようにCLK\_REFから180度移相され、この中間の時点を示す付加的な基準信号)に起こる。以下でさらに詳述するように、CLK\_180信号の立ち上がり検出に応じて、PU制御信号の論理レベルは変化し(論理「0」から論理「1」に)、また、PD制御信号の論理レベルは維持される(論理レベルは論理「0」のまま)。それにより、チャージポンプの充電が不能となり、チャージポンプの放電は引き続き不能となる。

#### 【0053】

Dフリップフロップ506を参照すると、そのクロック入力はCLK\_180信号を受信する。それに応じて、Dフリップフロップ506は論理「1」を出力し、それはインバータ516により反転される。Dフリップフロップ504のRSTB入力における論理「0」は、Dフリップフロップ504の出力を論理「0」に強制する。論理レベルのこの変化により論理「0」がNAND論理ゲート530の入力540に受信されることになり、NAND論理ゲート530の出力は論理「0」から論理「1」に変化する一方、NANDゲート534及びインバー520の出力は変化しないままとなる。

10

#### 【0054】

従って、PU信号は論理「0」から論理「1」に変化し、チャージポンプ内での充電を不能にし、PD信号の論理レベルは維持されて(論理レベルは論理「0」のまま)チャージポンプの放電を引き続き不能のままにする。このように、CLK\_180の立ち上がりの検出に応じて、PU制御信号の論理レベルは、図6の遷移矢印614及び616が示すように変化する。PU信号のアクティブ論理レベルからイナクティブ論理レベルへの遷移は、 $t_1$ におけるCLK\_FBのエッジと、 $t_2$ におけるCLK\_180のエッジとの間の時間と実質的に同等な時間の終わりを示す。

20

#### 【0055】

定常状態では、CLK\_FBの立ち上がりによって引き起こされるPU及びPD信号の変化が、CLK\_REF信号の立ち上がりによって引き起こされたPD信号の前の変化に続くクロック周期の約4分の1で発生する。CLK\_REFとCLK\_FBとの立ち上がりの間の概略4分の1クロック周期の間、放電が起こり、充電は起こらない。また定常状態では、CLK\_180の立ち上がりによって引き起こされるPU信号の変化が、CLK\_FB信号の立ち上がりによって引き起こされたPU及びPD信号の前の変化に続くクロック周期の約4分の1で発生する。CLK\_FBとCLK\_180との立ち上がりの間の概略4分の1クロック周期の間、充電が起こり、放電は起こらない。

30

#### 【0056】

残りのクロック周期の間、充電または放電のいずれも起こらない。例えば、時間 $t_2$ と時間 $t_4$ との間の1/2クロック周期の間(図6のタイミング図参照)には、充電または放電のいずれも起こらない(即ち、位相検出器500からのPU及びPD信号は、DLLのチャージポンプのスイッチングトランジスタの双方を、クロック周期の半分の間同時にオフに切り替え、それによりループフィルタキャパシタはその期間充電または放電のいずれも行わない)。これに対して、図3の位相検出器308の時間 $t_2$ から $t_4$ に対応する期間中、充電及び放電が起きている(図4のタイミング図のPU及びPD信号の論理レベル参照)。このように、位相検出器500は、位相検出器308に比べて、低消費電力でDLLの実装を可能とするという利点を有し得る。

40

#### 【0057】

位相検出器500は、本開示の先の段落で既に説明した基準クロック信号の必要性を解消する。換言すれば、位相検出器500は、移相のために用いられる2つの基準クロック信号を通常供給するマスターDLLまたはPLLを利用可能にする必要性を解消する。(しかしながら、前述し、また以下でさらに詳述するように、いくつかの例では、位相検出器に意図する動作を行わせるために、CLK\_180信号が位相検出器に供給される)。

#### 【0058】

図示した位相検出器500の付加的な特徴が、レベル応動型というよりはむしろエッジ作動型であるということが分かるであろう。通常、エッジ作動型位相検出器は、レベル応

50

動型位相検出器が拘束されるようなデューティ・サイクル要件によって拘束されることはない。

#### 【 0 0 5 9 】

図示した位相検出器 5 0 0 によって生成されるのと同様の位相制御信号が、位相検出器 5 0 0 のそれとは異なる論理ゲート及び回路からなる代替の位相検出器によっても生成可能なことも当業者には分かるであろう。例えば、CLK\_REF がデューティ・サイクル 5 0 パーセントのクロックである場合に、D フリップフロップ 5 0 6 を立ち上がり作動型ではなく立ち下り作動型のものに交換して、CLK\_REF を置換された D フリップフロップに印加することにより、CLK\_180 の必要性が解消される。CLK\_REF 信号の立ち上がりにより D フリップフロップ 5 0 4 及び 5 1 0 が作動し、D フリップフロップ 5 0 6 の代わりに設けられたフリップフロップは、立ち下り（立ち上がりに連続する次のエッジ）により作動する。位相検出器を有するいくつかのシステムで上記の実装が可能であるものの、少なくともいくつかの場合では、デューティ・サイクル 5 0 パーセントのクロックを生成し利用可能とするのが難しい場合がある。

10

#### 【 0 0 6 0 】

いくつかの実施形態において、生成された位相制御信号は、図示された位相検出器 5 0 0 の特徴である同じ論理レベルの遷移を示さないことがある。簡単な例として、位相検出器とスイッチングトランジスタ 3 2 4 及び 3 3 6（図 3）のゲートの間の経路に沿ってインバータを付加する場合、当業者は、前述したクロックのエッジに同様に応答しながらも、生成される位相制御信号が位相検出器 5 0 0 に生成される位相制御信号とは反対のビット（論理レベル）シーケンスを有するように位相検出器の設計を簡単に変更できるであろう。

20

#### 【 0 0 6 1 】

他の代替位相検出器の例も考えられる。例えば、クロックの立ち上がりではなくクロックの立ち下りに応答する位相検出器を実現するために、図示した位相検出器 5 0 0 を変更することは当業者には単純明快であることが分かるであろう。そのような位相検出器は、図示した位相検出器 5 0 0 に関連する効果及び便益と実質的に同じものを少なくとも実現することができるであろう。

#### 【 0 0 6 2 】

次に図 7 を参照する。図 7 は一実施形態にかかるチャージポンプ 7 0 0 の回路図である。技術上知られているように、チャージポンプ回路はより高いまたより低い電圧のいずれかを生成するためにキャパシタを用いる。PLL に関しては、PLL の VCO に印加される制御電圧を供給するためにチャージポンプを用いることができる。DLL に関しては、DLL の VCDL に対して制御電圧を供給するためにチャージポンプを用いることができる。

30

#### 【 0 0 6 3 】

次に図示したチャージポンプ 7 0 0 のソース部を参照すると、この部分には二次スイッチングトランジスタ 7 0 6、7 0 8、二次ソーシングトランジスタ 7 1 0、7 1 2、及び選択トランジスタ 7 1 6、7 2 0 が設けられている。電流が一次スイッチングトランジスタ 7 2 2 及び一次ソーシングトランジスタ 7 2 4 を流れる時に、選択トランジスタ 7 2 0 のゲート 7 2 6 に論理「0」信号が印加されると、電流は二次スイッチングトランジスタ 7 0 8 及び二次ソーシングトランジスタ 7 1 2 にのみ流れ、選択トランジスタ 7 1 6 のゲート 7 2 8 に同様の論理「0」信号が印加されると、電流は二次スイッチングトランジスタ 7 0 6 及び二次ソーシングトランジスタ 7 1 0 にのみ流れる。

40

#### 【 0 0 6 4 】

従って、選択トランジスタ 7 1 6 及び 7 2 0 の 1 つまたはそれ以上を非導通にすると、二次ソーシングトランジスタ 7 1 0 及び 7 1 2 の 1 つまたはそれ以上を介した電流のソーシングを不能にすることができる。ここに示す実施形態では、ゲート 7 2 6 は、イネーブル信号 ep [ 0 ] によって制御され、ゲート 7 5 6 はイネーブル信号 en [ 0 ] によって制御される一方、ゲート 7 2 8 及び 7 5 8 は、それぞれイネーブル信号 ep [ M ] 及び e

50

$n [ N ]$ によって制御される。M及びNは0より大きい整数値であり、図7の回路には任意数の選択トランジスタ及び二次スイッチングトランジスタを含めることができる。様々な他の実施形態では、NはMと同じであってもよく、またNはMと異なってもよい。ソーシングトランジスタ710、712及び724を介してソーシングされる電流の合計である $I_M$ は $I_{ref}$ に追従する。

【0065】

図示したチャージポンプ700のシンク部には、二次スイッチングトランジスタ732、734、二次シンキングトランジスタ738、740、及び選択トランジスタ744及び746が設けられている。電流が一次スイッチングトランジスタ750及び一次シンキングトランジスタ754を流れる時に、選択トランジスタ746のゲート756に論理「1」信号が印加されると、電流は二次スイッチングトランジスタ734及び二次シンキングトランジスタ740にのみ流れ、選択トランジスタ744のゲート758に同様の論理「1」信号が印加されると、電流は二次スイッチングトランジスタ732及び二次シンキングトランジスタ738にのみ流れる。従って、選択トランジスタ744及び746の1つまたはそれ以上を非導通にすると、二次シンキングトランジスタ738及び740の1つまたはそれ以上を介した電流のシンキングを不能にすることができる。シンキングトランジスタ738、740及び754を介してシンクされた電流の合計である $I_N$ は、 $I_{ref}$ に追従する。

【0066】

当業者に分かるように、ソース部の電流 $I_M$ はソーシングトランジスタ710、712、及び724の3つ全てが電流をソーシングしている時に最も大きくなり、 $I_M$ は、選択トランジスタ716及び720の1つまたはそれ以上がオフにされ、そのため二次ソーシングトランジスタ710及び712の1つまたはそれ以上が付加電流をソーシングしない時により小さくなる。同様に、シンク部の電流 $I_N$ は、シンキングトランジスタ738、740、及び754の全てが電流をシンキングしている時に最も大きくなる。しかしながら、 $I_N$ は、選択トランジスタ744及び746の1つまたはそれ以上がオフにされ、そのため二次シンキングトランジスタ732及び734の1つまたはそれ以上が付加電流をシンキングしない時に小さくなる。このように、図示したチャージポンプ700は、チャージポンプ電流のスケーリングを行うことを可能にする。

【0067】

図示したチャージポンプ700において、定常状態に対応する移相量は概略下記の数式(1)のようになる。

【0068】

$$(1) \text{ 移相量} = 180 * I_N / (I_M + I_N)$$

上述したチャージポンプ電流のスケーリングによって、移相量の微細な調整を行う能力が提供されることが分かるであろう。また、もし $I_N$ 及び $I_M$ がそれぞれ $(N + 1) * I_{ref}$ 及び $(M + 1) * I_{ref}$ で表わされ、N及びMが電流ミラー比を表わす場合、下記の数式(2)で表わされる関係も成り立つ。

【0069】

$$(2) \text{ 移相量} = 180 * (N + 1) / (M + N + 2)$$

当業者には分かるように、チャージポンプ700を備えるシステムはまた、選択トランジスタ716、720、744及び746のどれかが導通または非導通になるように制御するイネーブル信号を供給するレジスタを有するメインコントローラを備えることができる。特に、そのようなメインコントローラのレジスタからのイネーブル信号のそれぞれは、ゲート726、728、756及び758の1つに印加され得る。図7の実施形態の他の例では、任意数の選択トランジスタ及び対応する二次スイッチングトランジスタを備えることができる。これらの選択トランジスタ及び対応する二次スイッチングトランジスタは、明示した選択トランジスタ及び二次トランジスタと同一の大きさにして、電流 $I_M$ 及び $I_N$ の実質的に直線的なスケーリングを実現することができる。あるいは、これらのトランジスタを異なる大きさにして電流 $I_M$ 及び $I_N$ の非直線的なスケーリングを実現するこ

とができる。さらに、イネーブル信号を任意数、任意に組み合わせてアクティブ論理レベルで駆動し、それらに対応する選択トランジスタをオンにすることができる。

【 0 0 7 0 】

図 8 は、別の実施形態にかかるチャージポンプ 8 0 0 の回路図である。以下の説明から明らかとなるように、チャージポンプ 8 0 0 は図 7 のチャージポンプ 7 0 0 と同様に、チャージポンプ電流をスケールリングする。

【 0 0 7 1 】

図示したチャージポンプ 8 0 0 のソース部には、M 個のソーシングトランジスタ（そのうちの 2 つが示され、8 0 8 及び 8 1 0 と表記されている）、M 個の伝送ゲート（そのうちの 2 つが示され、8 0 4 及び 8 0 5 と表記されている）、M 個のプルアップトランジスタ（そのうちの 2 つが示され、8 0 6 及び 8 0 7 と表記されている）、ミラーマスタートランジスタ 8 1 4、及びスイッチングトランジスタ 8 1 6 が設けられている。マスタートランジスタ 8 1 4 がソーシングトランジスタに電流をミラーするための経路を、挿入された伝送ゲート 8 0 4 及び / または 8 0 5 が有効 (enable) にした時にのみ、ミラーマスタートランジスタ 8 1 4 は、ソーシングトランジスタ 8 0 8 及び 8 1 0 の 1 つまたはそれ以上に電流をミラーすることができる。

【 0 0 7 2 】

このように、伝送ゲートを通る経路が不能にされれば、M 個のソーストランジスタの 1 つまたはそれ以上を介した電流のソーシングを不能にすることができる。それとは対照的に、ソーシングトランジスタ 8 1 3 を介した電流のソーシングは、伝送ゲート 8 0 4 のい

【 0 0 7 3 】

チャージポンプ 8 0 0 のシンク部には、N 個のシンキングトランジスタ（そのうちの 2 つが示され、8 2 6 及び 8 2 8 と表記されている）、N 個の伝送ゲート（そのうちの 2 つが示され、8 2 2 及び 8 2 3 と表記されている）、N 個のプルダウントランジスタ（そのうちの 2 つが示され、8 2 4 及び 8 2 5 と表記されている）、ミラーマスタートランジスタ 8 3 4、及びスイッチングトランジスタ 8 3 6 が設けられている。上記と同様、マスタートランジスタ 8 3 4 がシンキングトランジスタに電流をミラーするための経路を、挿入された伝送ゲート 8 2 2 及び / または 8 2 3 が有効にした時にのみ、ミラーマスタートラ

【 0 0 7 4 】

もし N 個の伝送ゲートの 1 つまたはそれ以上がシンキングトランジスタとマスタートランジスタ 8 3 4 との間の経路を閉じるようにすると、電流はそれ / それらのシンキングトランジスタにミラーされない。このように、もし伝送ゲートを通る経路が不能にされれば、N 個のシンキングトランジスタの 1 つまたはそれ以上を介した電流のシンキングを不能にすることができる。それとは対照的に、シンキングトランジスタ 8 3 1 を介した電流のソーシングは、N 個の伝送ゲートのどれからも影響を受けない。シンキングトランジスタ 8 2 6、8 2 8、8 3 0 及び 8 3 1 を介してシンクされた電流の合計である  $I_N$  は、 $I_{ref}$

【 0 0 7 5 】

当業者には分かるように、プルアップ及びプルダウントランジスタ 8 0 6、8 0 7、8 2 4 及び 8 2 5 は、ソーシング及びシンキングトランジスタがそれらに対応する伝送ゲートがオフの時にオンにならないようにする。また、チャージポンプ 8 0 0 のソース部の M 個の伝送ゲートのそれぞれを、例えば伝送ゲートの使用により得られるのと同様の結果を得ることができる P M O S トランジスタに置き換えることができることが分かるであろう。同様に、チャージポンプ 8 0 0 のシンク部の N 個の伝送ゲートのそれぞれを、例えば伝送ゲートの使用により得られるのと同様の結果を得ることができる N M O S トランジスタに置き換えることができる。

## 【 0 0 7 6 】

図 8 を引き続き参照すると、ソーシング電流  $I_M$  は、ソーシングトランジスタ 8 0 8、8 1 0 及び 8 1 3 の 3 つ全てが電流をソーシングする時に最も大きくなり、3 つのトランジスタ全てよりも少ない時により小さくなることが明らかであろう。同様に、 $I_N$  はシンキングトランジスタ 8 2 6、8 2 8 及び 8 3 1 の 3 つ全てが電流をシンキングする時に最も大きくなり、 $I_N$  は 3 つ全てよりも少ないシンキングトランジスタが電流をシンキングする時により小さくなることが分かる。このように、図示したチャージポンプ 8 0 0 はチャージポンプ電流のスケーリングを行うことを可能にする。

## 【 0 0 7 7 】

図示したチャージポンプ 8 0 0 において、定常状態に対応する移相量は、概略下記の数式 ( 3 ) のようになる。

## 【 0 0 7 8 】

$$( 3 ) \text{ 移相量} = 180 * I_N / ( I_M + I_N )$$

前述したチャージポンプ電流のスケーリングによって、移相量の微細な調整を行う能力が提供されることが分かるであろう。また、もし  $I_N$  及び  $I_M$  がそれぞれ  $( N + 1 ) * I_{r_{ef}}$  及び  $( M + 1 ) * I_{r_{ef}}$  で表わされ、 $N$  及び  $M$  が電流ミラー比を表わす場合、下記の数式 ( 4 ) で表わされる関係も成り立つ。

## 【 0 0 7 9 】

$$( 4 ) \text{ 移相量} = 180 * ( N + 1 ) / ( M + N + 2 )$$

当業者には分かるように、チャージポンプ 8 0 0 を備えるシステムはまた、チャージポンプ 8 0 0 のソース部の  $M$  個の伝送ゲートが有効または不能となるように制御し、またチャージポンプ 8 0 0 のソース部の  $M$  個のプルアップトランジスタのどれかを導通または非導通となるように制御するイネーブル信号  $e_{p[M:0]}$  及び  $e_{pb[M:0]}$  を供給するレジスタを有するメインコントローラを備えることができる。特に、そのようなメインコントローラのレジスタからのイネーブル信号のそれぞれは、伝送ゲート及び/またはプルアップ/プルダウントランジスタのゲートの少なくとも 1 つに印加され得る。同様のイネーブル信号を、チャージポンプ 8 0 0 のシンク部で同様な制御を行うために同様に供給することもできる。

## 【 0 0 8 0 】

図 9 は、さらに別の実施形態にかかるチャージポンプ 9 0 0 の回路図である。ソーシングトランジスタ 3 2 8、シンキングトランジスタ 3 3 2、電流ミラー 3 4 4 及びスイッチングトランジスタ 3 2 4、3 3 6 の動作は前述した。よって詳細に前述したものを繰り返す必要はない。先に示したチャージポンプの実施形態では、 $P_U$  または  $P_D$  がアクティブ論理レベルにある時に供給される電流  $I_M$  及び  $I_N$  の大きさは、二次スイッチングトランジスタ、二次ソーシングトランジスタ、及び選択トランジスタを選択的にオンにすることで調整可能である。これは、制御信号  $P_U$  及び  $P_D$  を受信するトランジスタが、ソーシング及びシンキングトランジスタに対して直列であるという例示したチャージポンプ回路の構成によるものである。図 9 に例示される実施形態では、電流  $I_M$  及び  $I_N$  に対してオフセット電流を独立して印加することができる。通常、これらのオフセット電流は連続的に生成される。

## 【 0 0 8 1 】

少なくとも 1 つの例では、スイッチングトランジスタ 3 2 4 及び 3 3 6 のゲートに印加される  $P_U$  及び  $P_D$  信号が、位相周波数検出器 (  $PFD$  )、例えばベスト・ローランド・E、『位相ロックス・設計、シミュレーション、及びアプリケーション』第 4 版、マグローヒル、1999 年、92 ~ 102 頁 ( “Phase-Locked Loops: Design, Simulation, and Applications, 4<sup>th</sup> Edition”, Best, Roland E., McGraw-Hill, 1999, pgs92-102 ) に記載の  $PFD$  によって生成される。

## 【 0 0 8 2 】

次に、チャージポンプ 9 0 0 のソース部に注目すると、例示した実施形態では、オフセット電流  $I_{OFFSETP}$  を生成する第 1 プログラマブルトランジスタアレイ 9 0 2 を備える補

10

20

30

40

50



助ソース回路が設けられている。M対のPMOSトランジスタの内の3対が、各対のトランジスタが直列に接続された状態で、図示したプログラブルトランジスタアレイ902内に示されている。例示した実施形態では、各対における電流ソーシングを制御する回路は、選択トランジスタを備える。選択トランジスタ906、908及び910のそれぞれは、ドレインが $V_{dd}$ に連結され、ソースがソーシングトランジスタ912、914及び916の1つのドレインに電氣的に接続されている。

【0083】

図示したチャージポンプ900はまた、チャージポンプ900のシンク部に補助シンク回路を備える。例示した実施形態では、補助シンク回路は、オフセット電流 $I_{OFFSETN}$ を生成する第2プログラブルトランジスタアレイ904を備える。N対のNMOSトランジスタの内の3対が、各対のトランジスタが直列に接続された状態で、図示したプログラブルトランジスタアレイ904内に示されている。例示した実施形態では、各対における電流シンキングを制御する回路は、選択トランジスタを備える。3つの選択トランジスタ920、922及び924が図示されている。選択トランジスタ920、922及び924のそれぞれは、ドレインが接地電位に連結され、ソースがシンキングトランジスタ928、930及び932のドレインの1つに連結されている。

【0084】

正の移相生成電流であり、ソーシングトランジスタ912、914及び916を介してソースされた電流の合計である $I_{OFFSETP}$ は、チャージポンプ電流に追従する。動作において、選択トランジスタ906、908及び910の1つまたはそれ以上をオンまたはオフにすることで、チャージポンプ900のソース部の $I_{OFFSETP}$ を増加または減少させることができる。選択トランジスタ906、908及び910は、それぞれのゲート936、940及び942に論理ロー信号を印加することでオンにすることができる。

【0085】

負の移相生成電流であり、シンキングトランジスタ928、930及び932を介してシンクされた電流の合計である $I_{OFFSETN}$ は、チャージポンプ電流に追従する。動作において、選択トランジスタ920、922及び924の1つまたはそれ以上をオンまたはオフにすることで、チャージポンプ900のシンク部の $I_{OFFSETN}$ を増加または減少させることができる。選択トランジスタ920、922及び924は、それぞれのゲート946、948及び950に論理ハイ信号が印加されるとオンになる。

【0086】

オフセット電流を用いて移相を発生させることができることが分かるであろう。例えば、図示したチャージポンプ900における移相量は、 $I_{OFFSETP}$ と $I_{OFFSETN}$ との差に360を掛けて $I_M$ で割ったものと等しい。いくつかの例では、プログラブルアレイ902のソーシングトランジスタは、M番目から1番目にかけて漸増するデバイスチャンネルW/L比を有し、プログラブルアレイ904のシンクトランジスタは、N番目から1番目にかけて漸増するデバイスチャンネルW/L比を有する。例えば、一例ではトランジスタ916及び932は、トランジスタ328及び332のデバイスチャンネルW/L比の1/2である等しいデバイスチャンネルW/L比を有し、トランジスタ914及び930は、トランジスタ328及び332のデバイスチャンネルW/L比の1/3であるデバイスチャンネルW/L比を有し、トランジスタ912及び928は、トランジスタ328及び332のデバイスチャンネルW/L比の1/4であるデバイスチャンネルW/L比を有する。

【0087】

これらの例の値により、様々な異なる移相量を実現することができる。例えば、選択トランジスタ906、910、922及び924がオフにされ、選択トランジスタ908及び920がオンにされると、移相量は $(1/3 - 1/4) * 360^\circ = 30^\circ$ となる。あるいは、選択トランジスタ910、922及び944がオフされ、選択トランジスタ906、908及び920がオンにされると、移相量は $(1/3 + 1/4) - 1/4) * 360^\circ = 120^\circ$ となる。上記例では、かなり精細かまたはより粗いかのどちらかの移相調

10

20

30

40

50

整に対応するために、ソーシングトランジスタのそれぞれは異なる比率を有するが、別の例ではソーシングトランジスタはそれぞれ同じ比率を有することができる。

【 0 0 8 8 】

当業者には分かるように、チャージポンプ 9 0 0 を備えるシステムはまた、選択トランジスタ 9 0 6、9 0 8、9 1 0、9 2 2 及び 9 2 4 が導通または非導通となるように制御するイネーブル信号を供給するレジスタを有するメインコントローラを備えることができる。特に、そのようなメインコントローラのレジスタからのイネーブル信号のそれぞれは、ゲート 9 3 6、9 4 0、9 4 2、9 4 6、9 4 8 及び 9 5 0 の 1 つに印加され得る。

【 0 0 8 9 】

チャージポンプ 9 0 0 が P L L の設計に盛り込まれた場合、当業者には分かるように、  
10 図示した抵抗器 9 8 8 などの抵抗器が一般的にキャパシタ 3 4 0 に対して直列に付加される。それとは対照的に、チャージポンプ 9 0 0 が D L L の設計に盛り込まれた場合には、抵抗器 9 8 8 は設けられないであろう。

【 0 0 9 0 】

図 1 0 はさらに別の実施形態におけるチャージポンプ 1 0 0 0 の回路図である。この回路は、 $I_M$  ならびに  $I_N$  に対して独立して印加でき、また一般的には連続的に生成されるオフセット電流を供給する。図 9 の実施形態の回路は、ソーシングトランジスタ 3 2 8 及びシンキングトランジスタ 3 3 2 に直接接続された第 1 及び第 2 プログラマブルトランジスタアレイを有する。それにより、オフセット電流が直接生成される。他方、本実施形態の回路では、その第 1 及び第 2 プログラマブルトランジスタアレイを用いて、オフセット電  
20 流を生成するオフセット生成回路を制御する。ソーシングトランジスタ 3 2 8、シンキングトランジスタ 3 3 2、電流ミラー 3 4 4 及びスイッチングトランジスタ 3 2 4、3 3 6 の動作は前述した。よって詳細に前述したものを繰り返す必要はない。少なくとも 1 つの例では、スイッチングトランジスタ 3 2 4 及び 3 3 6 のゲートに印加される P U 及び P D 信号は、上述の説明において参照したローランド・E・ベストの文献に記載されている種類の P F D によって生成される。

【 0 0 9 1 】

チャージポンプ 1 0 0 0 のソース部を参照すると、例示した実施形態ではプログラマブルトランジスタアレイ 1 0 0 2、バイアストランジスタ 1 0 5 6、電流ソーストランジスタ 1 0 5 8、及びトランジスタ 1 0 6 0 を備える補助ソース回路が設けられている。図示  
30 したプログラマブルトランジスタアレイ 1 0 0 2 は、各対のトランジスタが直列に接続された  $M + 1$  対の P M O S トランジスタを含む。選択トランジスタ 1 0 0 6、1 0 0 8 及び 1 0 1 0 のそれぞれは、ドレインが  $V_{dd}$  に連結され、ソースがゲート - ドレイン接続型トランジスタ 1 0 1 2、1 0 1 4 及び 1 0 1 6 のうちの 1 つのドレインに電気的に接続されている。前述のように、いくつかの例ではゲート - ドレイン接続型トランジスタのそれぞれは同じ比率を有し、他の例ではゲート - ドレイン接続型トランジスタのそれぞれは異なる比率を有する。後で説明するように、付加的な P M O S トランジスタ 1 0 1 8、1 0 1 9 の対が (ある一定の条件下で) 較正オフセット電流からのずれを防ぐために設けられている。

【 0 0 9 2 】

チャージポンプ 1 0 0 0 のシンク部を参照すると、例示した実施形態ではプログラマブルトランジスタアレイ 1 0 0 4、バイアストランジスタ 1 0 5 2、電流シンクトランジスタ 1 0 5 4、及びトランジスタ 1 0 6 4 を備える補助シンク回路が設けられている。図示  
40 したプログラマブルトランジスタアレイ 1 0 0 4 は、各対のトランジスタが直列に接続された  $N + 1$  対の N M O S トランジスタを含む。選択トランジスタ 1 0 2 0、1 0 2 2 及び 1 0 2 4 のそれぞれは、ドレインが接地電位に連結され、ソースがゲート - ドレイン接続型トランジスタ 1 0 2 8、1 0 3 0 及び 1 0 3 2 のドレインの 1 つに連結されている。付加的な N M O S トランジスタ 1 0 3 3、1 0 3 4 の対が (ある一定の条件下で) 較正オフセット電流からのずれを防ぐために設けられている。

【 0 0 9 3 】

10

20

30

40

50

図示したチャージポンプ1000のソース部のトランジスタアレイ1002は、オフセット電流 $I_{OFFSETP}$ を設定するために設けられている。また、後に詳述するように、ソーシングトランジスタ1058を介した電流のソーシングを制御する回路は、トランジスタアレイ1002を備えることが分かるであろう。図示したチャージポンプ1000のシンク部のトランジスタアレイ1004は、オフセット電流 $I_{OFFSETN}$ を設定するために設けられている。また、後に詳述するように、シンキングトランジスタ1054を介した電流のシンキングを制御する回路は、トランジスタアレイ1004を備えることが分かるであろう。

#### 【0094】

図示した例では、 $I_{ref}$ のPMOSFETと電流ミラー関係にあるトランジスタ1052は、FET328及び $I_{ref}$ のPMOSFETと同じデバイスチャンネルW/L比を有する。また、ゲート-ドレイン接続型トランジスタ1028、1030及び1032のそれぞれは、シンキングトランジスタ1054と同じデバイスチャンネルW/L比を有し、シンキングトランジスタ1054はトランジスタアレイ1004と電流ミラー関係にあり、そのためシンキングトランジスタ1054を介した電流のシンキングは、トランジスタアレイ1004によって制御される。

10

#### 【0095】

さらに、前述したような相対値を有するデバイスチャンネルW/L比によって、 $I_{OFFSETN}$ の大きさは概略 $I_{ref} / (H + 1)$  (Hはトランジスタアレイ1004内のオン状態の選択トランジスタの数であり、Hはトランジスタアレイ1004内の選択トランジスタの総数であるN以下の整数)となる。相対デバイスチャンネルW/L比を変更することによる効果が当業者には分かるであろう。例えば、他の全ての要素が同じである状態で、トランジスタ1052のデバイスチャンネルW/L比のパーセント増/減は、それに対応して $I_{OFFSETN}$ の大きさのパーセント増/減を等しくもたらす。

20

#### 【0096】

図示した例では、 $I_{ref}$ のNMOSFETと電流ミラー関係にあるトランジスタ1056は、FET332及び $I_{ref}$ のNMOSFETと同じデバイスチャンネルW/L比を有する。また、ゲート-ドレイン接続型トランジスタ1012、1014及び1016のそれぞれは、ソーシングトランジスタ1058と同じデバイスチャンネルW/L比を有し、ソーシングトランジスタ1058はトランジスタアレイ1002と電流ミラー関係にあり、そのためソーシングトランジスタ1058を介した電流のソーシングが、トランジスタアレイ1002によって制御される。

30

#### 【0097】

さらに、前述したような相対値を有する相対デバイスチャンネルW/L比によって、 $I_{OFFSETP}$ の大きさは概略 $I_{ref} / (G + 1)$  (Gはトランジスタアレイ1002内のオン状態の選択トランジスタの数であり、Gはトランジスタアレイ1002内の選択トランジスタの総数であるM以下の整数)となる。相対デバイスチャンネルW/L比を変更することによる効果が当業者には分かるであろう。例えば、他の全ての要素が同じである状態で、トランジスタ1056のデバイスチャンネルW/L比のパーセント増/減は、それに対応して $I_{OFFSETP}$ の大きさのパーセント増/減を等しくもたらす。

40

#### 【0098】

図9に関連して前述したように、図示したチャージポンプ1000における移相量は、 $I_{OFFSETP}$ と $I_{OFFSETN}$ との差に360を掛けて $I_M$ で割ったものと等しい。先に定義した変数G及びHを代入して、移相量は $360 * (1 / (G + 1) - 1 / (H + 1))$ のように表わすことができることが分かる。このように、動作において、選択トランジスタ1006、1008及び1010の1つまたはそれ以上をオンまたはオフにすることで、チャージポンプ1000のソース部の $I_{OFFSETP}$ を増加または減少させることができる。選択トランジスタ1006、1008及び1010は、論理ロー信号をそれらのゲート1036、1040及び1042のそれぞれに、制御信号 $e_p[M:0]$ を介して印加することでオンになる。同様に、選択トランジスタ1020、1022及び1024の1つまたはそ

50

れ以上をオンまたはオフにすることで、チャージポンプ1000のシンク部の $I_{\text{OFFSETN}}$ を増加または減少させることができる。選択トランジスタ1020、1022及び1024は、論理ハイ信号をそれらのゲート1046、1048及び1050のそれぞれに、制御信号 $e_n[N:0]$ を介して印加することでオンになる。

#### 【0099】

当業者に分かるように、チャージポンプ1000を備えるシステムはまた、選択トランジスタ1006、1008、1010、1020、1022及び1024が導通または非導通となるように制御するイネーブル信号を供給するレジスタを有するメインコントローラを備えることができる。特に、そのようなメインコントローラのレジスタからのイネーブル信号のそれぞれは、ゲート1036、1040、1042、1046、1048及び1050の1つに印加されうる。

10

#### 【0100】

オフセット発生器はトランジスタ1060、1064、1058及び1054を備え、トランジスタ1060と1064のそれぞれに付加的なイネーブル信号 $e_n\_p$ 及び $e_n\_n$ が印加される。トランジスタアレイ1002にオン状態の選択トランジスタがない状況では、 $e_n\_p$ はイナクティブ論理レベル(図示した例では論理ハイ)に設定され、トランジスタ1018、1019及び1060は、較正オフセット電流からのずれの防止を確実にするのに役立つ。例えば、バイアストランジスタ1056のドレインが接続されるノードにおける電圧は、浮遊が不可能となっている。同様に、トランジスタアレイ1004にオン状態の選択トランジスタがない状況では、 $e_n\_n$ はイナクティブ論理レベル(図示した例では論理ロー)に設定され、トランジスタ1033、1034及び1064は、較正オフセット電流からのずれの防止を確実にするのに役立つ。例えば、バイアストランジスタ1052のドレインが接続されるノードにおける電圧は、浮遊が不可能となっている。

20

#### 【0101】

M及びNが1よりも大きい場合、チャージポンプ900の $V_{\text{CTRL}}$ ノードと比べて、いくつかのトランジスタがチャージポンプ1000の $V_{\text{CTRL}}$ ノードに直接接続されることが分かるであろう。その結果、チャージポンプ1000の $V_{\text{CTRL}}$ ノードは、チャージポンプ900に比べて容量負荷が少ない。また、チャージポンプ1000がPLLの設計に組み込まれた場合、当業者には分かるように、図示した抵抗器988などの抵抗器が一般的にキャパシタ340に対して直列に付加される。それとは対照的に、チャージポンプ1000がPLLの設計に組み込まれた場合には、抵抗器988は設けられないであろう。

30

#### 【0102】

移相量の微調整を行うためにチャージポンプ電流をスケールリングする数々の回路及び方法を説明し例示した。これらの回路及び方法は、当業者によって変更可能であることが明らかであり、それによりここで説明したチャージポンプ電流スケールリング回路及び方法と少なくともいくつかの重要な類似点を共有する他の回路及び方法を得ることができる。

#### 【0103】

例えば、PU及びPD制御信号の論理レベルに関係なく、オフセット電流が継続的にキャパシタ340にソース/追加され、及び/または、シンク/取り除かれるようにする回路をチャージポンプに組み込むことが可能である。いくつかの例では、そのような実装は、本開示で前述した実装よりもエネルギー効率が悪い。なお、図7及び図8に示す本発明の実施形態で例示したキャパシタ340は、ループフィルタの受動素子であってもよく、またはキャパシタ340はチャージポンプ700及び800の構成要素であってもよい。

40

#### 【0104】

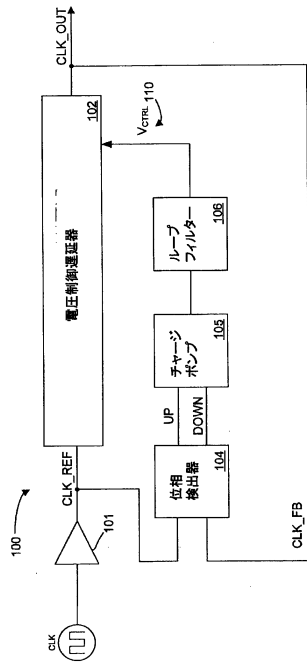
実施形態にかかる移相における調整は、例えばテスト/較正中に及び/または動的に行うことができることが分かるであろう。

#### 【0105】

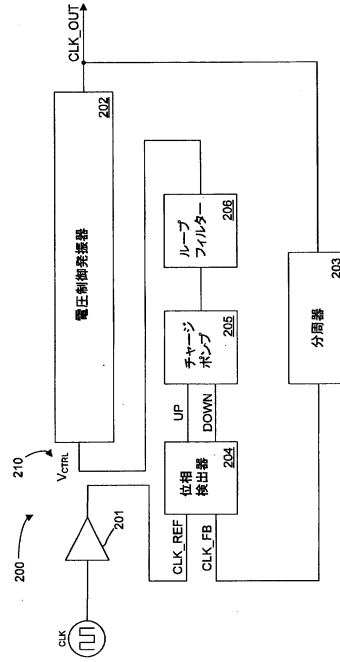
説明した実施形態のある程度の改造及び変更は可能である。従って、上記の実施形態は説明に役立つためのものであって、制限するものではないと考えられるべきである。

50

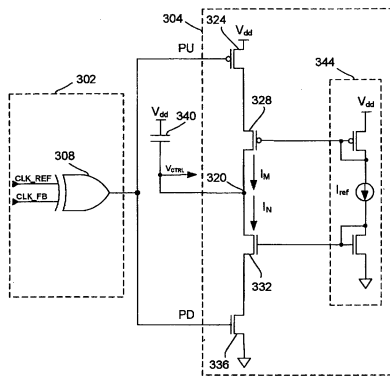
【図 1】



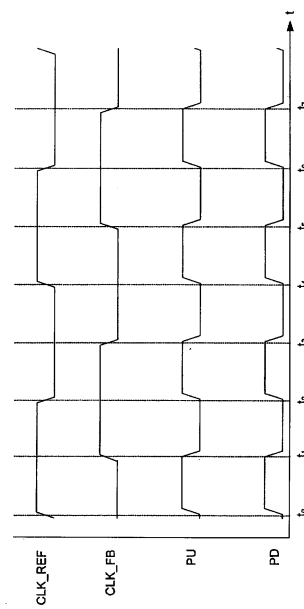
【図 2】



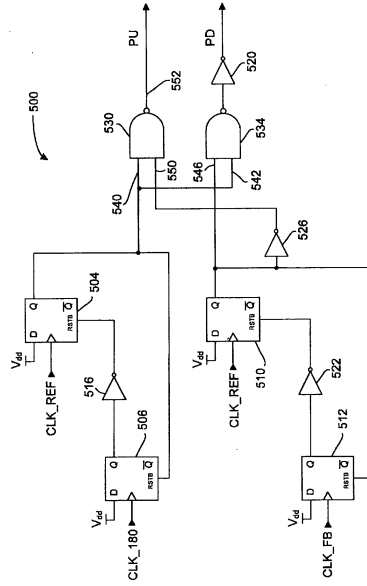
【図 3】



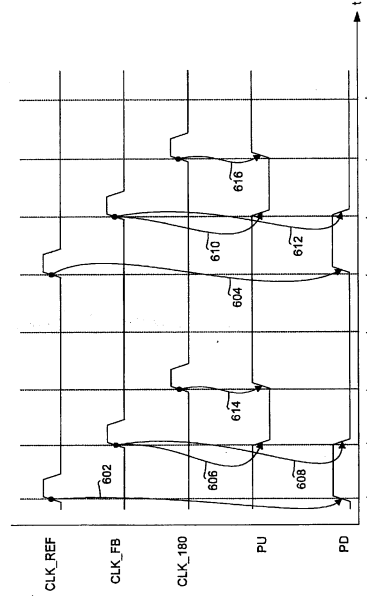
【図 4】



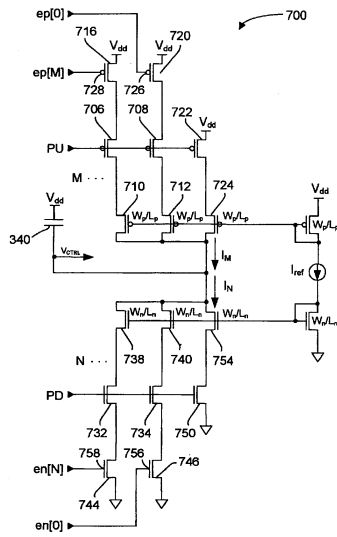
【 図 5 】



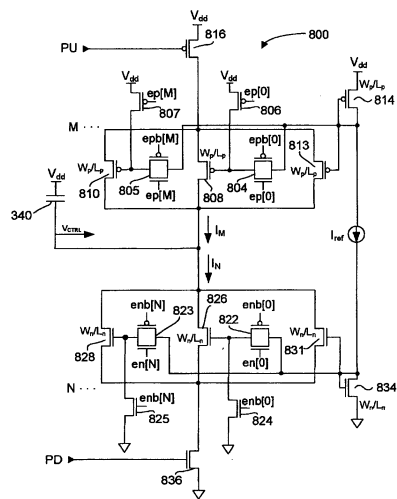
【 図 6 】



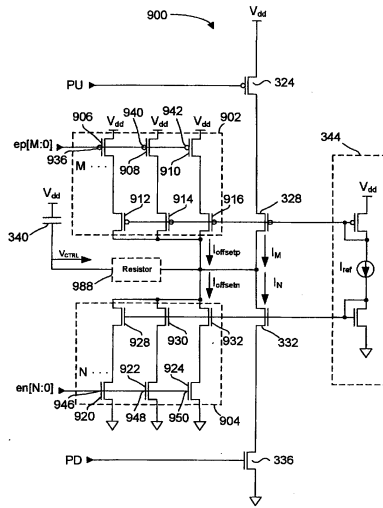
【 図 7 】



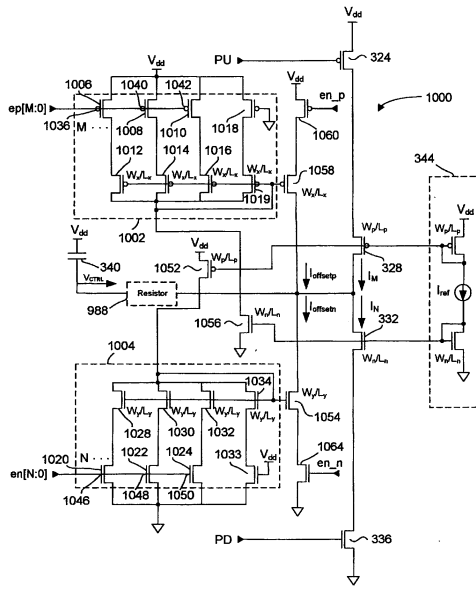
【 図 8 】



【図9】



【図10】



---

フロントページの続き

(72)発明者 ミラー、ブルース

カナダ、ケイ2エス 1ビー6 オンタリオ州、スティッツヴィレ、 ファーンバンク ロード、  
6066

審査官 畑中 博幸

(56)参考文献 特開平11-225069(JP,A)

特開平04-051717(JP,A)

特開2003-347935(JP,A)

特開2006-287641(JP,A)

特開平02-172070(JP,A)

特開平04-196922(JP,A)

特開平08-056155(JP,A)

特開2001-007699(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03L 7/093

H03L 7/081

H03K 5/13

H03K 5/26