

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5443324号
(P5443324)

(45) 発行日 平成26年3月19日(2014.3.19)

(24) 登録日 平成25年12月27日(2013.12.27)

(51) Int.Cl. F I
 HO 1 L 33/30 (2010.01) HO 1 L 33/00 1 8 4
 HO 1 S 5/343 (2006.01) HO 1 S 5/343
 HO 1 L 21/205 (2006.01) HO 1 L 21/205

請求項の数 7 (全 16 頁)

(21) 出願番号	特願2010-263448 (P2010-263448)	(73) 特許権者	000003078 株式会社東芝
(22) 出願日	平成22年11月26日(2010.11.26)		東京都港区芝浦一丁目1番1号
(65) 公開番号	特開2012-114328 (P2012-114328A)	(74) 代理人	100108062 弁理士 日向寺 雅彦
(43) 公開日	平成24年6月14日(2012.6.14)	(72) 発明者	塩田 倫也 東京都港区芝浦一丁目1番1号 株式会社東芝内
審査請求日	平成23年9月19日(2011.9.19)	(72) 発明者	吉田 学史 東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	橘 浩一 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

(54) 【発明の名称】 光半導体素子

(57) 【特許請求の範囲】

【請求項1】

n形半導体層と、
 p形半導体層と、
 前記n形半導体層と前記p形半導体層との間に設けられた機能部と、
 を備え、
 前記機能部は、前記n形半導体層から前記p形半導体層に向かう方向に積層された複数の活性層を含み、
 前記複数の活性層の少なくとも2つは、
 前記方向に交互に積層された複数の厚膜層と前記厚膜層よりも薄い複数の薄膜層とを含む多層積層体と、
 前記多層積層体と前記p形半導体層との間に設けられたn側障壁層と、
 前記n側障壁層と前記p形半導体層との間に設けられた井戸層と、
 前記井戸層と前記p形半導体層との間に設けられたp側障壁層と、
 を含み、
 前記薄膜層のバンドギャップエネルギーは、前記厚膜層のバンドギャップエネルギーよりも小さく、
 前記薄膜層のバンドギャップエネルギーは、前記n側障壁層のバンドギャップエネルギーよりも小さく、
 前記薄膜層のバンドギャップエネルギーは、前記p側障壁層のバンドギャップエネルギーよりも小さく、

10

20

ーよりも小さく、

前記 n 側障壁層において、前記厚膜層のバンドギャップエネルギー以上のバンドギャップエネルギーを有する領域が厚さ 3 ナノメートルよりも厚く連続し、

前記 p 側障壁層において、前記厚膜層のバンドギャップエネルギー以上のバンドギャップエネルギーを有する領域が厚さ 3 ナノメートルよりも厚く連続することを特徴とする光半導体素子。

【請求項 2】

前記薄膜層における In 組成比は、前記井戸層における In 組成比よりも低いことを特徴とする請求項 1 記載の光半導体素子。

【請求項 3】

前記薄膜層における In 組成比は、前記厚膜層における In 組成比よりも高いことを特徴とする請求項 1 または 2 記載の光半導体素子。

【請求項 4】

前記厚膜層は、GaN を含み、前記薄膜層は、InGaN を含む請求項 1 ~ 3 のいずれか 1 つに記載の光半導体素子。

【請求項 5】

前記機能部から放出される光のピーク波長は、410 ナノメートルよりも長いことを特徴とする請求項 1 ~ 4 のいずれか 1 つに記載の光半導体素子。

【請求項 6】

前記井戸層は、 $In_xGa_{1-x}N$ ($0.12 < x < 1$) を含むことを特徴とする請求項 1 ~ 5 のいずれか 1 つに記載の光半導体素子。

【請求項 7】

前記厚膜層の厚さは、前記 n 側障壁層の厚さ及び前記 p 側障壁層の厚さよりも薄いことを特徴とする請求項 1 ~ 6 のいずれか 1 つに記載の光半導体素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、光半導体素子に関する。

【背景技術】

【0002】

窒化物半導体を用いた半導体発光素子である発光ダイオード(LED)は、例えば、表示装置や照明などに用いられている。また、レーザダイオード(LD)は、例えば、高密度記憶ディスクへの読み書きのための光源などに用いられている。さらに、窒化物半導体を用いた受光素子も考えられる。

このような光半導体素子において、さらなる高効率化が求められている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2008 - 252096 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の実施形態は、高効率の光半導体素子を提供する。

【課題を解決するための手段】

【0005】

本発明の実施形態によれば、n 形半導体層と、p 形半導体層と、前記 n 形半導体層と前記 p 形半導体層との間に設けられた機能部と、を備えた光半導体素子が提供される。前記機能部は、前記 n 形半導体層から前記 p 形半導体層に向かう方向に積層された複数の活性層を含む。前記複数の活性層の少なくとも 2 つは、多層積層体と、n 側障壁層と、井戸層と、p 側障壁層と、を含む。前記多層積層体は、前記方向に交互に積層された複数の厚膜

10

20

30

40

50

層と前記厚膜層よりも薄い複数の薄膜層とを含む。前記 n 側障壁層は、前記多層積層体と前記 p 形半導体層との間に設けられる。前記井戸層は、前記 n 側障壁層と前記 p 形半導体層との間に設けられる。前記 p 側障壁層は、前記井戸層と前記 p 形半導体層との間に設けられる。前記薄膜層のバンドギャップエネルギーは、前記厚膜層のバンドギャップエネルギーよりも小さい。前記薄膜層のバンドギャップエネルギーは、前記 n 側障壁層のバンドギャップエネルギーよりも小さい。前記薄膜層のバンドギャップエネルギーは、前記 p 側障壁層のバンドギャップエネルギーよりも小さい。前記 n 側障壁層において、前記厚膜層のバンドギャップエネルギー以上のバンドギャップエネルギーを有する領域が厚さ 3 ナノメートルよりも厚く連続し、前記 p 側障壁層において、前記厚膜層のバンドギャップエネルギー以上のバンドギャップエネルギーを有する領域が厚さ 3 ナノメートルよりも厚く連続する。

10

【図面の簡単な説明】

【0006】

【図1】図1(a)及び図1(b)は、実施形態に係る光半導体素子を示す模式的断面図である。

【図2】実施形態に係る光半導体素子の一部を示す模式的断面図である。

【図3】図3(a)及び図3(b)は、参考例の光半導体素子を示す模式的断面図である。

【図4】光半導体素子の特性を示すグラフ図である。

【図5】図5(a)～図5(d)は、光半導体素子の蛍光顕微鏡像である。

20

【発明を実施するための形態】

【0007】

以下に、各実施の形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

【0008】

(実施の形態)

30

実施形態に係る光半導体素子は、例えば、LEDやLDなどの半導体発光素子に応用される。さらに、実施形態に係る光半導体素子は、受光素子に応用される。以下では、実施形態に係る光半導体素子が、半導体発光素子に応用される例について説明する。具体的には、実施形態に係る光半導体素子が、LEDである場合について説明する。

【0009】

図1(a)及び図1(b)は、実施形態に係る光半導体素子の構成を例示する模式的断面図である。

すなわち、図1(a)は、光半導体素子の構成の例を示している。図1(b)は、光半導体素子の一部の構成の例を示している。

図2は、実施形態に係る光半導体素子の一部の構成を例示する模式的断面図である。

40

【0010】

図1(a)に表したように、実施形態に係る光半導体素子110は、n形半導体層20と、p形半導体層40と、機能部30と、を備える。

機能部30は、n形半導体層20とp形半導体層40との間に設けられる。

光半導体素子110が、半導体発光素子である場合には、機能部30は、発光部となる。

【0011】

図1(b)に表したように、機能部30は、n形半導体層20からp形半導体層40に向かう方向に積層された複数の活性層EL(例えば第1活性層EL1、第2活性層EL2、第3活性層EL3及び第4活性層EL4など)を含む。すなわち、複数の活性層ELは

50

、第1活性層 EL_1 ～第 n 活性層 EL_n を含む。ここで、「 n 」は2以上の整数である。光半導体素子110が、半導体発光素子である場合には、活性層 EL は、発光層となる。

【0012】

この例では、活性層 EL は4つである。すなわち、この具体例では、「 n 」は4である。ただし、実施形態はこれに限らない。活性層 EL の数は2以上であり、任意である。

【0013】

第 $(i+1)$ 活性層 $EL(i+1)$ は、第 i 活性層 EL_i と p 形半導体層40との間に設けられる。ここで「 i 」は1以上の整数である。

【0014】

複数の活性層 EL の少なくとも2つは、多層積層体 SL と、 n 側障壁層 BN と、井戸層 WL と、 p 側障壁層 BP と、を含む。

10

【0015】

この例では、4つの活性層 EL のそれぞれが、多層積層体 SL と、 n 側障壁層 BN と、井戸層 WL と、 p 側障壁層 BP と、を含む。

4つの活性層 EL のそれぞれにおいて、多層積層体 SL は、 n 形半導体層20と p 形半導体層40との間に設けられる。 n 側障壁層 BN は、多層積層体 SL と p 形半導体層40との間に設けられる。井戸層 WL は、 n 側障壁層 BN と p 形半導体層40との間に設けられる。 p 側障壁層 BP は、井戸層 WL と p 形半導体層40との間に設けられる。

【0016】

すなわち、第1活性層 EL_1 において、第1多層積層体 SL_1 は、 n 形半導体層20と p 形半導体層40との間に設けられる。第1 n 側障壁層 BN_1 は、第1多層積層体 SL_1 と p 形半導体層40との間に設けられる。第1井戸層 WL_1 は、第1 n 側障壁層 BN_1 と p 形半導体層40との間に設けられる。第1 p 側障壁層 BP_1 は、第1井戸層 WL_1 と p 形半導体層40との間に設けられる。

20

【0017】

このように、任意の i (i は1以上の整数)において、第 i 活性層 EL_i において、第 i 多層積層体 SL_i は、 n 形半導体層20と p 形半導体層40との間に設けられる。第 i n 側障壁層 BN_i は、第 i 多層積層体 SL_i と p 形半導体層40との間に設けられる。第 i 井戸層 WL_i は、第 i n 側障壁層 BN_i と p 形半導体層40との間に設けられる。第 i p 側障壁層 BP_i は、第 i 井戸層 WL_i と p 形半導体層40との間に設けられる。

30

【0018】

このように、光半導体素子110の機能部30においては、複数の活性層 EL が設けられる。すなわち、複数の井戸層 WL が設けられる。すなわち、機能部30は、多重量子井戸(MQW: Multiple Quantum Well)構造を有している。

【0019】

ここで、 n 形半導体層20から p 形半導体層40に向かう方向を Z 軸方向(積層方向)とする。

【0020】

図2に表したように、多層積層体 SL のそれぞれは、 Z 軸方向に交互に積層された複数の厚膜層 SA と複数の薄膜層 SB とを含む。薄膜層 SB は、厚膜層 SA の厚さよりも薄い厚さを有する。薄膜層 SB は、厚膜層 SA の組成とは異なる組成を有する。

40

【0021】

例えば、複数の薄膜層 SB は、第1薄膜層 SB_1 ～第 m 薄膜層 SB_m を含む。ここで、「 m 」は2以上の整数である。ここで、第 $(i+1)$ 薄膜層 $SB(i+1)$ は、第 i 薄膜層 SB_i と p 形半導体層40との間に設けられる。

【0022】

複数の厚膜層 SA は、第1厚膜層 SA_1 ～第 m 厚膜層 SA_m を含む。ここで、第 $(i+1)$ 厚膜層 $SA(i+1)$ は、第 i 厚膜層 SA_i と p 形半導体層40との間に設けられる。さらに、複数の厚膜層 SA は、第 $(m+1)$ 厚膜層 $SA(m+1)$ をさらに含んでも良い。第 $(m+1)$ 厚膜層 $SA(m+1)$ は、複数の厚膜層 SA のうちで、最も p 形半導体

50

層40に近い層である。第 $(m+1)$ 厚膜層SA $(m+1)$ は、p側厚膜層SA p である。

第 i 厚膜層SA i と第 $(i+1)$ 厚膜層SA $(i+1)$ との間に第 i 薄膜層SB i が設けられる。

【0023】

本具体例では、薄膜層SBの数である「 m 」は4である。そして、厚膜層SAの数は $m+1$ であり、5である。ただし、実施形態はこれに限らず、「 m 」は2以上の任意の整数である。

【0024】

多層積層体SLは、例えば超格子構造を有することができる。

10

【0025】

厚膜層SAの厚さは、3ナノメートル(nm)以下に設定される。さらに具体的には、厚膜層SAの厚さは、1.0nm以上3nm以下である。薄膜層SBの厚さは、厚膜層SAの厚さよりも薄く、かつ、1.5nm未満である。これにより、多層積層体SLは、超格子構造を有することができる。

【0026】

多層積層体SLは、窒化物半導体を含むことができる。

具体的には、例えば、厚膜層SAはGaNを含む。薄膜層SBは、InGaNを含む。

厚膜層SAには、例えば実質的にInを含まないGaN層が用いられる。薄膜層SBには、例えばIn $_{0.08}$ Ga $_{0.92}$ N層が用いられる。薄膜層SBにおけるIn濃度は、これに限らず、良好な結晶品質が得られる範囲で任意である。

20

例えば、薄膜層SBの組成を有するバルク構造におけるバンドギャップエネルギーは、複数の厚膜層SAの組成を有するバルク構造におけるバンドギャップエネルギーよりも小さい。

【0027】

このように、本実施形態に係る光半導体素子110においては、機能部30がMQW構造を有しており、MQWに含まれるそれぞれの層(活性層EL)に多層積層体SLが設けられている。これにより、高効率の光半導体素子が得られる。

【0028】

後述するように、実施形態に係る光半導体素子110は、n形半導体層20の上に機能部30が形成され、機能部30の上にp形半導体層40が形成される。そして、機能部30の形成においては、多層積層体SLが形成され、多層積層体SLの上にn側障壁層BNが形成される。n側障壁層BNの上に井戸層WLが形成され、井戸層WLの上にp側障壁層BPが形成される。このようにして、1つの活性層ELが形成される。そして、この活性層ELが複数積層される。

30

【0029】

このように、本実施形態においては、n側障壁層BN/井戸層WL/p側障壁層BPの構成のそれぞれの下に多層積層体SLが設けられる。このため、複数の井戸層WLのそれぞれは、それぞれの直下の多層積層体SLのモフォロジを引き継いで成長する。このため、複数の井戸層WLの特性は均一化される。

40

【0030】

例えば、n形半導体層20の上に多層積層体(超格子層)を形成し、その上に超格子層を含まないMQWを形成する構成が考えられる。この構成においては、MQWの中で多層積層体に近い井戸層WLにおいては、多層積層体のモフォロジの影響が大きい。p形半導体層40に近い井戸層WLにおいては、多層積層体のモフォロジの影響が小さくなる。

【0031】

これに対し、本実施形態においては、複数の井戸層WLのそれぞれの直下に多層積層体SLが設けられるため、複数の井戸層WLの特性が適正化され、そして、均一化される。これにより、発光効率が向上する。すなわち、高効率で高輝度の光半導体素子が得られる。

50

【0032】

実施形態において、厚膜層SAの厚さは、n側障壁層BNの厚さ及びp側障壁層BPの厚さよりも薄い。具体的には、n側障壁層BNの厚さ及びp側障壁層BPの厚さは、3nmよりも厚い。

【0033】

これにより、井戸層WLのそれぞれにおいて、n側障壁層BNとp側障壁層BPとにより、キャリアの良好な閉じ込め効果が得られる。これにより、さらに発光効率が向上する。すなわち、さらに高効率でさらに高輝度の光半導体素子が得られる。

【0034】

n形半導体層20、p形半導体層40及び機能部30は、窒化物半導体を含む。

10

機能部30の活性層ELに含まれる井戸層WL、n側障壁層BN及びp側障壁層BPは、窒化物半導体を含む。

【0035】

井戸層WLは、例えば、InGaNを含む。そして、n側障壁層BN及びp側障壁層BPは、GaNを含む。すなわち、井戸層WLに含まれるInの濃度は、n側障壁層BN及びp側障壁層BPに含まれるInの濃度よりも高い。また、n側障壁層BN及びp側障壁層BPの少なくとも一部にAlが含まれていてもよい。

【0036】

すなわち、井戸層WLのバンドギャップエネルギーは、n側障壁層BNのバンドギャップエネルギーよりも小さく、p側障壁層BPのバンドギャップエネルギーよりも小さい。これにより、キャリアが井戸層WLに効率的に閉じ込められる。

20

【0037】

井戸層WLは、例えば、 $In_xGa_{1-x}N$ ($0.12 < x < 1$) を含む。このとき、機能部30から放出される光のピーク波長は、例えば、440nm以上650nm以下である。例えば、井戸層WLには、例えば $In_{0.2}Ga_{0.8}N$ 層が用いられる。このとき、機能部30から放出される光のピーク波長は、約520nmである。

なお、後述するように、実施形態はこれに限らずピーク波長は任意である。そして、井戸層WLにおけるIn濃度は任意である。

【0038】

図1に表したように、例えば、n形半導体層20は、下地層21と、n側コンタクト層22と、を含むことができる。n側コンタクト層22は、下地層21と機能部30との間に設けられる。下地層21には、例えばGaN層が用いられる。n側コンタクト層22には、n形の不純物を含むGaN層が用いられる。n形不純物として、例えばSi(シリコン)が用いられる。

30

【0039】

p形半導体層40には、例えば、p形AlGaN層(例えば電子オーバーフロー抑制層として機能する)と、p形GaN層と、の積層膜を用いることができる。p形GaN層は、コンタクト層として機能する。p形不純物として、例えばMg(マグネシウム)が用いられる。

【0040】

40

このように、n形半導体層20、機能部30及びp形半導体層40を含む積層構造体10sが設けられている。本具体例では、積層構造体10sの第1主面10aの側の一部が選択的に除去されている。これにより、第1主面10aの側にn形半導体層20の一部が露出している。この露出している部分にn側電極70が設けられている。n側電極70は、n形半導体層20に接する。実施形態はこれに限らず、n側電極70は、n形半導体層20の第2主面10bの側に設けられても良い。n側電極70としては、例えば、チタン-白金-金(Ti/Pt/Au)の複合膜が用いられる。

【0041】

p側電極80は、p形半導体層40に接する。p側電極80には、例えば、酸化インジウムスズ(ITO)などが用いられる。また、p側電極80には、ニッケル-金(Ni/

50

Au)などの複合膜を用いることができる。

【0042】

光半導体素子110は、さらに、基板10と、バッファ層11と、を備えている。基板10及びバッファ層11は、必要に応じて設けられ、省略しても良い。

【0043】

基板10には、例えばサファイアが用いられる。例えば、基板10には、サファイア(0001)基板が用いられる。さらに、基板10には、Si基板、SiC基板またはGaN基板を用いても良い。また、サファイア基板において、(0001)以外の面の基板を用いても良い。基板10の上にバッファ層11が形成される。バッファ層11には、例えばGaN層が用いられる。バッファ層11の上に、n形半導体層20、機能部30及びp形半導体層40が順次形成される。バッファ層11の上に上記の半導体層を形成した後に、基板10を除去しても良い。

10

【0044】

図3(a)及び図3(b)は、参考例の光半導体素子の構成を例示する模式的断面図である。

図3(a)に表したように、第1参考例の光半導体素子119aにおいては、多層積層体SLが設けられていない。これ以外は、光半導体素子110と同様なので説明を省略する。

【0045】

図3(b)に表したように、第2参考例の光半導体素子119bにおいては、活性層ELのそれぞれにおいて、多層積層体SLが設けられていない。そして、n形半導体層20と機能部30との間に多層積層体SLが設けられている。そして多層積層体SLにおける薄膜層SBの数は20である。すなわち、多層積層体SLにおいて、第1薄膜層SB1～第m薄膜層SBmが設けられ、第1厚膜層SA1～第(m+1)厚膜層SA(m+1)が設けられ、「m」は20である。これ以外は、光半導体素子110と同様なので説明を省略する。

20

【0046】

以下、光半導体素子110、光半導体素子119a及び光半導体素子119bの特性に関して説明する。まず、これらの光半導体素子110の作製条件について説明する。

【0047】

まず、サファイア(0001)の基板10を、サセプタ温度が1100で、サーマルクリーニングを行った。次に、サセプタ温度を500に下げ、基板10上に、バッファ層11となるGaN層を成長させた。次に、サセプタ温度を1120まで昇温した後に、下地層21となるGaN層を成長させた。さらに、n形不純物原料を導入し、n側コンタクト層22を形成した。

30

【0048】

その後、キャリアガスをH₂からN₂に変え、サセプタ温度を810まで下げた。そして、厚さが3nmのGaN層と、厚さが1nmのIn_{0.08}Ga_{0.92}N層と、を交互に形成した。このGaN層が厚膜層SAとなる。このIn_{0.08}Ga_{0.92}N層が薄膜層SBとなる。このGaN層の数は5層であり、In_{0.08}Ga_{0.92}N層の数は4層である。これにより多層積層体SLが形成される。

40

【0049】

次に、厚さが4nmのGaN層を成長した。このGaN層が、n側障壁層BNとなる。このGaN層には、結晶品質を劣化させない程度に、AlやInが含まれていても良い。

【0050】

次に、厚さが3nmのIn_{0.20}Ga_{0.80}N層を形成した。このIn_{0.20}Ga_{0.80}N層が井戸層WLとなる。さらに、厚さが4nmのGaN層を形成した。このGaN層が、p側障壁層BPとなる。

【0051】

上記の多層積層体SL、n側障壁層BN、井戸層WL、p側障壁層BPの成長が、1つ

50

の活性層 E L の形成に相当する。活性層 E L の形成を合計で 4 周期実施した。これにより、機能部 3 0 が形成される。

【 0 0 5 2 】

この後、機能部 3 0 の上に、p 形半導体層 4 0 を形成し、結晶成長工程が終了する。n 側電極 7 0 及び p 側電極 8 0 を形成し、実施形態に係る光半導体素子 1 1 0 が得られた。

【 0 0 5 3 】

一方、第 1 参考例の光半導体素子 1 1 9 a においては、n 形半導体層 2 0 を形成した後、多層積層体 S L を形成せず、n 側障壁層 B N、井戸層 W L 及び p 側障壁層 B P の成長を 4 周期実施した。これにより、機能部 3 0 が形成される。この他は、光半導体素子 1 1 0 と同様である。

【 0 0 5 4 】

第 2 参考例の光半導体素子においては、n 形半導体層 2 0 を形成した後に、2 0 層の多層積層体 S L を形成した。すなわち、厚さが 3 nm の Ga N 層と、厚さが 1 nm の In_{0.08}Ga_{0.92}N 層と、を交互に形成した。この Ga N 層が厚膜層 S A となる。この In_{0.08}Ga_{0.92}N 層が薄膜層 S B となる。この Ga N 層の数は 2 1 層であり、In_{0.08}Ga_{0.92}N 層の数は 2 0 層である。これにより多層積層体 S L が形成される。その後、n 側障壁層 B N、井戸層 W L 及び p 側障壁層 B P の成長を 4 周期実施した。これにより、機能部 3 0 が形成される。この他は、光半導体素子 1 1 0 と同様である。

これらの光半導体素子についてフォトルミネッセンス測定を行った。

【 0 0 5 5 】

図 4 は、光半導体素子の特性を例示するグラフ図である。

すなわち、同図は、これらの光半導体素子のフォトルミネッセンス測定の結果を示している。横軸は波長 (nm) であり、縦軸は、フォトルミネッセンス強度 P L I (相対値) である。

【 0 0 5 6 】

図 4 に表したように、多層積層体 S L を設けない第 1 参考例の光半導体素子 1 1 9 a においては、フォトルミネッセンス強度 P L I のピーク値は、0 . 6 7 であり、著しく低い。2 0 周期の多層積層体 S L を n 形半導体層 2 0 と機能部 3 0 の間に 1 つ設けた第 2 参考例の光半導体素子 1 1 9 b においては、フォトルミネッセンス強度 P L I のピーク値は、2 . 1 8 あり、やはり低い。

【 0 0 5 7 】

これに対し、4 周期の多層積層体 S L を活性層 E L のそれぞれに設けた実施形態に係る光半導体素子 1 1 0 においては、フォトルミネッセンス強度 P L I のピーク値は、5 . 7 5 である。すなわち、光半導体素子 1 1 0 においては、第 1 参考例に対して 8 . 6 倍、第 2 参考例に対して 2 . 6 倍の強さの発光を得ることができる。

このように、実施形態によれば、高輝度の光半導体素子が得られる。

【 0 0 5 8 】

さらに、第 1 参考例において、薄膜層 S B の数は 2 0 層である。これに対し、実施形態に係る光半導体素子 1 1 0 においては薄膜層 S B の合計の数は 1 6 層 (1 つに多層構造体 S L について 4 周期であり、多層構造体 S L を含む活性層 E L が 4 周期) である。このように、実施形態においては、薄膜層 S B 及び厚膜層 S A の層数の合計が低減しているにもかかわらず、高輝度化がなされている。

このように、実施形態によれば、総数の合計及び膜厚の合計を低減しているにも係わらず、高輝度の光半導体素子が得られる。

このように、実施形態によれば、高効率な光半導体素子が提供できる。

【 0 0 5 9 】

発明者は、これらの光半導体素子の特性の違いに関して解析を行った。解析の 1 つとして、蛍光顕微鏡による半導体層の表面の発光パターンを観察を行った。この解析においては、参考として、多層積層体 S L を形成し、障壁層、井戸層及び p 形半導体層の形成を行わない試料 (試料 1 1 9 c) も評価した。

10

20

30

40

50

【 0 0 6 0 】

図 5 (a) ~ 図 5 (d) は、光半導体素子の蛍光顕微鏡像である。

図 5 (a) ~ 図 5 (d) は、それぞれ、光半導体素子 1 1 0、光半導体素子 1 1 9 a、光半導体素子 1 1 9 b 及び試料 1 1 9 c にそれぞれ対応する。

【 0 0 6 1 】

図 5 (d) に表したように、多層積層体 S L のみの試料 1 1 9 c においては、蛍光顕微鏡像における発光において、異方性を有する特徴的なパターンが観察された。このパターンは、窒化物半導体の六方晶の構造に対応する。

【 0 0 6 2 】

図 5 (a) に表したように、実施形態に係る光半導体素子 1 1 0 においては、発光が異方性パターンを有している。すなわち、蛍光顕微鏡像において、明るい部分と暗い部分とが存在し、これらの部分が異方性を持った葉脈状に分布している。このように、機能部 3 0 から放出される発光を積層方向に沿って観察した蛍光顕微鏡観察像は、光強度の異方性パターンを有している。この異方性パターンは、活性層 E L のそれぞれに設けられた多層積層体 S L の影響を受けたものであると考えられる。すなわち、実施形態においては、活性層 E L のそれぞれに多層積層体 S L が設けられているため、障壁層及び井戸層の結晶は、多層積層体 S L のモフォロジの影響を強く受けると考えられる。このため、実施形態においては、蛍光顕微鏡像の発光の異方性が大きく、異方性パターンが明確に観察される。

10

【 0 0 6 3 】

図 5 (b) に表したように、多層積層体 S L を設けない第 1 参考例の光半導体素子 1 1 9 a においては、等方的な発光パターンが観察された。すなわち、この場合の発光パターンは、結晶の方位を反映していない。

20

【 0 0 6 4 】

図 5 (c) に表したように、1つの多層積層体 S L を設けた第 2 参考例の光半導体素子 1 1 9 b においては、発光パターンは、弱い異方性を有していた。図 5 (d) に例示した多層積層体 S L のみ試料 1 1 9 c では、発光パターンの異方性がはっきりと観察されるのに対し、その上に M Q W を形成することで異方性が著しく低下する。このことから、M Q W を結晶成長するうちに、結晶の異方性が低下し、等方的に近づくと考えられる。

【 0 0 6 5 】

一方、実施形態に係る光半導体素子 1 1 0 においては、多層積層体 S L のそれぞれの上に 1 つの井戸構造が設けられる。そして、この場合は、発光パターンの異方性が高い。

30

【 0 0 6 6 】

多層積層体 S L のモフォロジは、その上に形成される M Q W の成長によって乱され、井戸層の数が増すにつれてモフォロジの反映の程度が低くなると考えられる。このため、例えば、第 2 参考例の光半導体素子 1 1 9 b においては、多層積層体 S L に近い井戸層 W L における結晶特性と、p 形半導体層 4 0 に近い井戸層 W L における結晶特性と、が互いに異なると考えられる。光半導体素子 1 1 9 b においては、M Q W の層どうしで発光パターンが異なり、井戸層 W L の発光特性は、M Q W の層どうしで不均一であると考えられる。

【 0 0 6 7 】

実施形態においては、M Q W のそれぞれに多層積層体 S L が設けられるため、複数の井戸層 W L の特性は均一化される。

40

【 0 0 6 8 】

機能部 3 0 の成長中に、I n を含む井戸層 W L の結晶には歪みを与えられる。このとき、結晶成長中の最表面の井戸層 W L には大きな歪みが発生すると考えられるが、この上にさらに G a N 層を形成すると、歪みは、層全体で平均化されると考えられる。

【 0 0 6 9 】

第 2 参考例の光半導体素子 1 1 9 b においては、多層積層体 S L に近い井戸層 W L では、大きな歪みを与えられるが、多層積層体 S L から離れるに従って、井戸層 W L における歪みは小さくなると考えられる。例えば、最上層の井戸層 W L には、多層積層体 S L の効果が伝わり難い。

50

【0070】

第2参考例のように、MQW構造の下地のGaN層の格子定数と、MQW構造の井戸層となるInGaN層の格子定数と、の差に基づく転位を抑制するために、MQW構造の下に超格子層を挿入することが考えられる。一方、高輝度で高効率な発光を得るために、MQW構造の層数が増やされる。しかしながら、MQW構造の層数を増やすと超格子の効果が弱まる。また、MQW構造において、井戸層WLの特性がMQW構造の層間で異なってしまうと、結果として、効率が十分向上できない。

【0071】

これに対し、実施形態に係る光半導体素子110においては、複数の井戸層WLのそれぞれに、それぞれの直下の多層積層体SLから、歪みが安定して与えられる。すなわち、それぞれの活性層ELにおいて、例えば多層積層体SLによって結晶の歪みを適正化する。そして、その上にn側障壁層BNを形成し、その上に井戸層WLを形成することで、井戸層WLは多層積層体SLに対してコヒーレントに形成することができると考えられる。そして、この構成が、複数の活性層ELにおいて均一に適用される。

10

【0072】

参考例として、井戸層及び障壁層の少なくともいずれかが、超格子構造を有する構成が考えられる。この場合、360nm~410nmの波長範囲の近紫外線を放出する構成であり、超格子構造に含まれる層のそれぞれの厚さは2nm以下に設定される。

【0073】

これに対し、実施形態においては、1つの活性層ELの中に、多層積層体SLが設けられ、それとは別にn側障壁層BN、井戸層WL及びp側障壁層BPが設けられる。すなわち、それぞれの層の機能が分離されている。このため、多層積層体SL、障壁層及び井戸層WLのそれぞれの層の設計を最適化できる。さらに、それぞれの層を最適化した条件で形成できる。これにより、高い特性が得られる。

20

【0074】

実施形態に係る光半導体素子110においては、例えば、障壁層が2段階の温度で成長される。例えば、n側障壁層BNの一部の層は高温(例えば850)で成長され、n側障壁層BNの他の一部の層は低温(例えば730)で成長される。そして、井戸層WLが低温(例えば730)で成長される。さらに、p側障壁層BPの一部の層が低温(例えば730)で成長され、p側障壁層BPの他の一部の層が高温(例えば850)で成長される。

30

【0075】

すなわち、実施形態は、n形半導体層と、p形半導体層と、前記n形半導体層と前記p形半導体層との間に設けられた機能部と、を備えた光半導体素子の製造方法を含む。前記機能部は、前記n形半導体層から前記p形半導体層に向かう方向に積層された複数の活性層を含む。前記複数の活性層の少なくとも2つは、前記方向に交互に積層された複数の厚膜層と前記厚膜層よりも薄い複数の薄膜層とを含む多層積層体と、前記多層積層体と前記p形半導体層との間に設けられたn側障壁層と、前記n側障壁層と前記p形半導体層との間に設けられた井戸層と、前記井戸層と前記p形半導体層との間に設けられたp側障壁層と、を含む。

40

【0076】

本製造方法は、前記多層構造体の上に、前記n側障壁層の一部を第1温度で形成し、前記第1部分の上に、前記n側障壁層の別の一部を前記第1温度よりも低い第2温度で形成し、前記第2部分の上に、前記井戸層を前記第1温度よりも低い第3温度で形成することを含む。

【0077】

さらに、本製造方法は、前記井戸層の上に、前記p側障壁層の一部を前記第1温度よりも低い第4温度で形成し、前記第3部分の上に、前記p側障壁層の別の一部を前記第4温度よりも高い第5温度で形成することを含むことができる。

【0078】

50

例えば、第1温度は850 であり、第2温度は730 であり、第3温度は730 であり、第4温度は730 であり、第5温度は850 である。すなわち、第2温度は、第1温度よりも50 以上低い。そして、第5温度は、第4温度よりも50 以上高い。このように、本製造方法では、障壁層が2つの温度によって形成される。なお、第2温度、第3温度及び第4温度は実質的に同じ温度であることが望ましい。これにより、温度の変更に要する時間が省略でき、生産性が向上する。

【0079】

これにより、複数の活性層ELのそれぞれにおいて、結晶成長の際の表面に予め圧縮歪みが印加される。これにより、結晶表面の平坦性の劣化を最小限に抑えながら、格子の一部を緩和し、障壁層と井戸層WLとの実質的な格子定数差を低減する。これにより、高い結晶品質の井戸層WLが得られる。

10

【0080】

本実施形態において、多層積層体SLとn側障壁層BNとは接触し、n側障壁層BNと井戸層WLとは接触し、井戸層WLとp側障壁層BPとは接触していることが望ましい。すなわち、複数の活性層ELのうちの1つにおいて、n側障壁層BNは多層積層体SLに接し、井戸層WLはn側障壁層BNに接し、p側障壁層BPは井戸層WLに接することが望ましい。これらの層が互いに接触することで、多層積層体SLにおけるモフォロジが例えば井戸層WLに効率的に伝達される。ただし、実施形態はこれに限らず、これらの間に、モフォロジの伝達を実質的に低下させない層が挿入されても良い。

【0081】

20

なお、1つの多層積層体SLをn形半導体層20と機能部30との間に設けた光半導体素子119bにおいては、多層積層体SLにおける厚膜層SA及び薄膜層SBのそれぞれ数は、例えば10層～30層に設定されることが多い。

【0082】

これに対し、活性層ELのそれぞれに多層積層体SLを設ける実施形態においては、多層積層体SLにおける厚膜層SA及び薄膜層SBのそれぞれの数は、少なくとも良い。多層積層体SLにおける厚膜層SA及び薄膜層SBのそれぞれの数は、例えば、2以上6以下程度とされる。

【0083】

薄膜層SBの数は、4以上であることが望ましい。これにより、多層積層体SLの構造が安定化し、多層積層体SLの表面モフォロジが安定化し易い。これにより高い発光効率を得られる。

30

【0084】

複数の活性層ELの数は3以上であることが望ましい。これにより高い発光効率を得易くなる。

【0085】

実施形態において、複数の活性層ELの全てにおいて、多層積層体SLを設けなくても良い。すなわち、例えば多層積層体SLのモフォロジが実質的に伝達される数の障壁層及び井戸層の組を形成し、その間において多層積層体SLは省略しても良い。例えば、活性層ELが4つ設けられる場合において、第1活性層EL1(n形半導体層20に近い側)及び第3活性層EL3に多層積層体SLをそれぞれ設け、第2活性層EL2及び第4活性層EL4に多層積層体SLを設けなくても良い。

40

【0086】

ただし、複数の活性層ELのそれぞれが多層積層体SLを含むことが、より望ましい。すなわち、複数の活性層ELのそれぞれは、多層積層体SLと、n側障壁層BNと、井戸層WLと、p側障壁層BPと、を含むことが望ましい。これにより、活性層ELの特性がより均一化する。これにより、より高い発光効率を得られる。

【0087】

既に説明したように、実施形態において、n側障壁層BNの厚さ及びp側障壁層BPの厚さは、3nmよりも厚く設定される。この厚さが3nm以下の場合には、井戸層WLと隣

50

接する多層構造体SLとが、結合量子井戸として作用してしまい、意図しない波長変化を起こしたり、キャリアの閉じ込め効果を小さくしてしまう。このため、内部量子効率が低下し、発光効率が低下する。この厚さを3nmよりも厚くすることで、高い発光効率を得られる。

【0088】

そして、n側障壁層BNの厚さ及びp側障壁層BPの厚さは、10nmよりも薄く設定される。n側障壁層BNの厚さ及びp側障壁層BPの厚さが10nm以上になると、歪みの蓄積効果が小さくなり、発光効率が低下し易い。この厚さを10nmよりも薄くすることで、高い発光効率を得られる。

なお、光半導体素子に含まれる各層の厚さは、例えば透過電子顕微鏡像を解析することで得られる。

10

【0089】

本実施形態は、井戸層WLにおけるIn濃度が高く、歪みが大きい場合に特に大きな効果を発揮する。

【0090】

機能部30から放出される光のピーク波長は、例えば、500nm以上650nm以下である。この場合に、複数の井戸層WLの特性の均一化の効果がより大きい。このとき、複数の活性層の数は3以上10以下に設定されることが望ましい。これにより、効率がより高くできる。

【0091】

20

実施形態において、機能部30から放出される光のピーク波長は、410nmよりも長く500nm未満に設定することができる。この場合に、複数の井戸層WLの特性の均一化の効果が大きい。このとき、活性層ELの数は4以上に設定されることが望ましい。これにより、効率がより高くできる。

【0092】

実施形態に係る光半導体素子110における各半導体層の成長方法には、例えば、有機金属気相堆積(Metal-Organic Chemical Vapor Deposition: MOCVD)法、及び、有機金属気相成長(Metal-Organic Vapor Phase Epitaxy)法などを用いることができる。

【0093】

各半導体層の形成の際の原料には、以下を用いることができる。

30

Gaの原料として、例えば、TMGa(トリメチルガリウム)及びTEGa(トリエチルガリウム)などを用いることができる。Inの原料として、例えば、TMIn(トリメチルインジウム)及びTEIn(トリエチルインジウム)などを用いることができる。Alの原料として、例えば、TMAl(トリメチルアルミニウム)などを用いることができる。Nの原料として、例えば、NH₃(アンモニア)、MMHy(モノメチルヒドラジン)及びDMHy(ジメチルヒドラジン)などを用いることができる。Siの原料として、例えば、SiH₄(モノシラン)などを用いることができる。Mgの原料として、例えば、Cp₂Mg(ビスシクロペンタジエニルマグネシウム)などを用いることができる。

【0094】

既に説明したように、実施形態に係る光半導体素子は、受光素子にも応用される。実施形態に係る半導体受光素子は、効率が向上することで、高感度の光検出が可能になる。

40

【0095】

実施形態によれば、高効率の光半導体素子が提供される。

【0096】

なお、本明細書において「窒化物半導体」とは、 $B_x In_y Al_z Ga_{1-x-y-z} N$ ($0 < x < 1, 0 < y < 1, 0 < z < 1, x + y + z < 1$)なる化学式において組成比x、y及びzをそれぞれの範囲内で変化させた全ての組成の半導体を含むものとする。またさらに、上記化学式において、N(窒素)以外のV族元素もさらに含むもの、導電型などの各種の物性を制御するために添加される各種の元素をさらに含むもの、及び、意図せずに含まれる各種の元素をさらに含むものも、「窒化物半導体」に含まれるものとする。

50

【0097】

なお、本願明細書において、「垂直」及び「平行」は、厳密な垂直及び厳密な平行だけではなく、例えば製造工程におけるばらつきなどを含むものであり、実質的に垂直及び実質的に平行であれば良い。

【0098】

以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明の実施形態は、これらの具体例に限定されるものではない。例えば、光半導体素子に含まれるn形半導体層、p形半導体層、活性層及び電極などの各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

10

また、各具体例のいずれか2つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

【0099】

その他、本発明の実施の形態として上述した光半導体素子を基にして、当業者が適宜設計変更して実施し得る全ての光半導体素子も、本発明の要旨を包含する限り、本発明の範囲に属する。

【0100】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

20

【0101】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

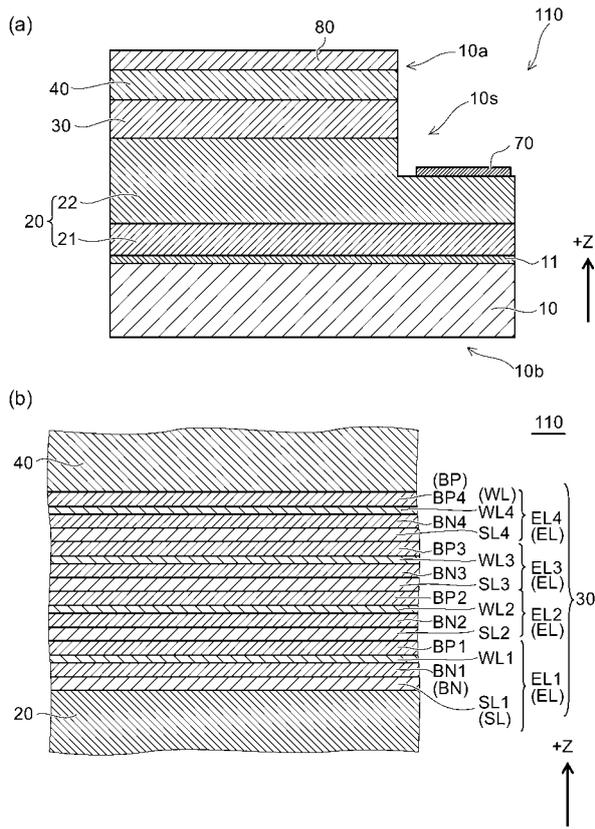
【0102】

10...基板、 10a...第1主面、 10b...第2主面、 10s...積層構造体、 11...バッファ層、 20...n形半導体層、 21...下地層、 22...n側コンタクト層、 30...機能部、 40...p形半導体層、 70...n側電極、 80...p側電極、 110、 119a、 119b...光半導体素子、 119c...試料、 BN...n側障壁層、 BN1~BNi...第1~第in側障壁層、 BP...p側障壁層、 BP1~BPi...第1~第ip側障壁層、 EL...活性層、 EL1~ELn、 ELi...第1~第n活性層、第i活性層、 PLI...フォトルミネッセンス強度、 SA...厚膜層、 SA1~SAm、 SA(m+1)、 Sai...第1~第m厚膜層、第(m+1)厚膜層、第i厚膜層、 Sap...p側厚膜層、 SB...薄膜層、 SB1~SBm、 SBi...第1~第m薄膜層、第i薄膜層、 SL...多層積層体、 SL1~SLi...第1~第i多層積層体、 WL...井戸層、 WL1~WLi...第1~第i井戸層

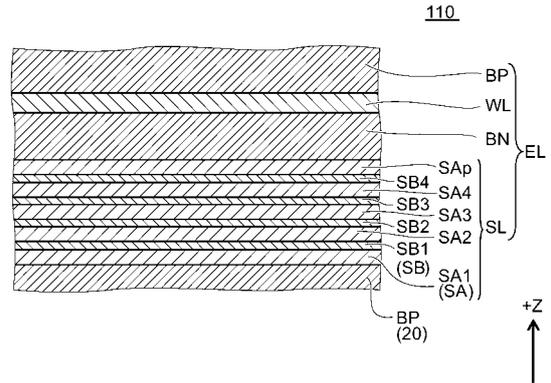
30

40

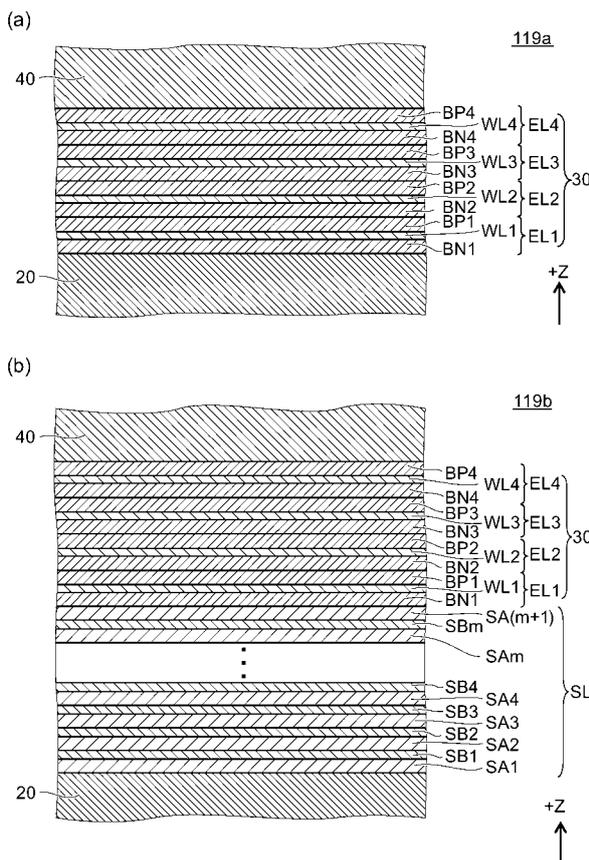
【 図 1 】



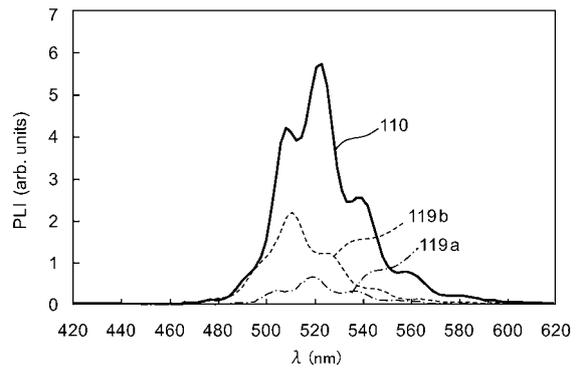
【 図 2 】



【 図 3 】

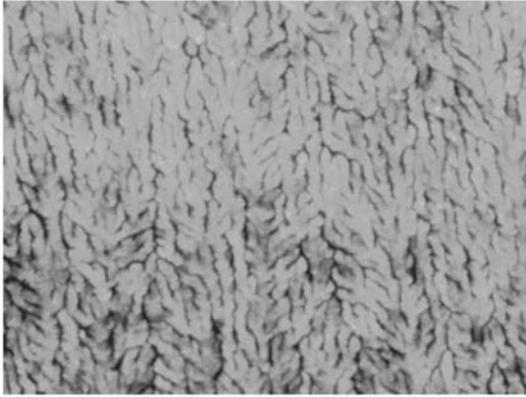


【 図 4 】



【 図 5 】

110



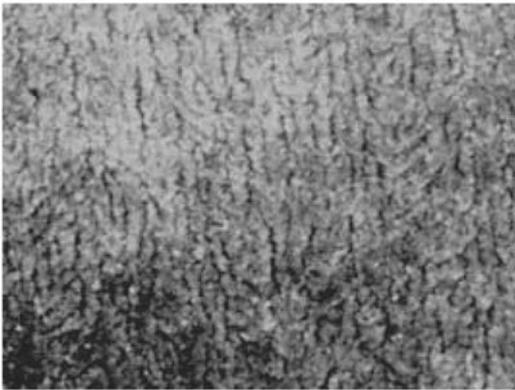
(a)

119a



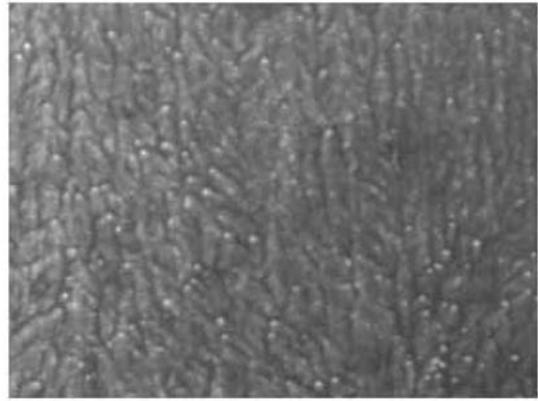
(b)

119b



(c)

119c



(d)

フロントページの続き

- (72)発明者 杉山 直治
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 布上 真也
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 芝沼 隆太

- (56)参考文献 特開2008-252096(JP,A)
特開平4-330794(JP,A)
特開2004-356256(JP,A)
特開2009-259953(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- H01L 33/00 - 33/64
H01S 5/00 - 5/50
H01L 21/205