



(12)发明专利

(10)授权公告号 CN 105575327 B

(45)授权公告日 2018.03.16

(21)申请号 201610162659.6

(22)申请日 2016.03.21

(65)同一申请的已公布的文献号  
申请公布号 CN 105575327 A

(43)申请公布日 2016.05.11

(73)专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 马占洁

(74)专利代理机构 北京同达信恒知识产权代理  
有限公司 11291

代理人 黄志华

(51)Int.Cl.

G09G 3/3208(2016.01)

G09G 3/3233(2016.01)

(56)对比文件

CN 102708791 A,2012.10.03,说明书  
[0043]-[0077]段,附图2-5.

CN 102057418 A,2011.05.11,说明书  
[0107]-[0111]段,附图10-11.

US 2007/0063932 A1,2007.03.22,全文.

CN 103000131 A,2013.03.27,全文.

US 2006/0055336 A1,2006.03.16,全文.

审查员 宋澄

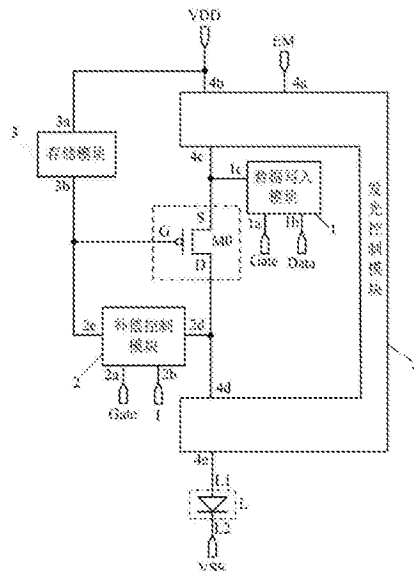
权利要求书2页 说明书10页 附图8页

(54)发明名称

一种像素电路、其驱动方法及有机电致发光  
显示面板

(57)摘要

本发明公开了一种像素电路、其驱动方法及有机电致发光显示面板,包括:驱动晶体管、数据写入模块、补偿控制模块、存储模块、发光控制模块以及发光器件;通过上述四个模块的相互配合,可以使驱动晶体管驱动发光器件发光的工作电流与驱动晶体管的阈值电压无关,可以避免阈值电压的漂移对发光器件的影响,从而使驱动发光器件发光的工作电流保持稳定,提高了图像显示亮度的均匀性。



1. 一种像素电路,其特征在于,包括:驱动晶体管、数据写入模块、补偿控制模块、存储模块、发光控制模块以及发光器件;其中,

所述数据写入模块的第一端与扫描信号端相连,第二端与数据信号端相连,第三端与所述驱动晶体管的源极相连;所述数据写入模块用于在所述扫描信号端的控制下将所述数据信号端的信号提供给所述驱动晶体管的源极;

所述补偿控制模块的第一端与所述扫描信号端相连,第二端与偏置电流端相连,第三端与所述驱动晶体管的栅极相连,第四端与所述驱动晶体管的漏极相连;所述补偿控制模块用于在所述扫描信号端的控制下将所述偏置电流端的预设偏置电流提供给所述驱动晶体管的栅极,以控制所述驱动晶体管处于饱和状态,并且使流经所述驱动晶体管的电流为所述预设偏置电流;所述补偿控制模块包括:第二开关晶体管和第三开关晶体管;其中,所述第二开关晶体管的栅极与所述扫描信号端相连,源极与所述偏置电流端相连,漏极分别与所述驱动晶体管的漏极以及所述第三开关晶体管的源极相连;所述第三开关晶体管的栅极与所述扫描信号端相连,漏极与所述驱动晶体管的栅极相连;

所述存储模块的第一端与第一参考信号端相连,第二端与所述驱动晶体管的栅极相连;所述存储模块用于在所述第一参考信号端与所述驱动晶体管的栅极的控制下实现充电;

所述发光控制模块的第一端与发光控制信号端相连,第二端与所述第一参考信号端相连,第三端与所述驱动晶体管的源极相连,第四端与所述驱动晶体管的漏极相连,第五端与所述发光器件的第一端相连,所述发光器件的第二端与第二参考信号端相连;所述发光控制模块用于在所述发光控制信号端的控制下导通所述第一参考信号端与所述驱动晶体管,以及导通所述驱动晶体管与所述发光器件,以控制所述驱动晶体管驱动所述发光器件发光;其中,

所述第一参考信号端的电压大于所述第二参考信号端的电压。

2. 如权利要求1所述的像素电路,其特征在于,所述数据写入模块包括:第一开关晶体管;其中,

所述第一开关晶体管的栅极与所述扫描信号端相连,源极与所述数据信号端相连,漏极与所述驱动晶体管的源极相连。

3. 如权利要求1所述的像素电路,其特征在于,所述存储模块包括:电容;其中,

所述电容的第一端与所述第一参考信号端相连,第二端与所述驱动晶体管的栅极相连。

4. 如权利要求1-3任一项所述的像素电路,其特征在于,所述驱动晶体管为P型晶体管或N型晶体管。

5. 如权利要求4所述的像素电路,其特征在于,当所述驱动晶体管为P型晶体管时,所述发光控制模块包括:第四开关晶体管和第五开关晶体管;其中,

所述第四开关晶体管的栅极与所述发光控制信号端相连,源极与所述第一参考信号端相连,漏极与所述驱动晶体管的源极相连;

所述第五开关晶体管的栅极与所述发光控制信号端相连,源极与所述驱动晶体管的漏极相连,漏极与所述发光器件的第一端相连。

6. 如权利要求4所述的像素电路,其特征在于,当所述驱动晶体管为N型晶体管时,所述

发光控制模块包括：第四开关晶体管和第五开关晶体管；其中，

所述第四开关晶体管的栅极与所述发光控制信号端相连，源极与所述第一参考信号端相连，漏极与所述驱动晶体管的漏极相连；

所述第五开关晶体管的栅极与所述发光控制信号端相连，源极与所述驱动晶体管的源极相连，漏极与所述发光器件的第一端相连。

7. 如权利要求5或6所述的像素电路，其特征在于，当所述驱动晶体管为P型晶体管时，所有开关晶体管均为P型开关晶体管；或者，

当所述驱动晶体管为N型晶体管时，所有开关晶体管均为N型开关晶体管。

8. 一种有机电致发光显示面板，其特征在于，包括如权利要求1-7任一项所述的像素电路。

9. 一种如权利要求1-7任一项所述的像素电路的驱动方法，其特征在于，包括补偿阶段和发光阶段；其中，

在所述补偿阶段，所述数据写入模块在所述扫描信号端的控制下将所述数据信号端的信号提供给所述驱动晶体管的源极；所述补偿控制模块在所述扫描信号的控制下将所述偏置电流端的预设偏置电流提供给所述驱动晶体管的栅极，控制所述驱动晶体管处于饱和状态，并且流经所述驱动晶体管的电流为所述预设偏置电流；所述存储模块在所述第一参考信号端与所述驱动晶体管的栅极的控制下实现充电；

在所述发光阶段，所述发光控制模块在所述发光控制信号端的控制下导通所述第一参考信号端与所述驱动晶体管，以及导通所述驱动晶体管与所述发光器件，控制所述驱动晶体管驱动所述发光器件发光。

## 一种像素电路、其驱动方法及有机电致发光显示面板

### 技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种像素电路、其驱动方法及有机电致发光显示面板。

### 背景技术

[0002] 有机发光二极管(Organic Light-Emitting Diode,OLED)是当今平板显示器研究领域的热点之一,与液晶显示器(Liquid Crystal Display,LCD)相比,OLED具有快响应、高亮度、高对比度、低功耗以及易实现柔性显示等优点,被认为是下一代主流的显示器。其中,像素电路是OLED显示器的核心技术内容,具有重要的研究意义。与LCD利用稳定的电压控制亮度不同,OLED属于电流驱动,需要稳定的电流来控制发光。然而,由于工艺制程和器件老化等原因,会使像素电路中的驱动晶体管的阈值电压 $V_{th}$ 存在不均匀性,这样就导致了流过每个OLED的电流发生变化使得显示亮度不均,从而影响整个图像的显示效果。

### 发明内容

[0003] 本发明实施例提供了一种像素电路、其驱动方法及有机电致发光显示面板,用以避免由于驱动晶体管的阈值电压的漂移对发光器件的影响,可以使驱动发光器件发光的工作电流保持稳定,提高图像显示亮度的均匀性。

[0004] 本发明实施例提供的一种像素电路,包括:驱动晶体管、数据写入模块、补偿控制模块、存储模块、发光控制模块以及发光器件;其中,

[0005] 所述数据写入模块的第一端与扫描信号端相连,第二端与数据信号端相连,第三端与所述驱动晶体管的源极相连;所述数据写入模块用于在所述扫描信号端的控制下将所述数据信号端的信号提供给所述驱动晶体管的源极;

[0006] 所述补偿控制模块的第一端与所述扫描信号端相连,第二端与偏置电流端相连,第三端与所述驱动晶体管的栅极相连,第四端与所述驱动晶体管的漏极相连;所述补偿控制模块用于在所述扫描信号端的控制下将所述偏置电流端的预设偏置电流提供给所述驱动晶体管的栅极,以控制所述驱动晶体管处于饱和状态,并且使流经所述驱动晶体管的电流为所述预设偏置电流;

[0007] 所述存储模块的第一端与第一参考信号端相连,第二端与所述驱动晶体管的栅极相连;所述存储模块用于在所述第一参考信号端与所述驱动晶体管的栅极的控制下实现充电;

[0008] 所述发光控制模块的第一端与发光控制信号端相连,第二端与所述第一参考信号端相连,第三端与所述驱动晶体管的源极相连,第四端与所述驱动晶体管的漏极相连,第五端与所述发光器件的第一端相连,所述发光器件的第二端与第二参考信号端相连;所述发光控制模块用于在所述发光控制信号端的控制下导通所述第一参考信号端与所述驱动晶体管,以及导通所述驱动晶体管与所述发光器件,以控制所述驱动晶体管驱动所述发光器件发光;其中,

- [0009] 所述第一参考信号端的电压大于所述第二参考信号端的电压。
- [0010] 较佳地,在本发明实施例提供的上述像素电路中,所述数据写入模块包括:第一开关晶体管;其中,
- [0011] 所述第一开关晶体管的栅极与所述扫描信号端相连,源极与所述数据信号端相连,漏极与所述驱动晶体管的源极相连。
- [0012] 较佳地,在本发明实施例提供的上述像素电路中,所述补偿控制模块包括:第二开关晶体管和第三开关晶体管;其中,
- [0013] 所述第二开关晶体管的栅极与所述扫描信号端相连,源极与所述偏置电流端相连,漏极分别与所述驱动晶体管的漏极以及所述第三开关晶体管的源极相连;
- [0014] 所述第三开关晶体管的栅极与所述扫描信号端相连,漏极与所述驱动晶体管的栅极相连。
- [0015] 较佳地,在本发明实施例提供的上述像素电路中,所述存储模块包括:电容;其中,
- [0016] 所述电容的第一端与所述第一参考信号端相连,第二端与所述驱动晶体管的栅极相连。
- [0017] 较佳地,在本发明实施例提供的上述像素电路中,所述驱动晶体管为P型晶体管或N型晶体管。
- [0018] 较佳地,在本发明实施例提供的上述像素电路中,当所述驱动晶体管为P型晶体管时,所述发光控制模块包括:第四开关晶体管和第五开关晶体管;其中,
- [0019] 所述第四开关晶体管的栅极与所述发光控制信号端相连,源极与所述第一参考信号端相连,漏极与所述驱动晶体管的源极相连;
- [0020] 所述第五开关晶体管的栅极与所述发光控制信号端相连,源极与所述驱动晶体管的漏极相连,漏极与所述发光器件的第一端相连。
- [0021] 较佳地,在本发明实施例提供的上述像素电路中,当所述驱动晶体管为N型晶体管时,所述发光控制模块包括:第四开关晶体管和第五开关晶体管;其中,
- [0022] 所述第四开关晶体管的栅极与所述发光控制信号端相连,源极与所述第一参考信号端相连,漏极与所述驱动晶体管的漏极相连;
- [0023] 所述第五开关晶体管的栅极与所述发光控制信号端相连,源极与所述驱动晶体管的源极相连,漏极与所述发光器件的第一端相连。
- [0024] 较佳地,在本发明实施例提供的上述像素电路中,当所述驱动晶体管为P型晶体管时,所有开关晶体管均为P型开关晶体管;或者,
- [0025] 当所述驱动晶体管为N型晶体管时,所有开关晶体管均为N型开关晶体管。
- [0026] 相应地,本发明实施例还提供了一种有机电致发光显示面板,包括本发明实施例提供的上述任一种像素电路。
- [0027] 相应地,本发明实施例还提供了一种本发明实施例提供的上述任一种像素电路的驱动方法,包括补偿阶段和发光阶段;其中,
- [0028] 在所述补偿阶段,所述数据写入模块在所述扫描信号端的控制下将所述数据信号端的信号提供给所述驱动晶体管的源极;所述补偿控制模块在所述扫描信号的控制下将所述偏置电流端的预设偏置电流提供给所述驱动晶体管的栅极,控制所述驱动晶体管处于饱和状态,并且流经所述驱动晶体管的电流为所述预设偏置电流;所述存储模块在所述第一

参考信号端与所述驱动晶体管的栅极的控制下实现充电；

[0029] 在所述发光阶段,所述发光控制模块在所述发光控制信号端的控制下导通所述第一参考信号端与所述驱动晶体管,以及导通所述驱动晶体管与所述发光器件,控制所述驱动晶体管驱动所述发光器件发光。

[0030] 本发明实施例提供的像素电路、其驱动方法及有机电致发光显示面板,包括:驱动晶体管、数据写入模块、补偿控制模块、存储模块、发光控制模块以及发光器件;其中,数据写入模块用于在扫描信号端的控制下将数据信号端的信号提供给驱动晶体管的源极;补偿控制模块用于在扫描信号端的控制下将偏置电流端的预设偏置电流提供给驱动晶体管的栅极,以控制驱动晶体管处于饱和状态,并且使流经驱动晶体管的电流为预设偏置电流;存储模块用于在第一参考信号端与驱动晶体管的栅极的控制下实现充电;发光控制模块用于在发光控制信号端的控制下导通第一参考信号端与驱动晶体管,以及导通驱动晶体管与发光器件,以控制驱动晶体管驱动发光器件发光;其中,第一参考信号端的电压大于第二参考信号端的电压。本发明实施例提供的像素电路,通过上述四个模块的相互配合,可以使驱动晶体管驱动发光器件发光的工作电流与驱动晶体管的阈值电压无关,可以避免阈值电压的漂移对发光器件的影响,从而使驱动发光器件发光的工作电流保持稳定,提高了图像显示亮度的均匀性。

## 附图说明

[0031] 图1a为本发明实施例提供的像素电路的结构示意图之一;

[0032] 图1b为本发明实施例提供的像素电路的结构示意图之二;

[0033] 图2a为图1a所示的像素电路的具体结构示意图之一;

[0034] 图2b为图1a所示的像素电路的具体结构示意图之二;

[0035] 图3a为图1b所示的像素电路的具体结构示意图之一;

[0036] 图3b为图1b所示的像素电路的具体结构示意图之二;

[0037] 图4a为图2a提供的像素电路的电路时序图;

[0038] 图4b为图3a提供的像素结构的电路时序图;

[0039] 图5为本发明实施例提供的像素电路的驱动方法的流程图。

## 具体实施方式

[0040] 下面结合附图,对本发明实施例提供的像素电路、其驱动方法及有机电致发光显示面板的具体实施方式进行详细的说明。

[0041] 本发明实施例提供一种像素电路,如图1a和图1b所示,包括:驱动晶体管M0、数据写入模块1、补偿控制模块2、存储模块3、发光控制模块4以及发光器件L;其中,

[0042] 数据写入模块1的第一端1a与扫描信号端Gate相连,第二端1b与数据信号端Data相连,第三端1c与驱动晶体管M0的源极S相连;数据写入模块1用于在扫描信号端Gate的控制下将数据信号端Data的信号提供给驱动晶体管M0的源极S;

[0043] 补偿控制模块2的第一端2a与扫描信号端Gate相连,第二端2b与偏置电流端I相连,第三端2c与驱动晶体管M0的栅极G相连,第四端2d与驱动晶体管M0的漏极D相连;补偿控制模块2用于在扫描信号端Gate的控制下将偏置电流端I的预设偏置电流I<sub>Bias</sub>提供给驱

动晶体管M0的栅极G,以控制驱动晶体管M0处于饱和状态,并且使流经驱动晶体管M0的电流为预设偏置电流I<sub>Bias</sub>;

[0044] 存储模块3的第一端3a与第一参考信号端VDD相连,第二端3b与驱动晶体管M0的栅极G相连;存储模块3用于在第一参考信号端VDD与驱动晶体管M0的栅极G的控制下实现充电;

[0045] 发光控制模块4的第一端4a与发光控制信号端EM相连,第二端4b与第一参考信号端VDD相连,第三端4c与驱动晶体管M0的源极S相连,第四端4d与驱动晶体管M0的漏极D相连,第五端4e与发光器件L的第一端L1相连,发光器件L的第二端L2与第二参考信号端VSS相连;发光控制模块4用于在发光控制信号端EM的控制下导通第一参考信号端VDD与驱动晶体管M0,以及导通驱动晶体管M0与发光器件L,以控制驱动晶体管M0驱动发光器件L发光;其中,

[0046] 第一参考信号端VDD的电压大于第二参考信号端VSS的电压。

[0047] 本发明实施例提供的上述像素电路,包括:驱动晶体管、数据写入模块、补偿控制模块、存储模块、发光控制模块以及发光器件;其中,数据写入模块用于在扫描信号端的控制下将数据信号端的信号提供给驱动晶体管的源极;补偿控制模块用于在扫描信号端的控制下将偏置电流端的预设偏置电流提供给驱动晶体管的栅极,以控制驱动晶体管处于饱和状态,并且使流经驱动晶体管的电流为预设偏置电流;存储模块用于在第一参考信号端与驱动晶体管的栅极的控制下实现充电;发光控制模块用于在发光控制信号端的控制下导通第一参考信号端与驱动晶体管,以及导通驱动晶体管与发光器件,以控制驱动晶体管驱动发光器件发光;其中,第一参考信号端的电压大于第二参考信号端的电压。本发明实施例提供的像素电路,通过上述四个模块的相互配合,可以使驱动晶体管驱动发光器件发光的工作电流与驱动晶体管的阈值电压无关,可以避免阈值电压的漂移对发光器件的影响,从而使驱动发光器件发光的工作电流保持稳定,提高了图像显示亮度的均匀性。

[0048] 在具体实施时,在本发明实施例提供的上述像素电路中,发光器件一般为有机电致发光二极管,其在驱动晶体管处于饱和状态时的电流的作用下实现发光。

[0049] 在具体实施时,在本发明实施例提供的上述像素电路中,如图1a所示,驱动发光器件L发光的驱动晶体管M0可以为P型晶体管,此时驱动晶体管M0驱动发光器件L发光的工作电流是由驱动晶体管M0的源极S流向漏极D;或者,如图1b所示,驱动发光器件L发光的驱动晶体管M0也可以为N型晶体管,此时驱动晶体管M0驱动发光器件L发光的工作电流是由驱动晶体管M0的漏极D流向源极S。由于驱动晶体管的类型不同,驱动发光器件发光的工作电流的流向不同,因此驱动晶体管的源极和漏极与像素电路中其余模块的具体连接方式也不同,这需要根据实际情况的需要来确定驱动晶体管的类型以及在像素电路中的具体连接方式,以实现控制驱动晶体管驱动发光器件发光,在此不作限定。

[0050] 下面结合具体实施例,对本发明提供的像素电路进行详细说明。需要说明的是,本实施例是为了更好的解释本发明,但不限制本发明。

[0051] 在具体实施时,本发明实施例提供的上述像素电路中,如图2a和图2b所示,驱动发光器件L发光的驱动晶体管M0为P型晶体管;或者,如图3a和图3b所示,驱动发光器件L发光的驱动晶体管M0为N型晶体管,在此不作限定。

[0052] 在具体实施时,在本发明实施例提供的上述像素电路中,如图2a至图3b所示,数据

写入模块1具体可以包括:第一开关晶体管M1;其中,

[0053] 第一开关晶体管M1的栅极与扫描信号端Gate相连,源极与数据信号端Data相连,漏极与驱动晶体管M0的源极S相连。

[0054] 在具体实施时,在本发明实施例提供的上述像素电路中,当扫描信号端Gate的有效脉冲信号为低电位时,如图2a和图3b所示,第一开关晶体管M1可以为P型开关晶体管;或者,当扫描信号端Gate的有效脉冲信号为高电位时,如图2b和图3a所示,第一开关晶体管M1也可以为N型开关晶体管,在此不作限定。

[0055] 在具体实施时,在本发明实施例提供的上述像素电路中,当第一开关晶体管在扫描信号端的控制下处于导通状态时,将数据信号端的信号提供给驱动晶体管的源极。

[0056] 以上仅是举例说明本发明实施例提供的像素电路中数据写入模块的具体结构,在具体实施时,数据写入模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0057] 在具体实施时,在本发明实施例提供的上述像素电路中,如图2a至图3b所示,补偿控制模块2具体可以包括:第二开关晶体管M2和第三开关晶体管M3;其中,

[0058] 第二开关晶体管M2的栅极与扫描信号端Gate相连,源极与偏置电流端I相连,漏极分别与驱动晶体管M0的漏极D以及第三开关晶体管M0的源极相连;

[0059] 第三开关晶体管M3的栅极与扫描信号端Gate相连,漏极与驱动晶体管M0的栅极G相连。

[0060] 在具体实施时,在本发明实施例提供的上述像素电路中,当扫描信号端Gate的有效脉冲信号为低电位时,如图2a和图3b所示,第二开关晶体管M2和第三开关晶体管M3可以为P型开关晶体管;或者,当扫描信号端Gate的有效脉冲信号为高电位时,如图2b和图3a所示,第二开关晶体管M2和第三开关晶体管M3也可以为N型开关晶体管,在此不作限定。

[0061] 在具体实施时,在本发明实施例提供的上述像素电路中,当第二开关晶体管在扫描信号端的控制下处于导通状态时,将偏置电流端的预设偏置电流I<sub>Bias</sub>提供给第三开关晶体管的源极;当第三开关晶体管在扫描信号端的控制下处于导通状态时,将其源极的信号提供给驱动晶体管的栅极;以使驱动晶体管在其栅源电压的作用下处于饱和状态,并且使流经驱动晶体管的电流为预设偏置电流I<sub>Bias</sub>,因此根据饱和状态电流特性可知,流经驱动晶体管的电流满足公式: $I_{Bias} = K(V_{GS} - V_{th})^2 = K(V_G - V_{Data} - V_{th})^2$ ,其中, $V_G$ 为驱动晶体管的栅极电压, $V_{data}$ 是驱动晶体管的源极电压, $V_{th}$ 是驱动晶体管的阈值电压,并且 $K = \frac{1}{2}Cu\frac{W}{L}$ ,

其中,C是驱动晶体管的沟道电容,u是驱动晶体管的沟道迁移率,W是驱动晶体管的沟道宽度,L是驱动晶体管的沟道长度,在相同结构中C、u、W和L的数值相对稳定,因此K相对稳定,

可以算作常量。通过上述公式可以得到驱动晶体管的栅极电压 $V_G = \sqrt{\frac{I_{Bias}}{K}} + V_{Data} + V_{th}$ ,

从而将数据信号端的电压 $V_{Data}$ 、驱动晶体管的阈值电压 $V_{th}$ 以及预设偏置电流I<sub>Bias</sub>均存储于驱动晶体管的栅极。

[0062] 以上仅是举例说明本发明实施例提供的像素电路中补偿控制模块的具体结构,在具体实施时,补偿控制模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。



[0063] 在具体实施时,在本发明实施例提供的上述像素电路中,如图2a至图3b所示,存储模块3具体可以包括:电容C;其中,

[0064] 电容C的第一端3a与第一参考信号端VDD相连,第二端3b与驱动晶体管M0的栅极G相连。

[0065] 在具体实施时,在本发明实施例提供的上述像素电路中,电容在第一参考信号端与驱动晶体管的栅极的共同控制下实现充电,以保持驱动晶体管的栅极的电压处于稳定状态。

[0066] 以上仅是举例说明本发明实施例提供的像素电路中存储模块的具体结构,在具体实施时,存储模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0067] 由于驱动晶体管的类型不同,则驱动晶体管的源极和漏极与发光控制模块对应的具体连接方式不同,在具体实施时,在本发明实施例提供的上述像素电路中,如图2a和图2b所示,当驱动晶体管M0为P型晶体管时,发光控制模块4具体可以包括:第四开关晶体管M4和第五开关晶体管M5;其中,

[0068] 第四开关晶体管M4的栅极与发光控制信号端EM相连,源极与第一参考信号端VDD相连,漏极与驱动晶体管M0的源极S相连;

[0069] 第五开关晶体管M5的栅极与发光控制信号端EM相连,源极与驱动晶体管M0的漏极D相连,漏极与发光器件L的第一端L1相连。

[0070] 在具体实施时,在本发明实施例提供的上述像素电路中,第四开关晶体管在发光控制信号端的控制下处于导通状态时,导通第一参考信号端与驱动晶体管的源极,以将第一参考信号端的信号提供给驱动晶体管的源极;第五开关晶体管在发光控制信号端的控制下处于导通状态时,导通驱动晶体管的漏极与发光器件的第一端,以向发光器件输出驱动发光器件发光的工作电流,该工作电流由驱动晶体管的源极流向其漏极,此时驱动晶体管处于饱和状态,根据饱和状态电流特性可知,驱动发光器件发光的工作电流 $I_L$ 满足公式: $I_L$

$=K(V_{GS}-V_{th})^2$ ,其中 $V_{GS}=V_G-V_S=V_G-V_{dd}=\sqrt{\frac{I_{Bias}}{K}}+V_{Data}+V_{th}-V_{dd}$ ,其中, $V_G$ 为驱动晶体管的栅极电压, $V_{dd}$ 为第一参考信号端的电压并且为驱动晶体管的源极电压;根据上述两个

公式可以得到工作电流 $I_L=K\left(\sqrt{\frac{I_{Bias}}{K}}+V_{Data}-V_{dd}\right)^2$ 。因此,驱动发光器件发光的工作电流 $I_L$ 仅与数据信号端的电压 $V_{Data}$ 、第一参考信号端的电压 $V_{dd}$ 以及预设偏置电流 $I_{Bias}$ 有关,而与驱动晶体管的阈值电压 $V_{th}$ 无关,彻底解决了由于驱动晶体管的工艺制程以及长时间的操作造成的阈值电压 $V_{th}$ 漂移对驱动发光器件的工作电流的影响,从而使发光器件的工作电流保持稳定,进而保证了发光器件的正常工作。

[0071] 或者,在具体实施时,在本发明实施例提供的上述像素电路中,如图3a和图3b所示,当驱动晶体管M0为N型晶体管时,发光控制模块4具体可以包括:第四开关晶体管M4和第五开关晶体管M5;其中,

[0072] 第四开关晶体管M4的栅极与发光控制信号端EM相连,源极与第一参考信号端VDD相连,漏极与驱动晶体管M0的漏极D相连;

[0073] 第五开关晶体管M5的栅极与发光控制信号端EM相连,源极与驱动晶体管M0的源极

S相连,漏极与发光器件L的第一端L1相连。

[0074] 在具体实施时,在本发明实施例提供的上述像素电路中,第四开关晶体管在发光控制信号端的控制下处于导通状态时,导通第一参考信号端与驱动晶体管的漏极,以将第一参考信号端的信号提供给驱动晶体管的漏极;第五开关晶体管在发光控制信号端的控制下处于导通状态时,导通驱动晶体管的源极与发光器件的第一端,以向发光器件输出驱动发光器件发光的工作电流,该工作电流由驱动晶体管的漏极流向其源极。此时驱动晶体管处于饱和状态,根据饱和状态电流特性可知,驱动发光器件发光的工作电流 $I_L$ 满足公式: $I_L$

$=K(V_{GS}-V_{th})^2$ ,其中 $V_{GS}=V_G-V_S=V_G-(V_{ss}+V_L)=\sqrt{\frac{I-Bias}{K}}+V_{Data}+V_{th}-V_{ss}-V_L$ ,其中, $V_{ss}$

为第二参考信号端的电压, $V_L$ 为发光器件的电压并且 $V_{ss}$ 与 $V_L$ 之和为驱动晶体管的源极电

压;根据上述两个公式可以得到工作电流 $I_L=K(\sqrt{\frac{I-Bias}{K}}+V_{Data}-V_{ss}-V_L)^2$ 。因此,驱动发

光器件发光的工作电流 $I_L$ 仅与数据信号端的电压 $V_{Data}$ 、第二参考信号端的电压 $V_{ss}$ 、发光器件的电压 $V_L$ 以及预设偏置电流 $I_{Bias}$ 有关,而与驱动晶体管的阈值电压 $V_{th}$ 无关,彻底解决了由于驱动晶体管的工艺制程以及长时间的操作造成的阈值电压 $V_{th}$ 漂移对驱动发光器件的工作电流的影响,从而使发光器件的工作电流保持稳定,进而保证了发光器件的正常工作。

[0075] 在具体实施时,在本发明实施例提供的上述像素电路中,当发光控制信号端EM的有效脉冲信号为低电位时,如图2a和图3b所示,第四开关晶体管M4和第五开关晶体管M5可以为P型开关晶体管;或者,当发光控制信号端EM的有效脉冲信号为高电位时,如图2b和图3a所示,第四开关晶体管M4和第五开关晶体管M5也可以为N型开关晶体管,在此不作限定。

[0076] 以上仅是举例说明本发明实施例提供的像素电路中发光控制模块的具体结构,在具体实施时,发光控制模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0077] 较佳地,为了简化制备工艺,在具体实施时,在本发明实施例提供的上述像素电路中,如图2a所示,当驱动晶体管为P型晶体管时,所有开关晶体管均为P型开关晶体管;或者如图3a所示,当驱动晶体管为N型晶体管时,所有开关晶体管均为N型开关晶体管。

[0078] 进一步的,在具体实施时,P型开关晶体管在高电位作用下截止,在低电位作用下导通;N型开关晶体管在高电位作用下导通,在低电位作用下截止。

[0079] 需要说明的是,在本发明实施例提供的上述像素电路中,驱动晶体管和开关晶体管可以是薄膜晶体管(TFT, Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS, Metal Oxide Semiconductor),在此不作限定。在具体实施中,这些晶体管的源极和漏极可以互换,不做具体区分。在描述具体实施例是以驱动晶体管和开关晶体管都为薄膜晶体管为例进行说明的。

[0080] 下面以图2a和图3a所示的像素电路为例,结合电路时序图对本发明实施例提供的上述像素电路的工作过程作以描述。下述描述中以1表示高电位,0表示低电位,需要说明的是,1和0是逻辑电位,其仅是为了更好的解释本发明实施例的具体工作过程,而不是在具体实施时施加在各开关晶体管的栅极上的电位。

[0081] 实施例一、

[0082] 如图2a所示,驱动晶体管M0为P型晶体管,并且所有开关晶体管均为P型开关晶体管;对应的电路时序图如图4a所示,包括:补偿阶段T1和发光阶段T2两个阶段。

[0083] 在补偿阶段T1, Gate=0, EM=1, Data=1。

[0084] 由于Gate=0,因此第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均导通;由于EM=1,因此第四开关晶体管M4和第五开关晶体管M5均截止。导通的第一开关晶体管M1将数据信号端Data的电压 $V_{Data}$ 提供给驱动晶体管M0的源极S;导通的第二开关晶体管M2将偏置电流端I的预设偏置电流 $I_{Bias}$ 提供给第三开关晶体管M3的源极;导通的第二开关晶体管M3将其源极的预设偏置电流 $I_{Bias}$ 提供给驱动晶体管M0的栅极G,以拉低驱动晶体管M0的栅极G的电压,此时驱动晶体管M0处于饱和状态,并且流经驱动晶体管M0的电流为预设偏置电流 $I_{Bias}$ ,根据驱动晶体管M0饱和状态电流特性可知,流经驱动晶体管M0的电流满足公式: $I_{Bias} = K(V_{GS} - V_{th})^2 = K(V_G - V_S - V_{th})^2 = K(V_G - V_{Data} - V_{th})^2$ ,其中, $V_G$ 为驱动晶体管M0的栅极电压, $V_S$ 是驱动晶体管M0的源极电压, $V_{th}$ 是驱动晶体管M0的阈值电压 $V_{th}$ ,并且 $K = \frac{1}{2}Cu\frac{W}{L}$ ,其中,C是驱动晶体管M0的沟道电容,u是驱动晶体管M0的沟道迁移率,W是驱动晶体管M0的宽,L是驱动晶体管M0的长,在相同结构中C、u、W和L的数值相对稳定,因此K的数值相对稳定,可以算作常量。通过上述公式得到驱动晶体管M0的栅极电压 $V_G = \sqrt{\frac{I_{Bias}}{K}} + V_{Data} + V_{th}$ ;

从而将数据信号端Data的电压 $V_{Data}$ 、驱动晶体管M0的阈值电压 $V_{th}$ 以及预设偏置电流 $I_{Bias}$ 均存储于驱动晶体管M0的栅极G。由于电容C在第一参考信号端VDD和驱动晶体管M0的栅极G的共同控制下充电,可以保持驱动晶体管M0的栅极电压处于稳定状态。

[0085] 在发光阶段T2, Gate=1, EM=0, Data=1。

[0086] 由于EM=0,因此第四开关晶体管M4和第五开关晶体管M5均导通;由于Gate=1,因此第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均截止。导通的第四开关晶体管M4将第一参考信号端VDD的电压 $V_{dd}$ 提供给驱动晶体管M0的源极S;导通的第五开关晶体管M5将驱动晶体管M0的漏极D与发光器件L的第一端L1导通,此时驱动晶体管M0处于饱和状态;由于驱动晶体管M0为P型晶体管且处于饱和状态,根据饱和状态电流特性可知,流过驱动晶体管M0且用于驱动发光器件L发光的工作电流 $I_L$ 满足公式: $I_L = K(V_{GS} - V_{th})^2$ ,其中

$V_{GS} = V_G - V_S = V_G - V_{dd} = \sqrt{\frac{I_{Bias}}{K}} + V_{Data} + V_{th} - V_{dd}$ ,其中, $V_G$ 为驱动晶体管的栅极电压, $V_{dd}$

为第一参考信号端的电压并且为驱动晶体管M0的源极电压;根据上述两个公式可以得到工

作电流 $I_L = K(\sqrt{\frac{I_{Bias}}{K}} + V_{Data} - V_{dd})^2$ 。因此,驱动晶体管M0驱动发光器件L发光的工作电流

$I_L$ 仅与数据信号端Data的电压 $V_{Data}$ 、第一参考信号端VDD的电压 $V_{dd}$ 以及预设偏置电流 $I_{Bias}$ 有关,而与驱动晶体管M0的阈值电压 $V_{th}$ 无关,彻底解决了由于驱动晶体管M0的工艺流程以及长时间的操作造成的阈值电压 $V_{th}$ 漂移对驱动发光器件L的工作电流的影响,从而使发光器件L的工作电流保持稳定,进而保证了发光器件L的正常工作。

[0087] 之后Gate=1, EM=0, Data=0。由于Gate=1,第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均截止,因此,数据信号端Data的电压 $V_{Data}$ 对像素电路驱动发光器件L发光的工作电流 $I_L$ 没有影响,因此驱动发光器件L发光的工作电流 $I_L$ 保持不变。

[0088] 实施例二、

[0089] 如图3a所示,驱动晶体管M0为N型晶体管,并且所有开关晶体管均为N型开关晶体管;对应的电路时序图如图4b所示,包括:补偿阶段T1和发光阶段T2两个阶段。

[0090] 在补偿阶段T1, Gate=1, EM=0, Data=1。

[0091] 由于Gate=1,因此第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均导通;由于EM=0,因此第四开关晶体管M4和第五开关晶体管M5均截止。导通的第一开关晶体管M1将数据信号端Data的电压 $V_{Data}$ 提供给驱动晶体管M0的源极S;导通的第二开关晶体管M2将偏置电流端I的预设偏置电流 $I_{Bias}$ 提供给第三开关晶体管M3的源极;导通第三开关晶体管M3将其源极的预设偏置电流 $I_{Bias}$ 提供给驱动晶体管M0的栅极G,以拉高驱动晶体管M0的栅极G的电压,此时驱动晶体管M0处于饱和状态,并且流经驱动晶体管M0的电流为预设偏置电流 $I_{Bias}$ ,根据驱动晶体管M0饱和状态电流特性可知,流经驱动晶体管M0的电流满足公式: $I_{Bias} = K(V_{GS} - V_{th})^2 = K(V_G - V_S - V_{th})^2 = K(V_G - V_{Data} - V_{th})^2$ ,其中, $V_G$ 为驱动晶体管M0的栅极电压, $V_S$ 是驱动晶体管M0的源极电压, $V_{th}$ 是驱动晶体管M0的阈值电压 $V_{th}$ ,并且 $K = \frac{1}{2}Cu\frac{W}{L}$ ,其中,C是驱动晶体管M0的沟道电容,u是驱动晶体管M0的沟道迁移率,W是驱动晶体管M0的宽,L是驱动晶体管M0的长,在相同结构中C、u、W和L的数值相对稳定,因此K的数值相对稳定,可以算作常量。通过上述公式得到驱动晶体管M0的栅极电压 $V_G = \sqrt{\frac{I_{Bias}}{K}} + V_{Data} + V_{th}$ ;

从而将数据信号端Data的电压 $V_{Data}$ 、驱动晶体管M0的阈值电压 $V_{th}$ 以及预设偏置电流 $I_{Bias}$ 均存储于驱动晶体管M0的栅极G。由于电容C在第一参考信号端VDD和驱动晶体管M0的栅极G的共同控制下充电,可以保持驱动晶体管M0的栅极电压处于稳定状态。

[0092] 在发光阶段T2, Gate=0, EM=1, Data=1。

[0093] 由于EM=1,因此第四开关晶体管M4和第五开关晶体管M5均导通;由于Gate=0,因此第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均截止。导通第四开关晶体管M4将第一参考信号端VDD的电压 $V_{dd}$ 提供给驱动晶体管M0的漏极D;导通第五开关晶体管M5将驱动晶体管M0的源极S与发光器件L的第一端 $L_1$ 导通,此时驱动晶体管M0处于饱和状态;由于驱动晶体管M0为N型晶体管且处于饱和状态,根据饱和状态电流特性可知,流过驱动晶体管M0且用于驱动发光器件L发光的工作电流 $I_L$ 满足公式: $I_L = K(V_{GS} - V_{th})^2$ ,其中

$V_{GS} = V_G - V_S = V_G - (V_{ss} + V_L) = \sqrt{\frac{I_{Bias}}{K}} + V_{Data} + V_{th} - V_{ss} - V_L$ ,其中, $V_{ss}$ 为第二参考信号端的电压, $V_L$ 为发光器件的电压,并且 $V_{ss}$ 与 $V_L$ 之和为驱动晶体管M0的源极电压;根据上述两个

公式可以得到工作电流 $I_L = K(\sqrt{\frac{I_{Bias}}{K}} + V_{Data} - V_{ss} - V_L)^2$ 。因此,驱动晶体管M0的驱动发光

器件L发光的工作电流 $I_L$ 仅与数据信号端Data的电压 $V_{Data}$ 、第二参考信号端VSS的电压 $V_{ss}$ 、发光器件L的电压 $V_L$ 以及预设偏置电流 $I_{Bias}$ 有关,而与驱动晶体管M0的阈值电压 $V_{th}$ 无关,彻底解决了由于驱动晶体管M0的工艺制程以及长时间的操作造成的阈值电压 $V_{th}$ 漂移对驱动发光器件L的工作电流的影响,从而使发光器件L的工作电流保持稳定,进而保证了发光器件L的正常工作。

[0094] 之后Gate=0, EM=1, Data=0。由于Gate=0,第一开关晶体管M1、第二开关晶体管

M2和第三开关晶体管M3均截止,因此,数据信号端Data的电压 $V_{Data}$ 对像素电路驱动发光器件L发光的工作电流 $I_L$ 没有影响,因此驱动发光器件L发光的工作电流 $I_L$ 保持不变。

[0095] 基于同一发明构思,本发明实施例还提供了一种本发明实施例提供的上述任一种像素电路的驱动方法,如图5所示,包括补偿阶段和发光阶段;其中,

[0096] S501、在补偿阶段,数据写入模块在扫描信号端的控制下将数据信号端的信号提供给驱动晶体管的源极;补偿控制模块在扫描信号的控制下将偏置电流端的预设偏置电流提供给驱动晶体管的栅极,控制驱动晶体管处于饱和状态,并且流经驱动晶体管的电流为预设偏置电流;存储模块在第一参考信号端与驱动晶体管的栅极的控制下实现充电;

[0097] S502、在发光阶段,发光控制模块在发光控制信号端的控制下导通第一参考信号端与驱动晶体管,以及导通驱动晶体管与发光器件,控制驱动晶体管驱动发光器件发光。

[0098] 本发明实施例提供的上述驱动方法,在补偿阶段,通过数据写入模块、补偿控制模块、存储模块的相互配合,使驱动晶体管处于饱和状态,并且流经驱动晶体管的电流为预设偏置电流,因此可以将数据信号端的电压、驱动晶体管的阈值电压以及预设偏置电流均存储于驱动晶体管的栅极。在发光阶段,通过发光控制模块,导通第一参考信号端与驱动晶体管,以及导通驱动晶体管与发光器件,使驱动晶体管处于饱和状态,可以使驱动晶体管驱动发光器件发光的工作电流与驱动晶体管的阈值电压无关,从而可以避免阈值电压的漂移对发光器件的影响,从而使驱动发光器件发光的工作电流保持稳定,提高了图像显示亮度的均匀性。

[0099] 基于同一发明构思,本发明实施例还提供了一种有机电致发光显示面板,包括:本发明实施例提供的上述任一种像素电路。该有机电致发光显示面板可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该有机电致发光显示面板的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。该有机电致发光显示面板的实施可以参见上述像素电路的实施例,重复之处不再赘述。

[0100] 本发明实施例提供的上述像素电路、其驱动方法及有机电致发光显示面板,包括:驱动晶体管、数据写入模块、补偿控制模块、存储模块、发光控制模块以及发光器件;其中,数据写入模块用于在扫描信号端的控制下将数据信号端的信号提供给驱动晶体管的源极;补偿控制模块用于在扫描信号端的控制下将偏置电流端的预设偏置电流提供给驱动晶体管的栅极,以控制驱动晶体管处于饱和状态,并且使流经驱动晶体管的电流为预设偏置电流;存储模块用于在第一参考信号端与驱动晶体管的栅极的控制下实现充电;发光控制模块用于在发光控制信号端的控制下导通第一参考信号端与驱动晶体管,以及导通驱动晶体管与发光器件,以控制驱动晶体管驱动发光器件发光;其中,第一参考信号端的电压大于第二参考信号端的电压。本发明实施例提供的像素电路,通过上述四个模块的相互配合,可以使驱动晶体管驱动发光器件发光的工作电流与驱动晶体管的阈值电压无关,可以避免阈值电压的漂移对发光器件的影响,从而使驱动发光器件发光的工作电流保持稳定,提高了图像显示亮度的均匀性。

[0101] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

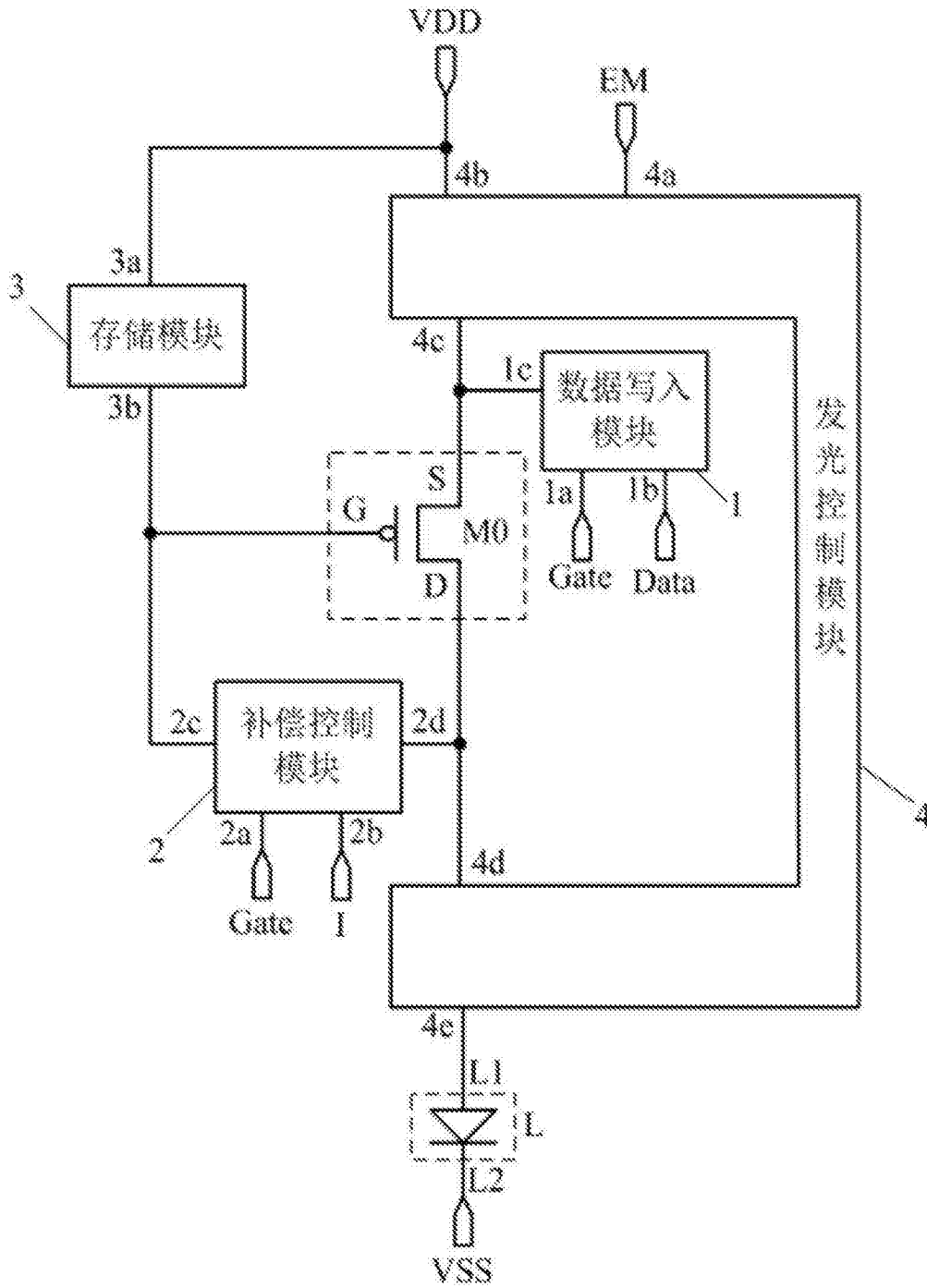


图1a

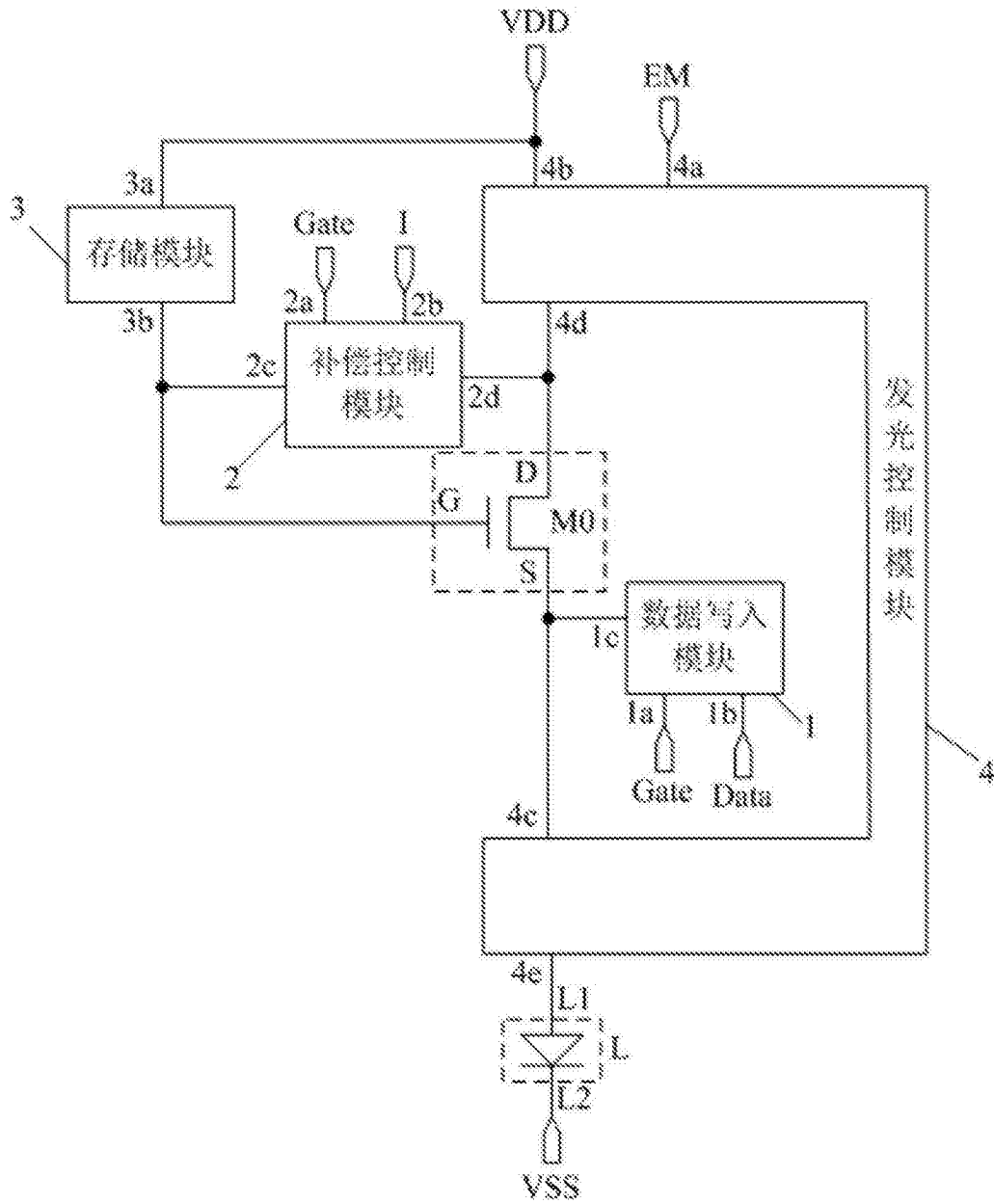


图1b

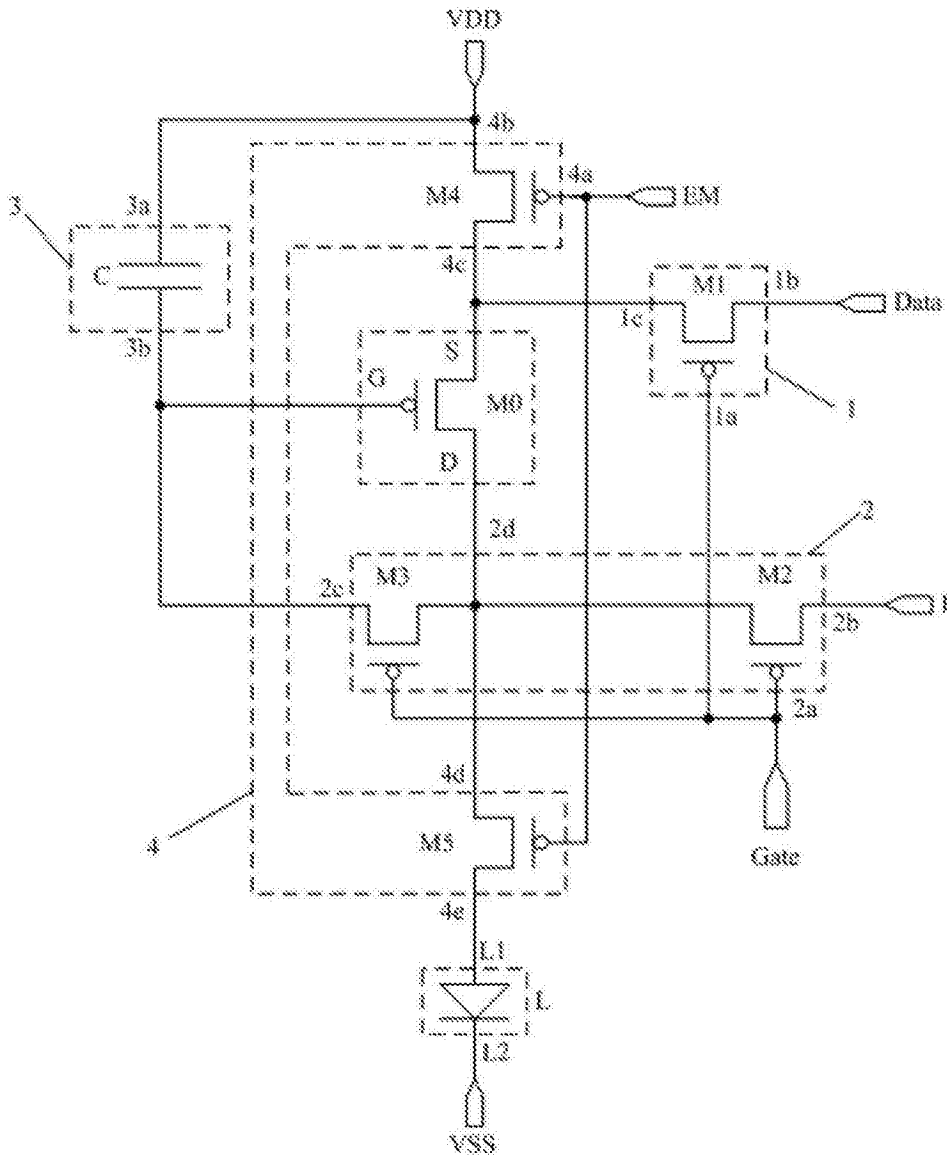


图2a



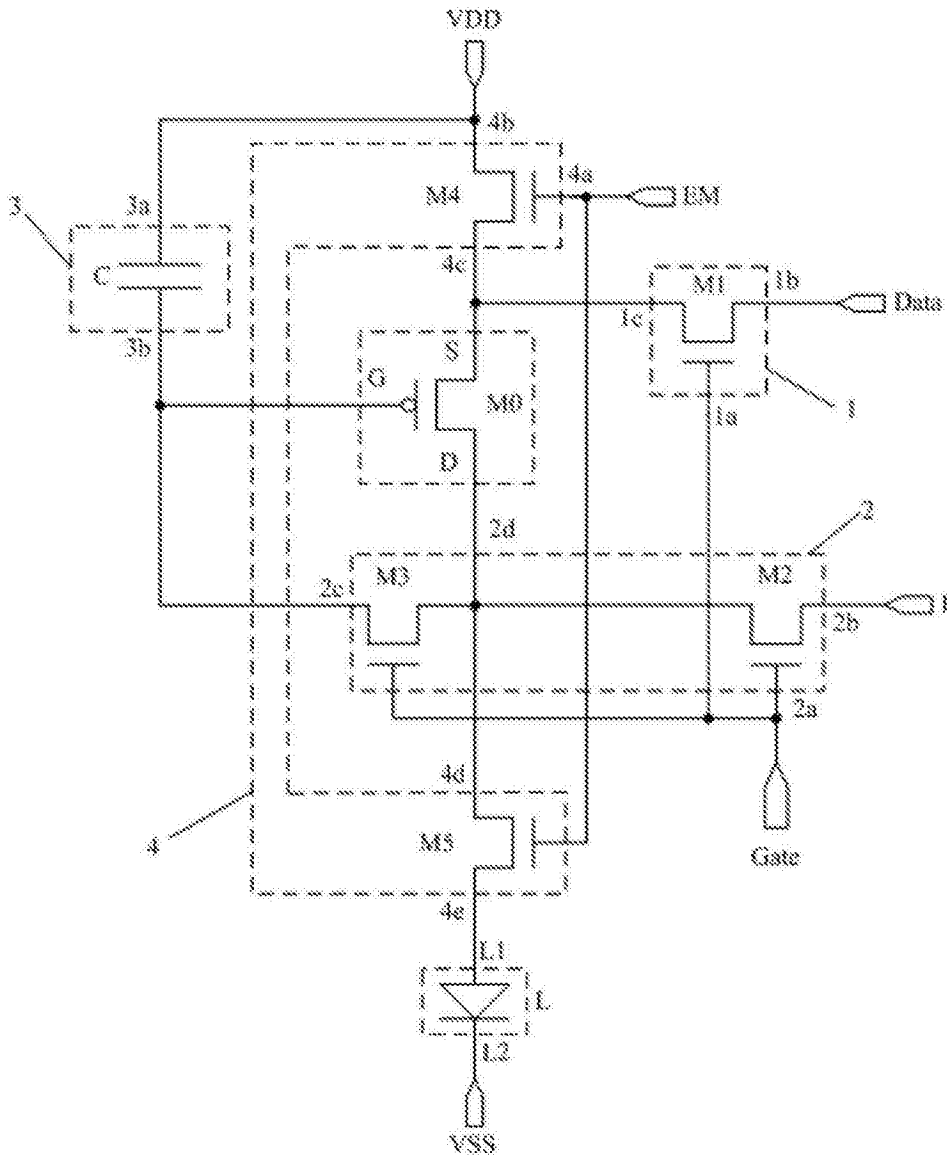


图2b

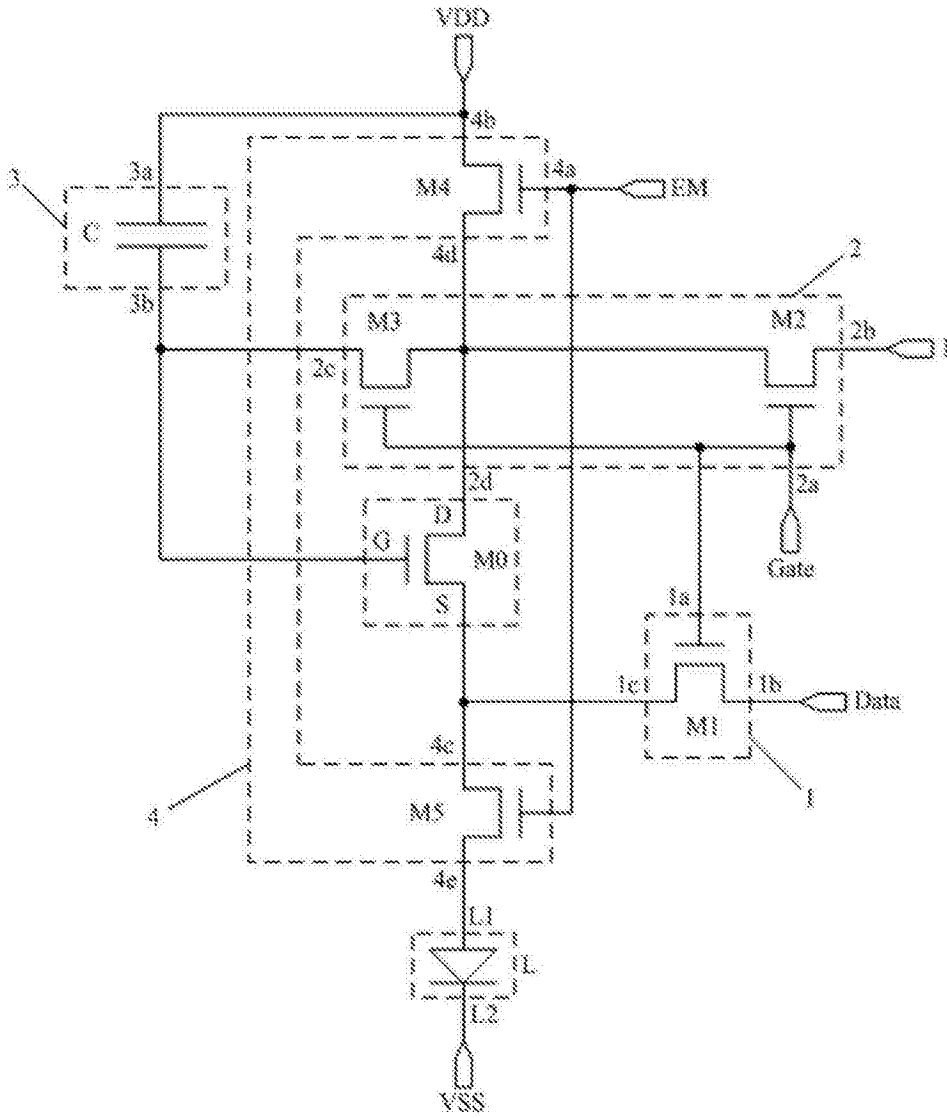


图3a

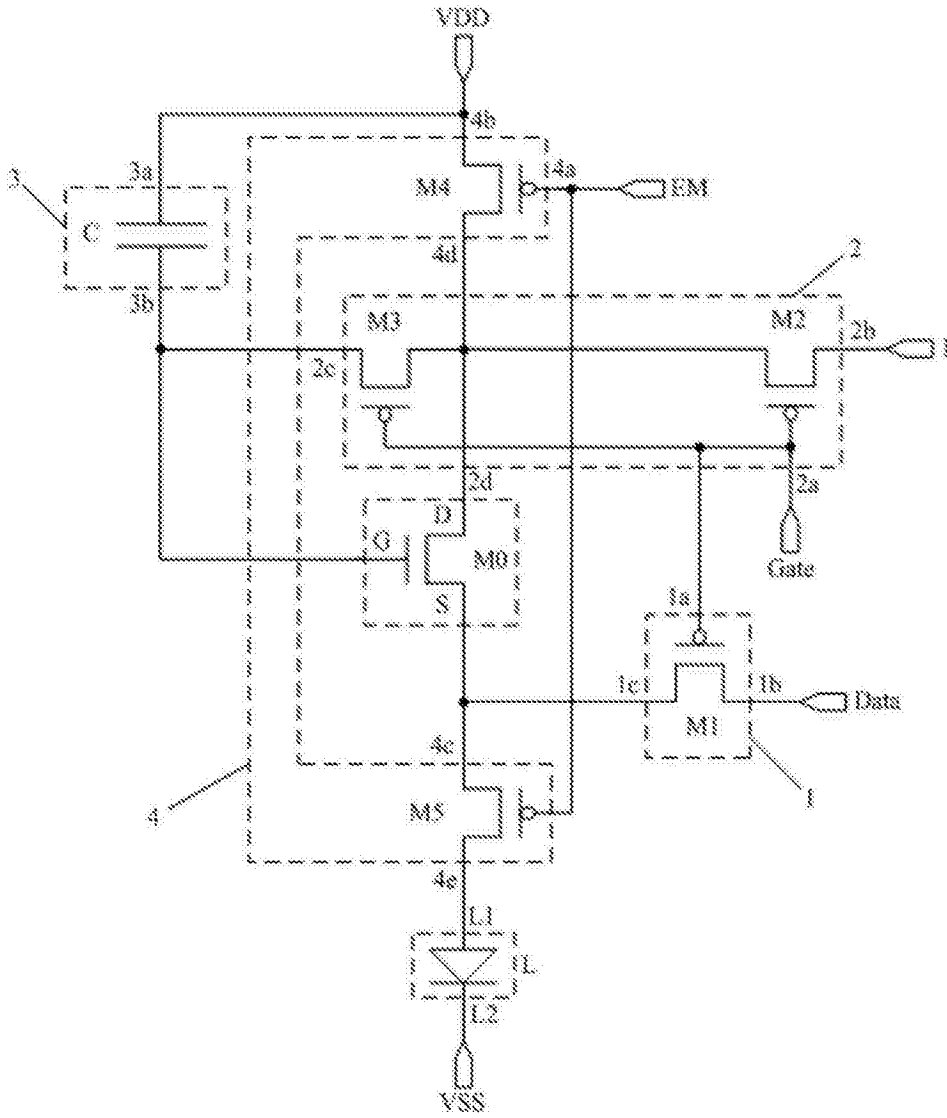


图3b

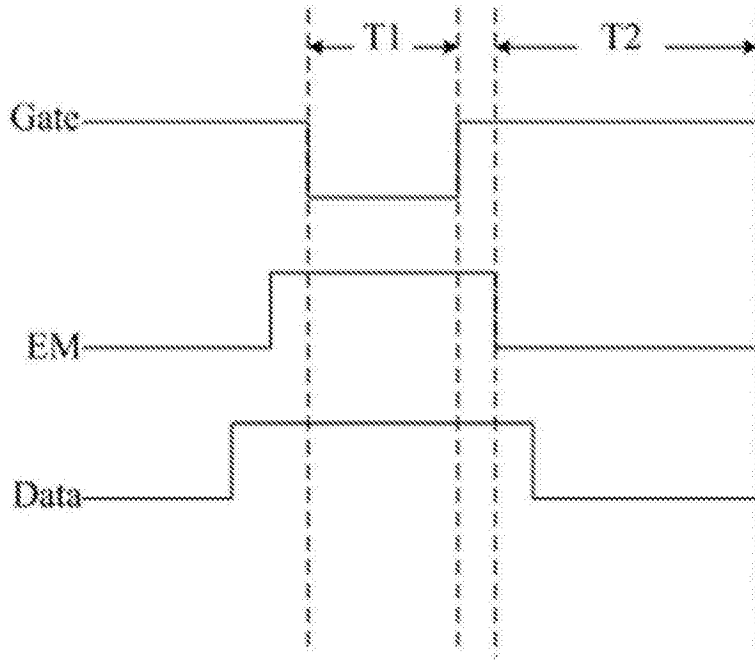


图4a

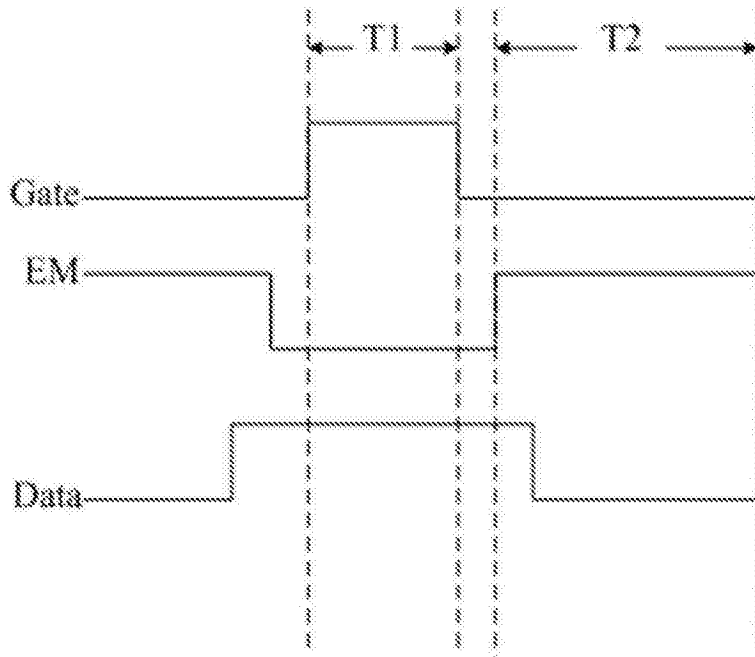


图4b

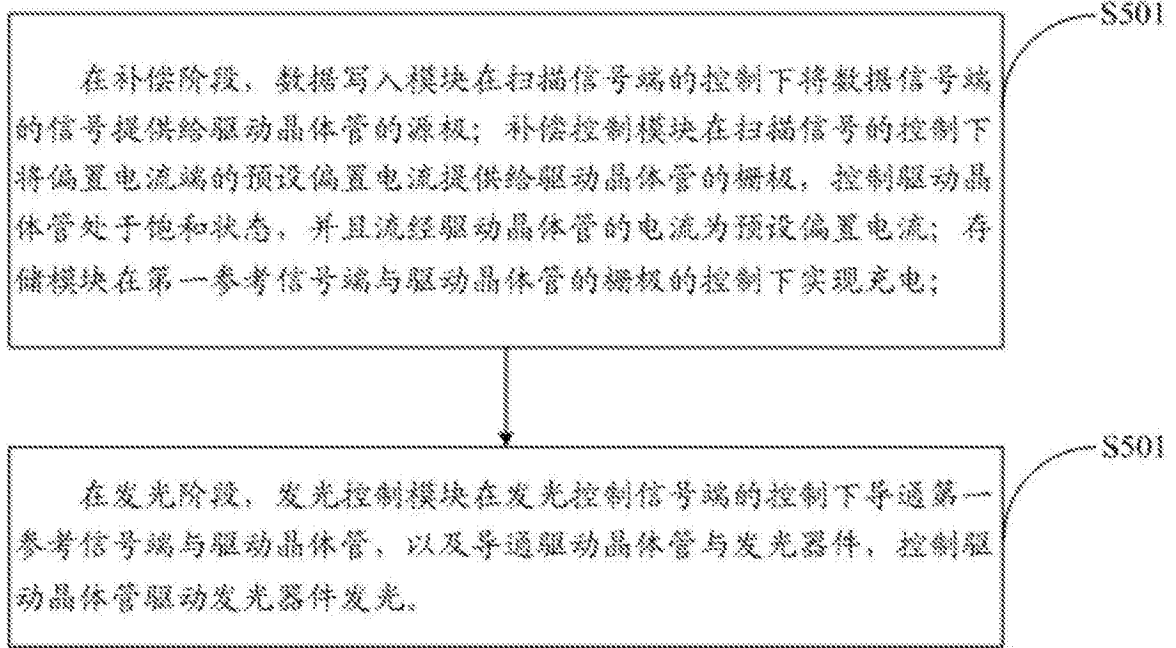


图5