

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5408713号
(P5408713)

(45) 発行日 平成26年2月5日(2014.2.5)

(24) 登録日 平成25年11月15日(2013.11.15)

(51) Int.Cl.

F 1

G 0 6 F 12/08 (2006.01)

G 0 6 F 12/08 5 1 9 Z
G 0 6 F 12/08 5 1 3
G 0 6 F 12/08 5 3 1 B
G 0 6 F 12/08 5 7 5

請求項の数 16 (全 27 頁)

(21) 出願番号 特願2009-223963 (P2009-223963)
(22) 出願日 平成21年9月29日 (2009.9.29)
(65) 公開番号 特開2011-76159 (P2011-76159A)
(43) 公開日 平成23年4月14日 (2011.4.14)
審査請求日 平成24年8月9日 (2012.8.9)

(73) 特許権者 000168285
エヌイーシーコンピュータテクノ株式会社
山梨県甲府市大津町1088-3
(74) 代理人 100103894
弁理士 冢入 健
(72) 発明者 嶋田 真一
山梨県甲府市大津町1088-3 エヌイー
シーコンピュータテクノ株式会社内

審査官 野田 佳邦

最終頁に続く

(54) 【発明の名称】 キャッシュメモリ制御システム及びキャッシュメモリの制御方法

(57) 【特許請求の範囲】

【請求項1】

それぞれキャッシュメモリを有する複数のプロセッサと接続される送受信制御部と、メインメモリへアクセスし、前記複数のプロセッサが有するキャッシュメモリ間の一貫性を保つコヒーレンシ制御部と、を備え、

前記コヒーレンシ制御部は、前記複数のプロセッサから前記メインメモリへの少なくとも排他的データ読み出しを含む複数のアクセス要求における対象アドレスが競合する場合に、当該複数のアクセス要求の競合に関する情報である競合情報を含めた応答指示を前記送受信制御部へ送信し、

前記送受信制御部は、前記応答指示に含まれる競合情報に基づき、前記排他的データ読み出しをアクセス要求としたプロセッサの中から決定された返信対象のプロセッサに対して、前記アクセス要求に対応するデータを返信し、引き続き、当該返信対象のプロセッサが有するキャッシュメモリ内のデータの取得を要求するスヌープ要求を送信する、ことを特徴とするキャッシュメモリ制御システム。

【請求項2】

前記送受信制御部は、前記応答指示に含まれる競合情報に基づき、前記返信対象のプロセッサの次に返信対象となるプロセッサを決定し、前記返信対象のプロセッサからの前記スヌープ要求に対する応答を受信した後に、当該次に返信対象となるプロセッサに対して、前記アクセス要求に対応するデータを返信することを特徴とする請求項1に記載のキャッシュメモリ制御システム。

10

20

【請求項 3】

前記コヒーレンシ制御部は、前記競合情報に基づき、最初の返信対象のプロセッサを決定し、当該決定した返信対象プロセッサへの応答指示として前記送受信制御部へ送信することを特徴とする請求項 1 又は 2 に記載のキャッシュメモリ制御システム。

【請求項 4】

前記コヒーレンシ制御部は、前記複数のアクセス要求を行ったプロセッサと、当該アクセス要求の種別とを対応付けて前記競合情報として前記応答指示に含めることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のキャッシュメモリ制御システム。

【請求項 5】

前記競合情報を格納する競合情報記憶手段を備え、

前記コヒーレンシ制御部は、前記競合情報記憶手段を参照し、前記複数のアクセス要求における対象アドレスが競合するか否かを判定し、対象アドレスが競合すると判定した場合に、前記応答指示を前記送受信制御部へ送信することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のキャッシュメモリ制御システム。

【請求項 6】

前記コヒーレンシ制御部は、前記複数のアクセス要求を受信した場合に、前記複数のアクセス要求を行ったプロセッサと、当該アクセス要求の種別とを対応付けて前記競合情報として前記競合情報記憶手段に格納することを特徴とする請求項 5 に記載のキャッシュメモリ制御システム。

【請求項 7】

前記返信対象のプロセッサは、前記複数のプロセッサにおける所定の順序に基づき、決定されることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載のキャッシュメモリ制御システム。

【請求項 8】

前記競合情報は、前記メインメモリのアドレス単位に、競合有無フラグ、アクセス要求の種別及び当該アクセス要求の識別情報を含むことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載のキャッシュメモリ制御システム。

【請求項 9】

それぞれキャッシュメモリを有する複数のプロセッサと接続される送受信制御部と、メインメモリへアクセスし、前記複数のプロセッサが有するキャッシュメモリ間の一貫性を保つコヒーレンシ制御部と、を備えるマルチプロセッサシステムにおけるキャッシュメモリの制御方法であって、

前記送受信制御部において、前記複数のプロセッサから前記メインメモリへの少なくとも排他的データ読み出しを含む複数のアクセス要求を受信し、

前記コヒーレンシ制御部において、前記複数のアクセス要求における対象アドレスが競合する場合に、当該複数のアクセス要求の競合に関する情報である競合情報を含めた応答指示を前記送受信制御部へ送信し、

前記送受信制御部において、前記応答指示に含まれる競合情報に基づき、前記排他的データ読み出しをアクセス要求としたプロセッサの中から決定された返信対象のプロセッサに対して、前記アクセス要求に対応するデータを返信し、

引き続き、前記送受信制御部において、当該返信対象のプロセッサが有するキャッシュメモリ内のデータの取得を要求するスヌープ要求を送信する、ことを特徴とする制御方法。

【請求項 10】

前記送受信制御部において、前記応答指示に含まれる競合情報に基づき、前記返信対象のプロセッサの次に返信対象となるプロセッサを決定し、前記返信対象のプロセッサからの前記スヌープ要求に対する応答を受信した後に、当該次に返信対象となるプロセッサに対して、前記アクセス要求に対応するデータを返信することを特徴とする請求項 9 に記載の制御方法。

【請求項 11】

前記コヒーレンシ制御部において、前記競合情報に基づき、最初の返信対象のプロセッサを決定し、当該決定した返信対象プロセッサへの応答指示として前記送受信制御部へ送信することを特徴とする請求項 9 又は 10 に記載の制御方法。

【請求項 12】

前記コヒーレンシ制御部において、前記複数のアクセス要求を行ったプロセッサと、当該アクセス要求の種別とを対応付けて前記競合情報として前記応答指示に含めることを特徴とする請求項 9 乃至 11 のいずれか 1 項に記載の制御方法。

【請求項 13】

前記マルチプロセッサシステムは、前記競合情報を格納する競合情報記憶手段を備え、前記コヒーレンシ制御部において、前記競合情報記憶手段を参照し、前記複数のアクセス要求における対象アドレスが競合するか否かを判定し、対象アドレスが競合すると判定した場合に、前記応答指示を前記送受信制御部へ送信することを特徴とする請求項 9 乃至 12 のいずれか 1 項に記載の制御方法。

10

【請求項 14】

前記コヒーレンシ制御部において、前記複数のアクセス要求を受信した場合に、前記複数のアクセス要求を行ったプロセッサと、当該アクセス要求の種別とを対応付けて前記競合情報として前記競合情報記憶手段に格納することを特徴とする請求項 13 に記載の制御方法。

【請求項 15】

前記返信対象のプロセッサは、前記複数のプロセッサにおける所定の順序に基づき、決定されることを特徴とする請求項 9 乃至 14 のいずれか 1 項に記載の制御方法。

20

【請求項 16】

前記競合情報は、前記メインメモリのアドレス単位に、競合有無フラグ、アクセス要求の種別及び当該アクセス要求の識別情報を含むことを特徴とする請求項 9 乃至 15 のいずれか 1 項に記載の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、キャッシュメモリ制御システム及びキャッシュメモリの制御方法に関し、特に、情報処理装置におけるメモリデータアクセス競合時のリクエスト処理についてのキャッシュメモリ制御システム及びキャッシュメモリの制御方法に関する。

30

【背景技術】

【0002】

特許文献 1 には、キャッシュを備えた複数のプロセッサとメモリとの間のデータ入出力を制御するメモリコントローラに関する技術が開示されている。特許文献 1 にかかるメモリコントローラは、読み出し要求を受けた場合、各プロセッサから当該要求についてのスヌープ結果が通知される前に、メモリに対するデータ読み出し処理を開始し、書き込み要求を受けた場合、各プロセッサから当該要求についてのスヌープ結果が通知されるのを待って、メモリに対するデータ書き込み処理を開始する。

【0003】

40

特許文献 2 には、マルチプロセッサ環境において、性能を改善するように管理されたメモリキャッシュシステムに関する技術が開示されている。特許文献 2 にかかるメモリキャッシュシステムにおいて、第 1 のプロセッサは、第 1 のレベル 1 キャッシュを用いてデータにアクセスし、第 2 のプロセッサは、第 2 のレベル 1 キャッシュを用いてデータにアクセスする。また、記憶制御回路は、第 1 と第 2 のレベル 1 キャッシュとレベル 2 キャッシュとメインメモリとの間に配置される。レベル 2 キャッシュは、主記憶装置内のデータのコピーを管理し、それらのレベル 1 キャッシュがデータのコピーを有し、それらのコピーが変更されているか否かの指示を、さらに管理する。

【0004】

特許文献 3 には、ノードの処理状態にしたがって主記憶アクセスの先行を許しマルチブ

50

ロセッサシステムの性能を向上させる技術が開示されている。特許文献3にかかるマルチプロセッサシステムは、データ読み出しアクセスを全ノードで同期して選択し順序付けするだけでなく、データ書き戻し完了通知も全ノードで同期して選択し順序付けすることで、全ノードで観測されるデータ読み出しの順序とデータ書き戻しの完了順序を一意にする。また、各ノードにおいて、順序付けされたデータ読み出しアクセスと順序付けされたデータ書き戻し完了通知の対象アドレスを比較し、データ書き戻しの完了に追い越される同一アドレスのデータ読み出しを検出することで、データ読み出しとデータ書き戻しの順序を決定する。このとき、データ書き戻しの完了に追い越された同一アドレスのデータ読み出しアクセスを送信したノードへデータの読み直しを促すコヒーレンシ応答を送信することで、データのコヒーレンシを維持する。

10

【0005】

特許文献4には、ライトバック方式のキャッシュメモリを有する共有メモリ型マルチプロセッサシステムにおいて、余分なスヌープ処理をなくして高いシステム性能を実現するキャッシュメモリ制御方式に関する技術が開示されている。特許文献4にかかるキャッシュメモリ制御方式において、プロセッサは、無効状態、共有状態、排他一致状態、および排他変更状態の4状態を取る状態部を備えるコピータグを有している。キャッシュメモリが排他変更状態に遷移したときは、コピータグに通知することによってキャッシュメモリの状態と一致させ、共有バス上の共有メモリへのリード要求をバス監視回路によって検出し、コピータグの検査を行ってキャッシュメモリへのアクセスを減らし、排他変更状態のブロックにヒットしたときにだけ、変更信号線を出力して共有メモリを待機させ、キャッシュメモリに対してスヌープ処理を行う。

20

【0006】

特許文献5には、効率的に排他制御を調停することにより、タイムアウト等のシステムの処理に支障を来す事態の発生を防止するマルチプロセッサシステムに関する技術が開示されている。特許文献5にかかるマルチプロセッサシステムにおいて、プロセッサを搭載するカードと、カードを相互に接続するバスと、排他制御を実行中のプロセッサの存在を示す排他制御フラグと、プロセッサ毎に、排他制御の要求が失敗したことを示す失敗フラグと、および、再発行された排他制御要求が成功したことを示す成功フラグを備え、各カードからの排他制御要求を、他のカードが受け取り、共通の調停論理に基づき各カードのそれぞれが同一の要求処理順序を判定し実行する分散調停方式により排他制御の調停を行うことを特徴とする。

30

【0007】

特許文献6には、各ノードにローカルなメモリを有する複数のノードならびにすべてのノードを相互接続するタグ・アンド・アドレス・クロスバ・システムおよびデータ・クロスバ・システムに構成されたマルチプロセッサシステムに関する技術が開示されている。特許文献6にかかるマルチプロセッサシステムは、グローバル・スヌープを使用して、データ・タグの直列化の単一の点を提供する。中央クロスバ・コントローラが、すべてのノードの所与のアドレス・ラインのキャッシュ状態タグを同時に検査し、キャッシュ・コヒーレンスを維持し、要求されたデータを供給するためにシステム内の他のノードへの他のデータ要求を生成しながら、データを要求するノードに適当な応答を発行する。このシステムは、各ノードにローカルなメモリを、所与のキャッシュ・ラインについて相互に排他的なローカル・カテゴリおよびリモート・カテゴリに分割することによって、そのようなメモリを利用する。この開示では、各ノードの第3レベル・リモート・キャッシュのサポートを提供する。

40

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2000-250811号公報

【特許文献2】特開2000-250812号公報

【特許文献3】特開2006-323432号公報

50

【特許文献4】特開平10-222423号公報

【特許文献5】特許第3560534号公報

【特許文献6】特表2005-539282号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、上述した特許文献1乃至6にかかる技術を用いても、マルチプロセッサシステムにおける複数プロセッサからあるひとつの主記憶上のキャッシュラインアドレスへのアクセスが同時期に発生した場合であるアドレス競合状態において、最後のアドレス競合リクエストを処理するまでにかかる時間が増大するという問題がある。その理由は、まず、アドレス競合状態にあるプロセッサ発行のリクエストを処理するにあたり、必ずキャッシュコヒーレンシ制御部から対象プロセッサへのスヌープリクエストのレイテンシと、そのコンプライションのレイテンシがかかるためである。また、現状のマルチプロセッサシステムにおけるプロセッサ数は、数10から数100に達していることが一般的である。それにより、マルチプロセッサシステムにおけるプロセッサ数が多い場合、情報処理装置を構成するための物理的制約によりキャッシュコヒーレンシ制御部とプロセッサ間のレイテンシが増大するためである。なお、このようなアドレス競合処理は、マルチプロセッサシステムにおけるセマフォロックオペレーションにおいて一般的なこととして行われるものである。

10

【0010】

ここで、上述した課題の発生を以下に例示して説明する。まず、以下で対象とするSMP (Symmetric Multi-Processor)システムは、内部に主記憶データを一時的に格納するMESIなどの一般的なプロトコルを採用するストアイン方式のキャッシュメモリを搭載するCPUやI/Oプロセッサ複数個と、自己の管理対象主記憶データがどのCPU、I/Oプロセッサキャッシュに保持されているかを登録するディレクトリ方式によりCPUやI/Oプロセッサのキャッシュ間コヒーレンシ保障を行うキャッシュコヒーレンシ制御回路と、前記キャッシュコヒーレンシ制御回路を介してCPU、I/Oプロセッサからのメモリアクセスリクエストを受け取り、配下の主記憶に書き込み、読み出し動作を指示するメモリ制御回路と、を備え、これらを1対1接続、バス接続、スター接続などの方式により接続したものである。

20

30

【0011】

ここで、複数プロセッサからあるひとつの主記憶上のキャッシュラインアドレスへのアクセスが同時期に発生した状態であるアドレス競合状態である場合を考える。この場合、上述した特許文献5では、ある特定のプロセッサがメモリアクセスできない所謂ライブロック状態を回避しつつシステム内のキャッシュコヒーレンシを保証するためには、あるひとつのキャッシュコヒーレンシ制御部を有することとなる。または、複数個所に分散しつつも完全に全てが同期して動作するキャッシュコヒーレンシ制御部を有することとなる。そして、このキャッシュコヒーレンシ制御部でアドレス競合しているリクエストをひとつひとつシーケンシャルに処理する必要がある。

【0012】

これによると、複数プロセッサが同時期に同一メモリアドレスに対して更新を目的とする主記憶リードリクエストを発行した場合、次のような動作となる。尚、ここでは、主記憶上にあるデータがシステム唯一のデータであるとする。

40

【0013】

まず、上述したキャッシュコヒーレンシ制御部は、最初に処理すると決定されたリクエストの発行元プロセッサに対して主記憶読み出しデータを返却する。次に、キャッシュコヒーレンシ制御部は、2番目に処理すると決定したプロセッサのリクエストを処理するために、最初に処理したリクエストの発行元プロセッサにキャッシュ内データ掃き出し指示リクエスト(キャッシュスヌープリクエスト)を発行する。この結果、最初に処理したリクエストの発行元プロセッサからはキャッシュ内データとキャッシュスヌープリクエスト

50

に対するコンプリーションが発行される。

【0014】

そして、キャッシュ内データは、2番目に処理すると決定されたリクエストを発行したプロセッサに返却され、コンプリーションは、キャッシュコヒーレンシ制御部に返却される。

【0015】

続いて、最初に処理したリクエストの発行元プロセッサからのコンプリーションを受け付けたキャッシュコヒーレンシ制御部は、最初に処理したリクエストの発行元プロセッサからキャッシュ内データが掃き出されたこと、及び、そのデータが2番目に処理すると決定したリクエストの発行元プロセッサに渡されたことを知る。そして、当該キャッシュコヒーレンシ制御部は、それを契機に3番目に処理すると決定したリクエストを処理するために、2番目に処理したリクエストの発行元プロセッサにキャッシュスヌープリクエストを発行する。以下、2番目のリクエストを処理したときと同じ動作が行われ、更に、競合リクエストを発行したプロセッサがあればそれらについて同じ動作が繰り返し行われる。このように、マルチプロセッサシステムのアドレス競合状態において、最後のアドレス競合リクエストを処理するまでにかかる時間が増大するという問題が生じる。

10

【0016】

本発明は、このような問題点を解決するためになされたものであり、アドレス競合状態において、最後のアドレス競合リクエストを処理するまでにかかる時間を短縮することができるキャッシュメモリ制御システム及びキャッシュメモリの制御方法を提供することを

20

【課題を解決するための手段】

【0017】

本発明の第1の態様にかかるキャッシュメモリ制御システムは、それぞれキャッシュメモリを有する複数のプロセッサと接続される送受信制御部と、メインメモリへアクセスし、前記複数のプロセッサが有するキャッシュメモリ間の一貫性を保つコヒーレンシ制御部と、を備え、前記コヒーレンシ制御部は、前記複数のプロセッサから前記メインメモリへの少なくとも排他的データ読み出しを含む複数のアクセス要求における対象アドレスが競合する場合に、当該複数のアクセス要求の競合に関する情報である競合情報を含めた応答指示を前記送受信制御部へ送信し、前記送受信制御部は、前記応答指示に含まれる競合情報に基づき、前記排他的データ読み出しをアクセス要求としたプロセッサの中から決定された返信対象のプロセッサに対して、前記アクセス要求に対応するデータを返信し、引き続き、当該返信対象のプロセッサが有するキャッシュメモリ内のデータの取得を要求するスヌープ要求を送信する。

30

【0018】

本発明の第2の態様にかかるキャッシュメモリの制御方法は、それぞれキャッシュメモリを有する複数のプロセッサと接続される送受信制御部と、メインメモリへアクセスし、前記複数のプロセッサが有するキャッシュメモリ間の一貫性を保つコヒーレンシ制御部と、を備えるマルチプロセッサシステムにおけるキャッシュメモリの制御方法であって、前記送受信制御部において、前記複数のプロセッサから前記メインメモリへの少なくとも排他的データ読み出しを含む複数のアクセス要求を受信し、前記コヒーレンシ制御部において、前記複数のアクセス要求における対象アドレスが競合する場合に、当該複数のアクセス要求の競合に関する情報である競合情報を含めた応答指示を前記送受信制御部へ送信し、前記送受信制御部において、前記応答指示に含まれる競合情報に基づき、前記排他的データ読み出しをアクセス要求としたプロセッサの中から決定された返信対象のプロセッサに対して、前記アクセス要求に対応するデータを返信し、引き続き、前記送受信制御部において、当該返信対象のプロセッサが有するキャッシュメモリ内のデータの取得を要求するスヌープ要求を送信する。

40

【発明の効果】

【0019】

50

本発明により、アドレス競合状態において、最後のアドレス競合リクエストを処理するまでにかかる時間を短縮することができる。

【図面の簡単な説明】

【0020】

【図1】本発明の実施の形態1にかかるキャッシュメモリ制御システムの構成を示すブロック図である。

【図2】本発明の実施の形態1にかかるキャッシュメモリの制御方法の流れを示すフローチャート図である。

【図3】本発明の実施の形態2にかかるマルチプロセッサシステムの構成を示すブロック図である。

【図4】本発明の実施の形態2で使用するキャッシュプロトコルのひとつであるMESIプロトコルのそれぞれのステータスの意味を説明したものである。

【図5】本発明の実施の形態2にかかるキャッシュステータス管理機能のために実装するディレクトリの構成図である。

【図6】本発明の実施の形態2にかかるディレクトリキャッシュステータスの説明である。

【図7】本発明の実施の形態2にかかるキャッシングエージェント情報の説明である。

【図8】本発明の実施の形態2にかかるメッセージ類の説明である。

【図9】本発明の実施の形態2にかかるプロセッサからのリクエスト及びレスポンス並びにプロセッサ内キャッシュのステータス遷移の一覧である。

【図10】本発明の実施の形態2にかかるシステムインタフェースからのリクエスト及びレスポンス並びにプロセッサ内キャッシュのステータス遷移の一覧である。

【図11】本発明の実施の形態2にかかる競合情報の構成を示すブロック図である。

【図12】本発明の実施の形態2にかかる競合情報の内容の説明である。

【図13】本発明の実施の形態2にかかるコヒーレンシ制御部におけるEBR、SBR受信時のアドレス競合制御部の内部情報の遷移を示す表である。

【図14】本発明の実施の形態2にかかるコヒーレンシ制御部におけるレスポンス生成を説明する表である。

【図15】本発明の実施の形態2にかかるレスポンスであるRsp__Data__EおよびRsp__Data__Sの内部構成を示すものである。

【図16】本発明の実施の形態2にかかるレスポンスであるRsp__Data__Conflictの内部構成を示すものである。

【図17】本発明の実施の形態2にかかるアドレス競合時のコヒーレンシ制御部の処理の流れを示すフローチャート図である。

【図18】本発明の実施の形態2にかかるコヒーレンシ制御部がレスポンスであるRsp__Data__Conflictを生成する処理の流れを示すフローチャート図である。

【図19】本発明の実施の形態2にかかるレスポンス/スヌープ制御部がRsp__Data__Conflictを受信した場合における処理の前半の流れを示すフローチャート図である。

【図20】本発明の実施の形態2にかかるレスポンス/スヌープ制御部がRsp__Data__Conflictを受信した場合における処理の後半の流れを示すフローチャート図である。

【発明を実施するための形態】

【0021】

以下では、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。各図面において、同一要素には同一の符号が付されており、説明の明確化のため、必要に応じて重複説明は省略する。

【0022】

< 発明の実施の形態1 >

図1は、本発明の実施の形態1にかかるキャッシュメモリ制御システムの構成を示すブ

10

20

30

40

50

ロック図である。キャッシュメモリ制御システム15は、プロセッサ11、プロセッサ12及びメインメモリ18と接続され、プロセッサ11及び12がそれぞれ有するキャッシュメモリ13及び14の管理を行うものである。

【0023】

プロセッサ11は、キャッシュメモリ13を搭載するCPU及びI/Oプロセッサである。例えば、MESIプロトコルなどの一般的なキャッシュプロトコルを採用するストアイン方式のリクエストである。プロセッサ12は、キャッシュメモリ14を搭載するCPU及びI/Oプロセッサであり、その他は、プロセッサ11と同様である。尚、本発明の実施の形態1にかかるプロセッサの数は、少なくとも2以上であればよい。

【0024】

キャッシュメモリ制御システム15は、送受信制御部16及びコヒーレンシ制御部17を備える。送受信制御部16は、プロセッサ11及び12と接続され、プロセッサ11及び12からの要求を受信し、当該要求をコヒーレンシ制御部17へ転送する。また、送受信制御部16は、コヒーレンシ制御部17からの指示を受信し、所定の応答をプロセッサ11又は12へ送信する。コヒーレンシ制御部17は、プロセッサ11及び12からメインメモリ18への少なくとも排他的データ読み出しを含む複数のアクセス要求における対象アドレスが競合する場合に、当該複数のアクセス要求の競合に関する情報である競合情報を含めた応答指示を送受信制御部16へ送信する。そして、送受信制御部16は、コヒーレンシ制御部17からの応答指示に含まれる競合情報に基づき、排他的データ読み出しをアクセス要求としたプロセッサの中から決定された返信対象のプロセッサに対して、アクセス要求に対応するデータを返信し、引き続き、当該返信対象のプロセッサが有するキャッシュメモリ内のデータの取得を要求するスヌープ要求を送信する。

【0025】

メインメモリ18は、コヒーレンシ制御部17からの対象アドレスを指定したデータ読み出し要求に応じて、対象アドレスにおけるデータを返信する。また、メインメモリ18は、コヒーレンシ制御部17からの対象アドレスを指定したデータ書き込み要求に応じて、対象アドレスにおけるデータを更新し、その旨を返信する。

【0026】

図2は、本発明の実施の形態1にかかるキャッシュメモリの制御方法の流れを示すフローチャート図である。

【0027】

まず、送受信制御部16は、プロセッサ11及び12からメインメモリ18への複数のアクセス要求を受信する(S11)。ここで、複数のアクセス要求には、少なくとも排他的データ読み出しを含むものとする。また、複数のアクセス要求は、メインメモリ18内の同一のアドレスを対象としたものとする。尚、送受信制御部16は、受信したアクセス要求をコヒーレンシ制御部17へ転送する。

【0028】

次に、コヒーレンシ制御部17は、複数のアクセス要求における対象アドレスが競合する場合に、当該複数のアクセス要求の競合に関する情報である競合情報を含めた応答指示を送受信制御部16へ送信する(S12)。

【0029】

そして、送受信制御部16は、応答指示に含まれる競合情報に基づき、排他的データ読み出しをアクセス要求としたプロセッサの中から決定された返信対象のプロセッサに対して、アクセス要求に対応するデータを返信する(S13)。

【0030】

引き続き、送受信制御部16は、当該返信対象のプロセッサが有するキャッシュメモリ内のデータの取得を要求するスヌープ要求を送信する(S14)。

【0031】

これにより、送受信制御部16からコヒーレンシ制御部17へのコンプリーション及びコヒーレンシ制御部17から送受信制御部16へのスヌープの送受信の時間を短縮できる

10

20

30

40

50

。このように、本発明の実施の形態 1 により、アドレス競合状態において、最後のアドレス競合リクエストを処理するまでにかかる時間を短縮することができる。

【 0 0 3 2 】

< 発明の実施の形態 2 >

図 3 は、本発明の実施の形態 2 にかかるマルチプロセッサシステム 1 0 0 の構成を示すブロック図である。マルチプロセッサシステム 1 0 0 は、上述した本発明の実施の形態 1 にかかるキャッシュメモリ制御システムの一例である。マルチプロセッサシステム 1 0 0 は、2つのノードコントローラに複数のプロセッサを 1 対 1 接続する例を示すが、ノードコントローラとプロセッサとの接続方法は、これに限定されない。例えば、ノードコントローラとプロセッサとの接続方法は、バス接続やスター接続等であっても構わない。

10

【 0 0 3 3 】

プロセッサ 1 0 1 乃至 1 0 8 は、それぞれ M E S I プロトコルなどの一般的なキャッシュプロトコルを採用するストアイン方式のキャッシュメモリ 1 1 1 乃至 1 1 8 を搭載する CPU 及び I / O プロセッサである。プロセッサ 1 0 1 乃至 1 0 8 は、主記憶アクセスリクエストのリクエストとなるものである。尚、本発明の実施の形態 2 で用いられるプロセッサ 1 0 1 乃至 1 0 8 は、公知なものであるため、詳細な説明を省略する。尚、プロセッサ数は、これに限定されず、少なくとも 2 以上であればよい。図 4 は、本発明の実施の形態 2 で使用するキャッシュプロトコルの一例である M E S I プロトコルのそれぞれのステータスの意味を説明したものである。

【 0 0 3 4 】

20

主記憶管理システム 1 5 1 は、主記憶 1 5 3 及び主記憶コントローラ 1 5 5 を備える。また、主記憶管理システム 1 5 2 は、主記憶 1 5 4 及び主記憶コントローラ 1 5 6 を備える。主記憶管理システム 1 5 1 及び 1 5 2 は、コヒーレンシ制御部 1 4 3 及び 1 4 4 を介して受け付けたプロセッサ 1 0 1 乃至 1 0 8 からの主記憶アクセスリクエストに対して適切に主記憶データの読み出し、主記憶データの更新を行う。尚、本発明の実施の形態 2 で用いられる主記憶管理システム 1 5 1 及び 1 5 2 は、公知なものであるため、詳細な説明を省略する。

【 0 0 3 5 】

ノードコントローラ 1 2 1 は、プロセッサ 1 0 1 乃至 1 0 4 と接続され、主記憶管理システム 1 5 1 へのアクセス制御を行う。また、ノードコントローラ 1 2 1 は、ノードコントローラ 1 2 2 を介して、プロセッサ 1 0 5 乃至 1 0 8 から主記憶管理システム 1 5 1 へのアクセス制御を行い、プロセッサ 1 0 1 乃至 1 0 4 主記憶管理システム 1 5 2 へのアクセス要求を送信する。ノードコントローラ 1 2 1 は、レスポンス / スヌープ制御部 1 3 1 乃至 1 3 4、クロスバー 1 4 1 及びコヒーレンシ制御部 1 4 3 を備える。

30

【 0 0 3 6 】

同様に、ノードコントローラ 1 2 2 は、プロセッサ 1 0 5 乃至 1 0 8 と接続され、主記憶管理システム 1 5 2 へのアクセス制御を行う。また、ノードコントローラ 1 2 2 は、ノードコントローラ 1 2 1 を介して、プロセッサ 1 0 1 乃至 1 0 4 から主記憶管理システム 1 5 2 へのアクセス制御を行い、プロセッサ 1 0 5 乃至 1 0 8 主記憶管理システム 1 5 1 へのアクセス要求を送信する。ノードコントローラ 1 2 2 は、レスポンス / スヌープ制御部 1 3 5 乃至 1 3 8、クロスバー 1 4 2 及びコヒーレンシ制御部 1 4 4 を備える。尚、本発明の実施の形態 2 で用いられるノードコントローラは、2 個に限定されない。

40

【 0 0 3 7 】

クロスバー 1 4 1 は、一般的なクロスバー回路であり、レスポンス / スヌープ制御部 1 3 1 乃至 1 3 4、コヒーレンシ制御部 1 4 3 及びクロスバー 1 4 2 を接続する。同様に、クロスバー 1 4 2 は、一般的なクロスバー回路であり、レスポンス / スヌープ制御部 1 3 5 乃至 1 3 8、コヒーレンシ制御部 1 4 4 及びクロスバー 1 4 1 を接続する。

【 0 0 3 8 】

レスポンス / スヌープ制御部 1 3 1 は、プロセッサ 1 0 1 と直接接続され、プロセッサ 1 0 1 が発行した主記憶アクセスリクエストに対し、所定の応答を行う。また、レスポンス

50

スノープ制御部 131 は、クロスバー 141 を介してコヒーレンシ制御部 143、レスポンス/スノープ制御部 132 乃至 134 並びにノードコントローラ 122 と通信可能である。

【0039】

ここで、特に、プロセッサ 101 を含む複数のプロセッサから主記憶 153 の同一のアドレスへのアクセス要求がされている場合、つまり、アドレス競合の場合について説明する。また、ここでは、プロセッサ 101 からの主記憶アクセスリクエストは、排他的データ読み出しであるものとする。この場合、レスポンス/スノープ制御部 131 は、コヒーレンシ制御部 143 もしくは 144 又は他のレスポンス/スノープ制御部 132 乃至 138 のいずれかから応答指示を受信する。そして、レスポンス/スノープ制御部 131 は、当該応答指示に含まれる競合情報に基づき、プロセッサ 101 に対して当該主記憶アクセスリクエストに対応するデータを返信し、引き続き、プロセッサ 101 が有するキャッシュメモリ 111 内のデータの取得を要求するスノープ要求を送信する。尚、競合情報については、後述する。

10

【0040】

また、レスポンス/スノープ制御部 131 は、アドレス競合検出時レスポンスに含まれる競合情報に基づき、返信対象であるプロセッサ 101 の次に返信対象となるプロセッサを決定し、プロセッサ 101 からのスノープ要求に対する応答を受信した後に、当該次に返信対象となるプロセッサに対して、アクセス要求に対応するデータを返信する。これにより、コヒーレンシ制御部 143 又は 144 を介さずに、連続してアドレス競合するプロセッサへデータ返信することができ、コヒーレンシ制御部 143 又は 144 との送受信時間を短縮することができる。

20

【0041】

尚、レスポンス/スノープ制御部 132 乃至 138 は、レスポンス/スノープ制御部 131 と同様に動作するため、詳細な説明を省略する。

【0042】

コヒーレンシ制御部 143 は、接続される主記憶管理システム 151 内の主記憶 153 及び主記憶コントローラ 155 へアクセスし、プロセッサ 101 乃至 108 が有するキャッシュメモリ 111 乃至 118 の一貫性を保つ。すなわち、コヒーレンシ制御部 143 は、主記憶管理システム 151 向けの主記憶アクセスリクエストが制御対象である。コヒーレンシ制御部 143 は、クロスバー 141 を介して、プロセッサ 101 乃至 108 からのアクセス要求を受信し、アクセス要求に応じて、主記憶管理システム 151 へアクセスする。また、コヒーレンシ制御部 143 は、クロスバー 141 を介して、主記憶管理システム 151 からのアクセス結果を所定のプロセッサへ返信する。コヒーレンシ制御部 143 は、キャッシュステータス管理機能 145 及びアドレス競合制御部 147 を備える。

30

【0043】

キャッシュステータス管理機能 145 は、ディレクトリ方式などの一般的なシステム内キャッシュステータス管理機能を実現する回路である。図 5 は、本発明の実施の形態 2 にかかるキャッシュステータス管理機能のために実装するディレクトリの構成の一例を示す図である。以下の説明においては、全ての主記憶をキャッシュラインサイズごとに管理可能なフルディレクトリ方式を採用するものとする。すなわち、各エントリは、かならず唯一の主記憶アドレスに対応するものとするが、セットアソシアティブ方式などを採用し同時には全主記憶アドレスを管理しないディレクトリ方式を用いても本発明は実現可能である。キャッシュステータス管理機能 145 は、エントリごとに、キャッシュステータス 301 とキャッシングエージェント情報 302 とを関連付けた情報を保持する。図 6 は、本発明の実施の形態 2 にかかるディレクトリのキャッシュステータス 301 の説明である。キャッシュステータス 301 は、主記憶アドレスのキャッシュステータス情報であり、システム内のプロセッサがどのようなキャッシュステータスでそのデータを保有しているかを示すものである。また、図 7 は、本発明の実施の形態 2 にかかるキャッシングエージェント情報 302 の説明である。キャッシングエージェント情報 302 は、キャッシュステ

40

50

ータスでデータを保有しているプロセッサを示すキャッシングエージェント情報である。尚、キャッシュステータス管理機能 145 は、これに限定されず、他のものであっても構わない。

【0044】

アドレス競合制御部 147 は、コヒーレンシ制御部 143 が受信したプロセッサ 101 乃至 108 からのアクセス要求について、アクセス対象となる対象アドレスごとにアクセス要求の競合に関する情報である競合情報を保持する。つまり、アドレス競合制御部 147 は、対象アドレスごとに競合情報を格納する競合情報記憶手段を有する。

【0045】

コヒーレンシ制御部 143 は、複数のプロセッサから主記憶 153 への少なくとも排他的データ読み出しを含む複数のアクセス要求における対象アドレスが競合する場合に、当該複数のアクセス要求の競合に関する情報である競合情報を含めた応答指示をクロスバー 141 へ送信する。

10

【0046】

また、コヒーレンシ制御部 143 は、競合情報に基づき、最初の返信対象のプロセッサを決定し、当該決定した返信対象プロセッサへの応答指示としてレスポンス/スヌープ制御部 131 乃至 138 のいずれかへ送信する。これにより、本発明の実施の形態 2 にかかるマルチプロセッサシステム 100 のように、複数のレスポンス/スヌープ制御部が複数のプロセッサと一対一接続された場合、競合情報に基づき最初の返信対象を決定することにより、適切な応答先へ送信することができる。

20

【0047】

尚、コヒーレンシ制御部 144 並びにコヒーレンシ制御部 144 が備えるキャッシュステータス管理機能 146 及びアドレス競合制御部 148 は、上述したコヒーレンシ制御部 143、キャッシュステータス管理機能 145 及びアドレス競合制御部 147 と同等であるため、詳細な説明を省略する。

【0048】

システムインタフェース 161 乃至 168 は、それぞれプロセッサ 101 乃至 108 とレスポンス/スヌープ制御部 131 乃至 138 とを接続するシステムインタフェースである。システムインタフェース 161 乃至 168 は、プロセッサ 101 乃至 108 から主記憶 153 及び 154 へのアクセスリクエスト及びそのデータリプライ、ノードコントローラ 121 及び 122 からプロセッサ 101 乃至 108 への主記憶データのキャッシング状態問い合わせリクエスト（以降、スヌープリクエストと呼ぶ）及びそのリプライの受け渡しを行う。

30

【0049】

インタフェース 171 乃至 174 は、レスポンス/スヌープ制御部 131 乃至 134 とクロスバー 141 とを接続するノードコントローラ 121 内のインタフェースである。インタフェース 181 は、クロスバー 141 とコヒーレンシ制御部 143 とを接続するノードコントローラ 121 内のインタフェースである。

【0050】

また、インタフェース 175 乃至 178 は、レスポンス/スヌープ制御部 135 乃至 138 とクロスバー 142 とを接続するノードコントローラ 122 内のインタフェースである。インタフェース 182 は、クロスバー 142 とコヒーレンシ制御部 144 とを接続するノードコントローラ 122 内のインタフェースである。

40

【0051】

メモリインタフェース 183 は、主記憶管理システム 151 とコヒーレンシ制御部 143 とを接続するメモリインタフェースである。メモリインタフェース 183 は、コヒーレンシ制御部 143 からの主記憶アクセスリクエスト及び主記憶管理システム 151 からのデータリプライの受け渡しを行う。

【0052】

また、メモリインタフェース 184 は、主記憶管理システム 152 とコヒーレンシ制御

50

部 1 4 4 とを接続するメモリアンタフェースである。メモリアンタフェース 1 8 4 は、コヒーレンシ制御部 1 4 4 からの主記憶アクセスリクエスト及び主記憶管理システム 1 5 2 からのデータリプライの受け渡しを行う。

【 0 0 5 3 】

ノードインタフェース 1 8 5 は、ノードコントローラ 1 2 1 内のクロスバー 1 4 1 と、ノードコントローラ 1 2 2 内のクロスバー 1 4 2 とを接続するインタフェースである。ノードインタフェース 1 8 5 は、異なるノードコントローラ上に搭載されるレスポンス/スヌープ制御部及びコヒーレンシ制御部間の主記憶アクセスリクエスト及びそのデータリプライ並びにスヌープリクエスト及びそのリプライの受け渡しを行う。

【 0 0 5 4 】

ここで、本発明の実施の形態 2 にかかるメッセージ類の種類及び説明を図 8 に示す。図 8 は、本発明の実施の形態 2 にかかるマルチプロセッサシステム 1 0 0 内を実現するにあたり必要となるプロセッサ、レスポンス/スヌープ制御部、クロスバー及びコヒーレンシ制御部間、並びに、コヒーレンシ制御部及び主記憶管理システム間のリクエストメッセージや、レスポンス及びコンプリーションメッセージを示したものである。特に、図 8 に示す `R s p _ D a t a _ C n f l t` は、`R s p _ D a t a _ E`、`R s p _ D a t a _ S` に加え、コヒーレンシ制御部で検出した `E B R` の同一アドレス競合状態、`S B R` の同一アドレス競合状態及び競合する `E B R` 又は `S B R` のリクエスト `I D` 情報を有するレスポンスメッセージである。

【 0 0 5 5 】

図 9 は、本発明の実施の形態 2 にかかるプロセッサからのリクエスト及びレスポンス並びにプロセッサ内キャッシュのステータス遷移の一覧である。また、図 1 0 は、本発明の実施の形態 2 にかかるシステムインタフェースからのリクエスト及びレスポンス並びにプロセッサ内キャッシュのステータス遷移の一覧である。

【 0 0 5 6 】

例えば、図 9 の 9 0 3 は、あるプロセッサが `E B R` を発行した際に、その発行元プロセッサの初期のキャッシュステータスは `S` であり、この場合、受信する可能性のあるレスポンスは `R s p _ D a t a _ E` となることを示す。これを受信したプロセッサは、それに付与されているデータを自キャッシュに格納し、そのステータスを `E` として処理を完了する。

【 0 0 5 7 】

尚、図 9 の 9 0 1、9 0 2、9 0 4、9 0 6 乃至 9 0 9 及び 9 1 3 乃至 9 1 5 は、リクエストとステータスの組み合わせとして挙げたものであるが、実際には、発生し得ない組み合わせである。

【 0 0 5 8 】

また、図 1 0 の 9 1 6 は、あるプロセッサ（仮に `A`）とは異なるプロセッサ（仮に `B`）が発行した `E B R` がキャッシュコヒーレンシ制御部に受信され、その中のディレクトリを索引した結果プロセッサ `A` がデータを `M` で保持しているということが判明した場合の状態遷移を示すものである。そして、それを条件としてプロセッサ `A` に対して `S n p _ E` が発行された場合を示す。このとき、プロセッサ `A` のキャッシュステータスは `M` であるから、このキャッシュステータスは `I` に遷移し、同時に、システムインタフェースに `C m p _ I` と `R s p _ D a t a _ E` を発行し処理を完了する。

【 0 0 5 9 】

なお、上述した課題で挙げた `S M P` システムでは、`C m p _ I` はコヒーレンシ制御部に転送されプロセッサ `A` での処理完了を知り、次の同一アドレスリクエストの処理を開始するきっかけとなり、`R s p _ D a t a _ E` はプロセッサ `B` に返却される。これに比べ、本発明の実施の形態 2 では、プロセッサ `A` を管理するレスポンス/スヌープ管理部が、`C m p _ I` と `R s p _ D a t a _ E` の両方を受け付け、そこから `R s p _ D a t a _ C n f l t` を生成し、プロセッサ `B` に転送する。これにより、キャッシュステータスを遷移させ、キャッシュメモリの一貫性を保つことができる。つまり、コヒーレンシ制御部への `C m p`

10

20

30

40

50

— I 転送は行わないため、転送時間分の処理時間を短縮することができる。

【 0 0 6 0 】

図 1 1 は、本発明の実施の形態 2 にかかる競合情報の構成を示すブロック図である。図 1 2 は、本発明の実施の形態 2 にかかる競合情報の内容の説明である。競合情報は、V a l i d ビット 7 0 1、E B R 競合検出フラグ 7 0 2、E B R 競合検出フラグ 7 0 3、リクエスト I D 7 0 4 を対象アドレス単位に関連付けたものである。V a l i d ビット 7 0 1 は、1 のとき、当該セットが使用中であることを示す。E B R 競合検出フラグ 7 0 2 は、コヒーレンシ制御部が E B R を受け取ったならば、その E B R のリクエストソースに対応するビットを 1 にセットされる。E B R 競合検出フラグ 7 0 3 は、コヒーレンシ制御部が S B R を受け取ったならば、その S B R のリクエストソースに対応するビットを 1 にセッ 10 トされる。リクエスト I D 7 0 4 は、E B R 競合検出フラグ 7 0 2 及び E B R 競合検出フラグ 7 0 3 をセットされると同時に、当該リクエストのリクエスト I D を設定、保持されるためのフィールドである。

【 0 0 6 1 】

尚、図 1 1 に示すのは、1 つの主記憶アドレスに対応する 1 セットの図であり、競合情報は、セット単位で主記憶アドレスを管理される。つまり、競合情報は、メインメモリのアドレス単位に、競合有無フラグ、アクセス要求の種別及び当該アクセス要求の識別情報を含む。これにより、アドレスの競合関係を適切に管理が可能となり、参照が容易となる。

【 0 0 6 2 】

図 1 3 は、本発明の実施の形態 2 にかかるコヒーレンシ制御部における E B R 又は S B R 受信時のアドレス競合制御部 1 4 7 及び 1 4 8 の内部情報の遷移を示す表である。以下では、アドレス競合制御部 1 4 7 における動作として説明する。図 1 3 の 1 3 0 1 は、E B R を受け付けたときのものである。このとき、アドレス競合制御部 1 4 7 は、E B R のリクエストソースに対応する E B R 競合検出フラグのビットを 1 にセットし、同時に E B R のリクエスト I D を対応するリクエスト I D フィールドにセットする。また、図 1 3 の 1 3 0 2 は、S B R を受け付けたときのものである。このとき、アドレス競合制御部 1 4 7 は、S B R のリクエストソースに対応する S B R 競合検出フラグのビットを 1 にセットし、同時に S B R のリクエスト I D を対応するリクエスト I D フィールドにセットする。

【 0 0 6 3 】

図 1 4 は、本発明の実施の形態 2 にかかるコヒーレンシ制御部におけるレスポンス生成を説明する表である。図 1 4 は、コヒーレンシ制御部が E B R / S B R に対するリプライをリクエストソースのプロセッサに対して発行する際に、どのレスポンスを行うかの組み合わせを示す。つまり、コヒーレンシ制御部は、リクエスト種別と更新前のアドレス競合制御部が保持する競合情報の V a l i d ビットの組み合わせに応じて、通常のレスポンス (R s p _ D a t a _ E 又は R s p _ D a t a _ S) を返却するか、又は、R s p _ D a t a _ C n f l t を生成しレスポンスとするかを決定する。

【 0 0 6 4 】

図 1 5 は、本発明の実施の形態 2 にかかるレスポンスである R s p _ D a t a _ E および R s p _ D a t a _ S の内部構成を示すものである。図 1 5 に示すように、R s p _ D a t a _ E および R s p _ D a t a _ S は、コマンドコード、デスティネーション I D、オリジナルリクエスト I D 及びデータを備える。尚、R s p _ D a t a _ E および R s p _ D a t a _ S の内部構成は、公知のものを用いても構わない。また、図 1 6 は、本発明の実施の形態 2 にかかるレスポンスである R s p _ D a t a _ C n f l t の内部構成を示すものである。図 1 6 に示すように、R s p _ D a t a _ C n f l t は、図 1 5 の構成に加え、E B R 競合検出フラグ、S B R 競合検出フラグ、リクエスト I D を備える。

【 0 0 6 5 】

図 1 7 は、本発明の実施の形態 2 にかかるアドレス競合時のコヒーレンシ制御部の処理の流れを示すフローチャート図である。尚、以下の説明で扱う主記憶の対象アドレスは、全て同一のものであるとする。また、対象アドレスは、主記憶 1 5 3 のアドレスであるも 50

のとする。また、初期状態として、プロセッサ101乃至108のキャッシュメモリ111乃至118のいずれにも、当該対象アドレスに対応する主記憶153のデータがキャッシュされていないものとする。

【0066】

まず、プロセッサ101、103及び106がEBRを、プロセッサ104及び107がSBRを同時期に発行したものとする。このとき、ノードコントローラ121及び122は、複数のプロセッサから競合するアクセス要求を受信する(S21)。具体的には、レスポンス/スヌープ制御部131、133及び136は、プロセッサ101、103及び106からのアクセス要求であるEBRを受信する。同様に、レスポンス/スヌープ制御部134及び137は、プロセッサ104及び107からのアクセス要求であるSBRを受信する。そして、レスポンス/スヌープ制御部131、133及び134は、受信したアクセス要求をクロスバー141へ送信する。また、レスポンス/スヌープ制御部136及び137は、受信したアクセス要求をクロスバー142へ送信する。ここで、受信されたアクセス要求の対象アドレスは、全て主記憶153のアドレスであるため、クロスバー142は、クロスバー141へ受信したアクセス要求を送信する。その後、クロスバー141は、受信したアクセス要求をシリアルライズし、インタフェース181を介してコヒーレンシ制御部143へ送信する。ここでは、コヒーレンシ制御部143は、プロセッサ101からのEBR、プロセッサ103からのEBR、プロセッサ104からのSBR、プロセッサ106からのEBR及びプロセッサ107からのSBRの順序で受信したものとする。

【0067】

次に、コヒーレンシ制御部143は、競合情報を登録する(S22)。具体的には、コヒーレンシ制御部143は、受信した複数のEBR及びSBRにより、アドレス競合制御部に格納された競合情報を図13に示したように更新する。すなわち、コヒーレンシ制御部は、複数のアクセス要求を受信した場合に、複数のアクセス要求を行ったプロセッサと、当該アクセス要求の種別とを対応付けて競合情報として競合情報記憶手段に格納する。これにより、競合情報を適切に登録し、参照が容易となる。

【0068】

ここでは、コヒーレンシ制御部143が全アクセス要求を受信した後、競合情報は、Valid=1、EBR競合検出フラグ(7:0)=0x25、SBR競合検出フラグ(7:0)=0x48、そしてリクエストID_0、リクエストID_2、リクエストID_3、リクエストID_5、リクエストID_6には、それぞれプロセッサ101からのEBRのリクエストID、プロセッサ103からのEBRのリクエストID、プロセッサ104からのSBRリクエストID、プロセッサ106からのEBRリクエストID、プロセッサ107からのSBRリクエストIDがセットされる。

【0069】

続いて、コヒーレンシ制御部143は、主記憶153から対象アドレスのデータを読み出す(S23)。具体的には、コヒーレンシ制御部143は、この状態でメモリインタフェース183を介してMEM_RQ_Rを主記憶管理システム151に送付し、主記憶管理システム151からMEM_RSP_Dを受信する。

【0070】

その後、コヒーレンシ制御部143は、対象アドレスのValidビットが1であるかを判定する(S24)。そして、対象アドレスのValidビットが1であると判定された場合、コヒーレンシ制御部143は、Rsp_Data_Cnfl_t生成する(S25)。すなわち、コヒーレンシ制御部は、アドレス競合制御部147を参照し、複数のアクセス要求における対象アドレスが競合するか否かを判定し、対象アドレスが競合すると判定した場合に、応答指示をクロスバー141へ送信する。

【0071】

ここでは、アドレス競合制御部147に格納された競合情報のValidビットが1であるから図14の1402の動作となる。尚、Rsp_Data_Cnfl_tの生成する

10

20

30

40

50

処理は、図18にて後述する。そして、コヒーレンシ制御部143は、ディレクトリ更新する(S27)。すなわち、コヒーレンシ制御部143は、ステップS25において決定された最初の返信対象のプロセッサに対し、Rsp_Data_Cnfltを生成し、このRsp_Data_Cnfltの処理が完了した場合の最終形として適切な状態にキャッシュステータス管理機能145内のディレクトリを更新する。このとき、ディレクトリのステータスはSとなり、キャッシングエージェント情報は、プロセッサ104と107がキャッシュすることを示す0x48となる。

【0072】

また、ステップS24において、対象アドレスのValidビットが1でないと判定された場合、コヒーレンシ制御部143は、Rsp_Data_E又はRsp_Data_Sを発行する(S26)。その後、同様にステップS27を実行する。

10

【0073】

図18は、本発明の実施の形態2にかかるコヒーレンシ制御部がレスポンスであるRsp_Data_Cnfltを生成する処理の流れを示すフローチャート図である。

【0074】

まず、コヒーレンシ制御部143は、アドレス競合制御部147に格納された競合情報を参照し、EBR競合検出フラグが全て0であるか否かを判定する(S31)。EBR競合検出フラグが全て0であると判定した場合、コヒーレンシ制御部143は、SBR競合検出フラグが1であるビットの内、最も小さなビットに対応するプロセッサを最初の返信対象プロセッサと決定する(S32)。また、EBR競合検出フラグの全てが0ではないと判定した場合、コヒーレンシ制御部143は、EBR競合検出フラグが1であるビットの内、最も小さなビットに対応するプロセッサを最初の返信対象プロセッサと決定する(S33)。ここでは、EBR競合検出フラグ=0x25であるため、ビット0に対応するプロセッサ101が最初の返信対象として決定される。なお、上述した返信対象のプロセッサの決定方法は、これに限定されない。すなわち、返信対象のプロセッサは、任意のアルゴリズムにより、最終的に全てのプロセッサが選択される方法であればよい。言い換えると、返信対象のプロセッサは、複数のプロセッサにおける所定の順序に基づき、決定される。所定の順序とは、例えば、任意のアルゴリズムである。例えば、コヒーレンシ制御部143において、最もレイテンシの短いプロセッサが決定されるようなアルゴリズムを最要することが望ましい。これにより、最も遅延の短いプロセッサを選択することができる。尚、ここでは、説明の簡略化のため、単純に小さいビットに対応するプロセッサを優先して決定する方法を挙げた。

20

30

【0075】

その後、コヒーレンシ制御部143は、決定した最初の返信対象プロセッサを示すIDをRsp_Data_CnfltのデスティネーションIDフィールドに設定する(S34)。これにより、クロスパー141及び142は、Rsp_Data_CnfltのデスティネーションIDフィールドを参照することにより、適切にルーティングすることができる。そして、コヒーレンシ制御部143は、決定した最初の返信対象プロセッサのリクエストIDをRsp_Data_CnfltのオリジナルリクエストIDフィールドに設定する(S35)。これにより、返信における最終到着点であるプロセッサは、当該返信が自己の発行したどのリクエストに対するものであるか認識することができる。続いて、コヒーレンシ制御部143は、アドレス競合制御部の全EBR競合検出フラグ、全SBR競合検出フラグ及び全リクエストID情報をRsp_Data_CnfltのEBR競合検出フラグフィールド、SBR競合検出フラグフィールド及びリクエストIDフィールドに設定する(S36)。

40

【0076】

最後に、コヒーレンシ制御部143は、Rsp_Data_Cnfltを発行し、決定した最初の返信対象プロセッサであるプロセッサ101が接続されたレスポンス/スヌープ制御部131へ送信する(S37)。つまり、コヒーレンシ制御部は、複数のアクセス要求を行ったプロセッサと、当該アクセス要求の種別とを対応付けて競合情報として応答

50

指示である `Rsp_Data_Cnfl t` に含める。これにより、アドレス競合制御部に格納された競合情報内の各種フラグを設定する。そして、以降、レスポンス/スヌープ制御部において、コヒーレンシ制御部に戻すことなく次の返信対象のプロセッサを判定可能となるため、処理時間のさらなる短縮ができる。

【0077】

図19は、本発明の実施の形態2にかかるレスポンス/スヌープ制御部が `Rsp_Data_Cnfl t` を受信した場合における処理の前半の流れを示すフローチャート図である。また、図20は、本発明の実施の形態2にかかるレスポンス/スヌープ制御部が `Rsp_Data_Cnfl t` を受信した場合における処理の後半の流れを示すフローチャート図である。すなわち、図19及び図20は、`Rsp_Data_Cnfl t` を受信したレスポンス/スヌープ制御部における、接続するプロセッサへのレスポンス返却法、スヌープリクエスト発行法、及び新たな `Rsp_Data_Cnfl t` 生成法、`Cmp_I` と `WB` の生成法を示すフローチャートである。

【0078】

まず、レスポンス/スヌープ制御部131は、コヒーレンシ制御部143からクロスバー141を介して、`Rsp_Data_Cnfl t` を受信する(S41)。次に、レスポンス/スヌープ制御部131は、`Rsp_Data_Cnfl t` のEBR競合検出フラグの中の、自レスポンス/スヌープ制御部の接続するプロセッサに対応するビットが1であるか否かを判定する(S42)。具体的には、レスポンス/スヌープ制御部131は、`Rsp_Data_Cnfl t` のEBR競合検出フラグ及びSBR競合検出フラグの中のプロセッサ101に対応するビットを参照し、当該 `Rsp_Data_Cnfl t` がプロセッサ101の発行したEBRに対応するレスポンスなのか、SBRに対応するレスポンスなのかを識別する。ここでは、EBR競合検出フラグのビット0が1であるから、レスポンス/スヌープ制御部131は、EBRに対するレスポンスと識別する。

【0079】

ステップS42において、自レスポンス/スヌープ制御部の接続するプロセッサに対応するビットが1であると判定された場合、レスポンス/スヌープ制御部131は、自己の接続するプロセッサ101に対し、`Rsp_Data_E` を返信する(S43)。すなわち、レスポンス/スヌープ制御部131は、受信した `Rsp_Data_Cnfl t` をプロセッサ101が処理可能な `Rsp_Data_E` に変換すると言える。これにより、上述したとおり、本発明の実施の形態2にかかるプロセッサ101乃至108は、本発明のための特別なプロセッサではなく、一般的なものを使用可能とすることができる。

【0080】

引き続き、レスポンス/スヌープ制御部131は、プロセッサ101に対して、`Sn p_E` を送信する(S44)。

【0081】

尚、上述した課題で挙げたSMPシステムに適用した場合、このとき、レスポンス/スヌープ制御部131からコヒーレンシ制御部143に `Cmp` を返却し、プロセッサ101へのレスポンスが完了したことを通知する。続いて、当該 `Cmp` 受信を契機として、コヒーレンシ制御部143は、プロセッサ101のキャッシュメモリ111内データを吐き出させるために生成、発行するプロセッサ103のEBRを要因とする `Sn p_E` が、プロセッサ101に届くのを待つ必要があった。すなわち、次に処理するリクエストの発行元であるプロセッサ103にデータを渡すためにプロセッサ101へ `Sn p_E` を発行するまでに、レスポンス/スヌープ制御部131からコヒーレンシ制御部143までの間を `Cmp` と `Sn p_E` が往復するレイテンシだけの時間が必要であった。

【0082】

本発明の実施の形態2では、コヒーレンシ制御部143とレスポンス/スヌープ制御部131間を同一のノードコントローラまたは一段渡ったノードコントローラという構成にしている。これは、実際の大規模コンピュータでは、この間に多段のノードコントローラを介する必要がある場合があるためである。そして、その場合、レスポンス/スヌープ制

10

20

30

40

50

御部 131 からコヒーレンシ制御部 143 の間の Cmp と Snp__E の往復時間は、さらに大きなものとなることがあった。

【0083】

そこで、本発明の実施の形態 2 では、この往復によりプロセッサ 101 からプロセッサ 101 以外の他のプロセッサに対するレスポンスレイテンシを短縮することを目的としている。すなわち、プロセッサ 101 にレスポンスを行ったレスポンス/スヌープ制御部 131 は、コヒーレンシ制御部 143 に Cmp を返信し、その後の Snp__E 到着を待つことを行わない。その代わりに、レスポンス/スヌープ制御部 131 は、ステップ S44 において、自主的に Snp__E を生成し、プロセッサ 101 に発行する。そして、プロセッサ 103 では、この結果の Cmp__I と Rsp__Data__E がプロセッサ 101 から返却

10

【0084】

その後、レスポンス/スヌープ制御部 131 は、Snp__E に対する Cmp__I + Rsp__Data__E をプロセッサから受信したか否かを判定する (S45)。受信しないと判定した場合、再度、ステップ S45 を実行する。そして、受信したと判定した場合、レスポンス/スヌープ制御部 131 は、Rsp__Data__Cnfl t のデータ部を Rsp__Data__E のデータと差し替える (S46)。すなわち、データの最新化を行う。続いて、レスポンス/スヌープ制御部 131 は、Rsp__Data__Cnfl t の EBR 競合検出フラグの中の自レスポンス/スヌープ管理部の接続するプロセッサ 101 に対応するビットを 0 にリセットする (S47)。

20

【0085】

続いて、図 20 に進み、レスポンス/スヌープ制御部 131 は、EBR 競合検出フラグが全て 0 であるか否かを判定する (S51)。ここで、レスポンス/スヌープ制御部 131 は、ステップ S47 において、EBR 競合検出フラグを 0x25 から 0x24 に更新した直後である。よって、全て 0 ではないため、ステップ S51 において、EBR 競合検出フラグの全てが 0 ではないと判定される。このとき、レスポンス/スヌープ制御部 131 は、EBR 競合検出フラグが 1 であるビットの内、最も小さなビットに対応するプロセッサを次の返信対象プロセッサと決定する (S56)。ここでは、EBR 競合検出フラグが 0x24 であるからプロセッサ 103 を次の返信対象プロセッサと決定する。

【0086】

その後、レスポンス/スヌープ制御部 131 は、決定した次の返信対象プロセッサを示す ID を Rsp__Data__Cnfl t のデスティネーション ID フィールドに設定する (S57)。具体的には、レスポンス/スヌープ制御部 131 は、次の返信対象プロセッサと決定されたプロセッサ 103 に対応する ID を Rsp__Data__Cnfl t のデスティネーション ID フィールドに設定する。

30

【0087】

また、レスポンス/スヌープ制御部 131 は、決定した次の返信対象プロセッサのリクエスト ID を Rsp__Data__Cnfl t のオリジナルリクエスト ID フィールドに設定する (S58)。具体的には、レスポンス/スヌープ制御部 131 は、プロセッサ 103 の発行した EBR のリクエスト ID を Rsp__Data__Cnfl t のリクエスト ID

40

【0088】

さらに、レスポンス/スヌープ制御部 131 は、Rsp__Data__Cnfl t を発行し、決定した次の返信対象プロセッサであるプロセッサ 103 が接続されたレスポンス/スヌープ制御部 133 へ送信する (S59)。具体的には、レスポンス/スヌープ制御部 131 は、クロスバー 141 へ Rsp__Data__Cnfl t を送信し、レスポンス/スヌープ制御部 131 は、レスポンス/スヌープ制御部 133 へ当該 Rsp__Data__Cnfl t を送信する。以後、レスポンス/スヌープ制御部 133 は、Rsp__Data__Cnfl t のデスティネーション ID フィールド情報に従い、適切にルーティングし、プロセッサ 103 へ送信する。

50

【 0 0 8 9 】

以降、同様に E B R のリクエストソースであるプロセッサ 1 0 3 及び 1 0 6 に接続するレスポンス/スヌープ制御部 1 3 3 及び 1 3 6 においても、レスポンス/スヌープ制御部 1 3 1 同様に、図 1 9 及び図 2 0 に従った処理が行われる。

【 0 0 9 0 】

ただし、最後の E B R ソースであるプロセッサ 1 0 6 に接続するレスポンス/スヌープ制御部 1 3 6 においては、ステップ S 4 7 までは、レスポンス/スヌープ制御部 1 3 1 及び 1 3 3 と同様であるが、ステップ S 5 1 において、E B R 競合検出フラグが全て 0 と判定される。そこで、レスポンス/スヌープ制御部 1 3 6 は、E B R 競合検出フラグが全て 0 であると判定された場合、S B R 競合検出フラグが全て 0 であるか否かを判定する (S 5 2)。

10

【 0 0 9 1 】

ここでは、R s p _ D a t a _ C n f l t の S B R 競合検出フラグは 0 x 4 8 であるから、レスポンス/スヌープ制御部 1 3 6 は、S B R 競合検出フラグの全てが 0 ではないと判定する。その後、レスポンス/スヌープ制御部 1 3 6 は、S B R 競合検出フラグが 1 であるビットの内、最も小さなビットに対応するプロセッサであるプロセッサ 1 0 4 を次の返信対象プロセッサとして決定する (S 5 5)。

【 0 0 9 2 】

その後、レスポンス/スヌープ制御部 1 3 6 は、プロセッサ 1 0 4 を意味する I D を R s p _ D a t a _ C n f l t の デ ス テ ィ ネ ー シ ョ ン I D に 設 定 (S 5 7) し、R s p _ D a t a _ C n f l t の リ ク エ ス ト I D _ 3 の 値 を 抜 き 出 し、オ リ ジ ナ ル リ ク エ ス ト I D に 設 定 す る (S 5 8)。そして、レスポンス/スヌープ制御部 1 3 6 は、R s p _ D a t a _ C n f l t を 発 行 し、決 定 し た 次 の 返 信 対 象 プ ロ セ ッ サ で あ る プ ロ セ ッ サ 1 0 4 が 接 続 さ れ た レ ス ポ ン ス / ス ニ ュ ー プ 制 御 部 1 3 4 へ 送 信 す る (S 5 9)。

20

【 0 0 9 3 】

ここで、レスポンス/スヌープ制御部 1 3 4 は、図 1 9 及び図 2 0 に従い、処理する。まず、レスポンス/スヌープ制御部 1 3 4 は、R s p _ D a t a _ C n f l t を 受 信 (S 4 1) し、E B R 競 合 検 出 フ ラ グ の プ ロ セ ッ サ 1 0 4 に 対 応 す る ビ ッ ト が 1 で あ る か 否 か を 判 定 す る (S 4 2)。ここで、E B R 競 合 検 出 フ ラ グ は 全 て 0 で あ る か ら、自 レ ス ポ ン ス / ス ニ ュ ー プ 制 御 部 の 接 続 す る プ ロ セ ッ サ に 対 応 す る ビ ッ ト が 1 で あ る と 判 定 さ れ な い。そのため、レスポンス/スヌープ制御部 1 3 4 は、自レスポンス/スヌープ制御部の接続するプロセッサに対し、R s p _ D a t a _ S を 返 信 す る (S 4 8)。すなわち、レスポンス/スヌープ制御部 1 3 4 は、受信した R s p _ D a t a _ C n f l t を プ ロ セ ッ サ 1 0 4 が 処 理 可 能 な R s p _ D a t a _ S に 変 換 す る と 言 え る。

30

【 0 0 9 4 】

続いて、レスポンス/スヌープ制御部 1 3 4 は、R s p _ D a t a _ C n f l t の S B R 競 合 検 出 フ ラ グ の 中 の 自 レ ス ポ ン ス / ス ニ ュ ー プ 管 理 部 の 接 続 す る プ ロ セ ッ サ に 対 応 す る ビ ッ ト を 0 に リ セ ャ ッ ト す る (S 4 9)。具体的には、レスポンス/スヌープ制御部 1 3 4 は、R s p _ D a t a _ C n f l t の S B R 競 合 検 出 フ ラ グ の 中 の プ ロ セ ッ サ 1 0 4 に 対 応 す る ビ ッ ト を 0 に リ セ ャ ッ ト す る。ここでは、S B R 競 合 検 出 フ ラ グ が 0 x 4 8 か ら 0 x 4 0 に 遷 移 す る。

40

【 0 0 9 5 】

続いて、図 2 0 へ 進 み、レ ス ポ ン ス / ス ニ ュ ー プ 制 御 部 1 3 4 は、E B R 競 合 検 出 フ ラ グ が 全 て 0 で あ る か 否 か を 判 定 す る (S 5 1)。ここでは、E B R 競 合 検 出 フ ラ グ が 全 て 0 で あ る と 判 定 さ れ、レ ス ポ ン ス / ス ニ ュ ー プ 制 御 部 1 3 4 は、S B R 競 合 検 出 フ ラ グ が 全 て 0 で あ る か 否 か を 判 定 す る (S 5 2)。ここでは、S B R 競 合 検 出 フ ラ グ が 0 x 4 0 で あ る た め、S B R 競 合 検 出 フ ラ グ の 全 て が 0 で は な い と 判 定 さ れ る。そして、レ ス ポ ン ス / ス ニ ュ ー プ 制 御 部 1 3 4 は、E B R 競 合 検 出 フ ラ グ が 0 x 2 4 で あ る か ら プ ロ セ ッ サ 1 0 7 を 次 の 返 信 対 象 プ ロ セ ッ サ と 決 定 す る (S 5 5)。

【 0 0 9 6 】

50

続いて、レスポンス/スヌープ制御部134は、プロセッサ107を意味するIDをRsp_Data_Cnfl tのデスティネーションIDに設定(S57)し、Rsp_Data_Cnfl tのリクエストID_6の値を抜き出し、オリジナルリクエストIDに設定する(S58)。そして、レスポンス/スヌープ制御部134は、Rsp_Data_Cnfl tを発行し、決定した次の返信対象プロセッサであるプロセッサ107が接続されたレスポンス/スヌープ制御部137へ送信する(S59)。

【0097】

レスポンス/スヌープ制御部137は、レスポンス/スヌープ制御部134同様、図19及び図20に従い処理を行う。ただし、ステップS49において、プロセッサ107に対応するSBR競合検出フラグが0x40から0x00に遷移するため、ステップS52において、SBR競合検出フラグが全て0と判定され、ステップS53へ進む。

【0098】

そして、レスポンス/スヌープ制御部137は、ステップS52において、SBR競合検出フラグが全て0であると判定された場合、Cmp_IとWBを生成し、コヒーレンシ制御部へ返却する(S53)。具体的には、レスポンス/スヌープ制御部137は、図10の920同様に、Cmp_IとWBを生成し、これをコヒーレンシ制御部143へ発行する。

【0099】

その後、コヒーレンシ制御部143は、アドレス競合制御部147に格納された競合情報のValidビットを0にリセットする。また、コヒーレンシ制御部143は、WBによりMEM_RQ_Wを生成し、メモリインタフェース183を介して主記憶管理システム151に発行し、Cmpを発行する(S54)。これにより、全ての処理を終了する。

【0100】

以上に示したとおり、本発明の実施の形態2では、課題に示したように、1つのプロセッサリクエストを処理するたびにスヌープリクエスト及びそのコンプリーションが対象プロセッサとキャッシュコヒーレンシ制御部を往復するのではなく、コンプリーションなしに次のプロセッサのリクエストを処理可能とすることで、前記往復のレイテンシをなくし、システムとしてのキャッシュコヒーレンシは保証しつつアドレス競合データがプロセッサ間を直接移動する制御を可能とすることにより、アドレス競合発生時の全リクエスト処理時間を軽減する。

【0101】

<その他の発明の実施の形態>

さらに、本発明は上述した実施の形態のみに限定されるものではなく、既に述べた本発明の要旨を逸脱しない範囲において種々の変更が可能であることは勿論である。

【符号の説明】

【0102】

- 11 プロセッサ
- 12 プロセッサ
- 13 キャッシュメモリ
- 14 キャッシュメモリ
- 15 キャッシュメモリ制御システム
- 16 送受信制御部
- 17 コヒーレンシ制御部
- 18 メインメモリ
- 100 マルチプロセッサシステム
- 101 プロセッサ
- 102 プロセッサ
- 103 プロセッサ
- 104 プロセッサ
- 105 プロセッサ

10

20

30

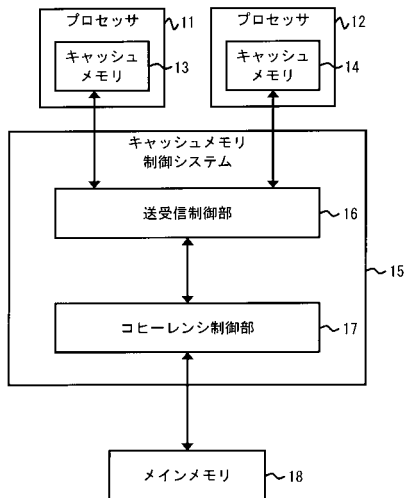
40

50

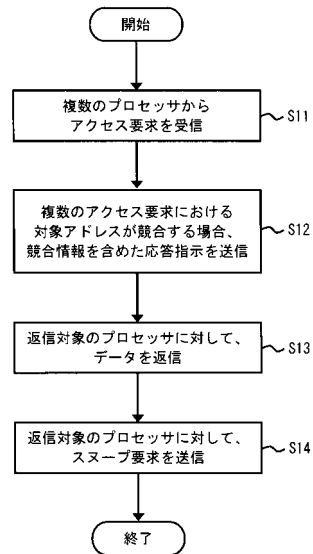
1 0 6	プロセッサ	
1 0 7	プロセッサ	
1 0 8	プロセッサ	
1 1 1	キャッシュメモリ	
1 1 2	キャッシュメモリ	
1 1 3	キャッシュメモリ	
1 1 4	キャッシュメモリ	
1 1 5	キャッシュメモリ	
1 1 6	キャッシュメモリ	
1 1 7	キャッシュメモリ	10
1 1 8	キャッシュメモリ	
1 2 1	ノードコントローラ	
1 2 2	ノードコントローラ	
1 3 1	レスポンス/スヌープ制御部	
1 3 2	レスポンス/スヌープ制御部	
1 3 3	レスポンス/スヌープ制御部	
1 3 4	レスポンス/スヌープ制御部	
1 3 5	レスポンス/スヌープ制御部	
1 3 6	レスポンス/スヌープ制御部	
1 3 7	レスポンス/スヌープ制御部	20
1 3 8	レスポンス/スヌープ制御部	
1 4 1	クロスバー	
1 4 2	クロスバー	
1 4 3	コヒーレンシ制御部	
1 4 4	コヒーレンシ制御部	
1 4 5	キャッシュステータス管理機能	
1 4 6	キャッシュステータス管理機能	
1 4 7	アドレス競合制御部	
1 4 8	アドレス競合制御部	
1 5 1	主記憶管理システム	30
1 5 2	主記憶管理システム	
1 5 3	主記憶	
1 5 4	主記憶	
1 5 5	主記憶コントローラ	
1 5 6	主記憶コントローラ	
1 6 1	システムインタフェース	
1 6 2	システムインタフェース	
1 6 3	システムインタフェース	
1 6 4	システムインタフェース	
1 6 5	システムインタフェース	40
1 6 6	システムインタフェース	
1 6 7	システムインタフェース	
1 6 8	システムインタフェース	
1 7 1	インタフェース	
1 7 2	インタフェース	
1 7 3	インタフェース	
1 7 4	インタフェース	
1 7 5	インタフェース	
1 7 6	インタフェース	
1 7 7	インタフェース	50

- 178 インタフェース
- 181 インタフェース
- 182 インタフェース
- 183 メモリインタフェース
- 184 メモリインタフェース
- 185 ノードインタフェース
- 301 キャッシュステータス
- 302 キャッシングエージェント情報
- 701 Validビット
- 702 EBR競合検出フラグ
- 703 EBR競合検出フラグ
- 704 リクエストID

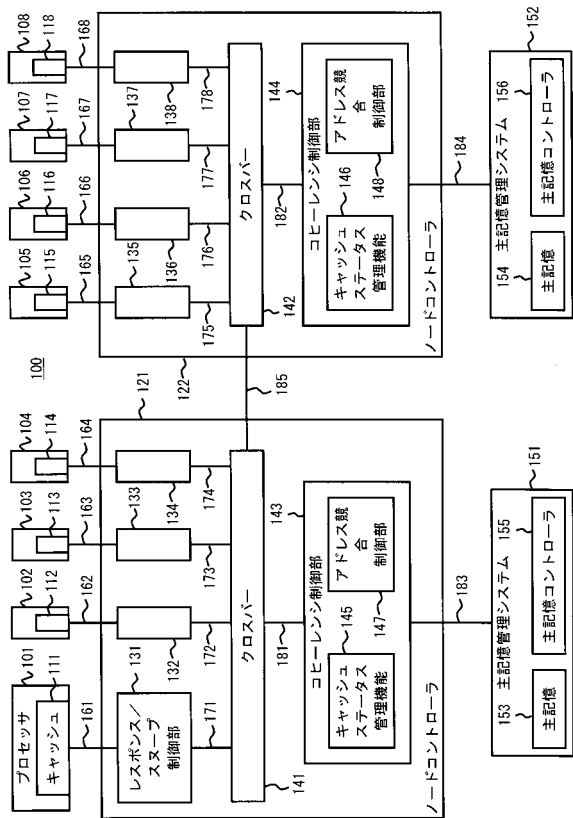
【図1】



【図2】



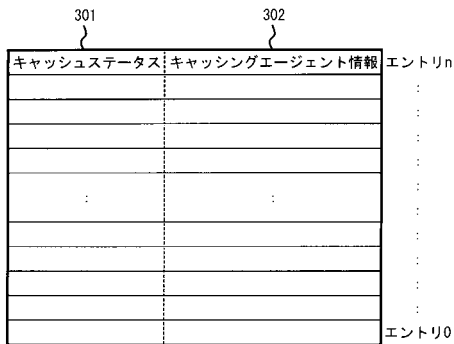
【図3】



【図4】

プロセッサ キャッシュ ステータス	説明
M (Modified)	あるアドレスの主記憶データについて、システム内で唯一の最新データをキャッシュに保持していることを示す。
E (Exclusive)	あるアドレスの主記憶データについて、主記憶にあるものとまったく同じ状態のデータをキャッシュ内に保有している。そしてそのデータをキャッシュのみで唯一そのプロセッサキャッシュのみで保有していることを示す。
S (Shared)	あるアドレスの主記憶データについて、主記憶にあるものとまったく同じ状態のデータをキャッシュ内に保有している。そしてそのデータをキャッシュしているのはシステム内で唯一そのプロセッサキャッシュのみであるかもしれないことを示す。
I (Invalid)	あるアドレスの主記憶データについて、そのプロセッサキャッシュには保有していないことを示す。

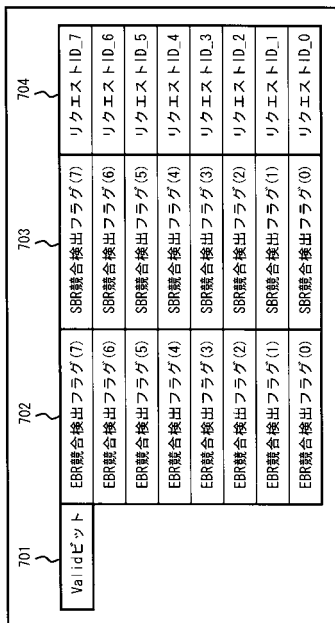
【図5】



【図6】

ダイレクトリ キャッシュ ステータス	説明
E (Exclusive)	あるアドレスの主記憶データについて、システム内で唯一の最新データがあるプロセッサがそのキャッシュに保有しているか、システム内で唯一のプロセッサのみが主記憶にあるものとまったく同じ状態のデータをそのキャッシュ内に保有しているか、あるいはそのキャッシュ内に最新データを保有していないことを示す。すなわち、ダイレクトリキャッシュステータスEのときにありうるプロセッサキャッシュのステータスは、M、E、S、Iである。キャッシングエージェント情報は、必ず1ビットのみが1となり、他は0となる。
S (Shared)	あるアドレスの主記憶データについて、主記憶にあるものとまったく同じ状態のデータがあるプロセッサがそのキャッシュに保有していることを示す。システム内に最新データを保有している、あるいはそのキャッシュ内に最新データを保有しているのはシステム内で唯一そのプロセッサキャッシュのみであるかもしれないことを示す。キャッシングエージェント情報は、1ビットのみの場合も複数のビットが1の場合も、主ビットが1の場合もありうる。
I (Invalid)	あるアドレスの主記憶データについて、システム内のいずれのプロセッサもそのアドレスの主記憶データに最新データを保有していないことを示す。すなわち、ダイレクトリキャッシュステータスIのときにありうるプロセッサキャッシュのステータスはいずれのステータス情報も意味を持たない。キャッシングエージェント情報は、必ず1ビットのみが1となり、他は0となる。

【図 1 1】



【図 1 2】

情報種類	説明
701	Valid ビット 複数セットからなるアドレス制御回路の1セットに1ビット存在し、1のとき、そのセットが使用であることを示す。
702	EBR 検出フラグ (0): 1のとき、そのセットで取り扱う検出アドレスについて、CPU101がEBR リクエストを発行したことを示す。
	EBR 検出フラグ (1): 1のとき、そのセットで取り扱う検出アドレスについて、CPU102がEBR リクエストを発行したことを示す。
	EBR 検出フラグ (2): 1のとき、そのセットで取り扱う検出アドレスについて、CPU103がEBR リクエストを発行したことを示す。
	EBR 検出フラグ (3): 1のとき、そのセットで取り扱う検出アドレスについて、CPU104がEBR リクエストを発行したことを示す。
	EBR 検出フラグ (4): 1のとき、そのセットで取り扱う検出アドレスについて、CPU105がEBR リクエストを発行したことを示す。
	EBR 検出フラグ (5): 1のとき、そのセットで取り扱う検出アドレスについて、CPU106がEBR リクエストを発行したことを示す。
	EBR 検出フラグ (6): 1のとき、そのセットで取り扱う検出アドレスについて、CPU107がEBR リクエストを発行したことを示す。
703	EBR 検出フラグ (7): 1のとき、そのセットで取り扱う検出アドレスについて、CPU108がEBR リクエストを発行したことを示す。
	SBR 検出フラグ (0): 1のとき、そのセットで取り扱う検出アドレスについて、CPU101がSBR リクエストを発行したことを示す。
	SBR 検出フラグ (1): 1のとき、そのセットで取り扱う検出アドレスについて、CPU102がSBR リクエストを発行したことを示す。
	SBR 検出フラグ (2): 1のとき、そのセットで取り扱う検出アドレスについて、CPU103がSBR リクエストを発行したことを示す。
	SBR 検出フラグ (3): 1のとき、そのセットで取り扱う検出アドレスについて、CPU104がSBR リクエストを発行したことを示す。
	SBR 検出フラグ (4): 1のとき、そのセットで取り扱う検出アドレスについて、CPU105がSBR リクエストを発行したことを示す。
	SBR 検出フラグ (5): 1のとき、そのセットで取り扱う検出アドレスについて、CPU106がSBR リクエストを発行したことを示す。
704	SBR 検出フラグ (6): 1のとき、そのセットで取り扱う検出アドレスについて、CPU107がSBR リクエストを発行したことを示す。
	SBR 検出フラグ (7): 1のとき、そのセットで取り扱う検出アドレスについて、CPU108がSBR リクエストを発行したことを示す。
	リクエストID_0: EBR 検出フラグ (0) または SBR 検出フラグ (0) が1のときに有効となり、アドレス検出を検出したCPU101が発行したリクエストのリクエストIDを示す。
	リクエストID_1: EBR 検出フラグ (1) または SBR 検出フラグ (1) が1のときに有効となり、アドレス検出を検出したCPU102が発行したリクエストのリクエストIDを示す。
	リクエストID_2: EBR 検出フラグ (2) または SBR 検出フラグ (2) が1のときに有効となり、アドレス検出を検出したCPU103が発行したリクエストのリクエストIDを示す。
	リクエストID_3: EBR 検出フラグ (3) または SBR 検出フラグ (3) が1のときに有効となり、アドレス検出を検出したCPU104が発行したリクエストのリクエストIDを示す。
	リクエストID_4: EBR 検出フラグ (4) または SBR 検出フラグ (4) が1のときに有効となり、アドレス検出を検出したCPU105が発行したリクエストのリクエストIDを示す。
リクエストID_5: EBR 検出フラグ (5) または SBR 検出フラグ (5) が1のときに有効となり、アドレス検出を検出したCPU106が発行したリクエストのリクエストIDを示す。	
リクエストID_6: EBR 検出フラグ (6) または SBR 検出フラグ (6) が1のときに有効となり、アドレス検出を検出したCPU107が発行したリクエストのリクエストIDを示す。	
リクエストID_7: EBR 検出フラグ (7) または SBR 検出フラグ (7) が1のときに有効となり、アドレス検出を検出したCPU108が発行したリクエストのリクエストIDを示す。	

【図 1 3】

#	リクエスト種類	更新前のアドレス制御部			更新後のアドレス制御部		
		Valid ビット	EBR 検出フラグ	SBR 検出フラグ	Valid ビット	EBR 検出フラグ	SBR 検出フラグ
1301	EBR	0/1	Don't Care	Don't Care	1 Set	No Operation	リクエストID EBRのリクエストID EBRのアドレスID にEBRのアドレスID をセット
1302	SBR	0/1	Don't Care	Don't Care	1 Set	No Operation	SBRのリクエストID SBRのアドレスID SBRのアドレスID にSBRのアドレスID をセット

【図 1 4】

#	リクエスト種類	更新前のアドレス制御部			更新後のアドレス制御部			実行するレスポンス種別	レスポンス後のディレクトリ更新
		Valid ビット	EBR 検出フラグ	SBR 検出フラグ	Valid ビット	EBR 検出フラグ	SBR 検出フラグ		
1401	初期に処理すると決定したリクエストがEBRの場合	0	No Operation	No Operation	No Operation	No Operation	Resp_Data_E	Resp_Data_E 更新前のディレクトリ更新	
1402	初期に処理すると決定したリクエストがEBRの場合	1	No Operation	All クリア	All クリア	All クリア	Resp_Data_Orfit	Resp_Data_Orfit 更新前のディレクトリ更新	
1403	初期に処理すると決定したリクエストがSBRの場合	0	No Operation	No Operation	No Operation	No Operation	Resp_Data_S	Resp_Data_S 更新前のディレクトリ更新	
1404	初期に処理すると決定したリクエストがSBRの場合	1	No Operation	All クリア	All クリア	All クリア	Resp_Data_Orfit	Resp_Data_Orfit 更新前のディレクトリ更新	

【図15】

Rsp_Data_E or Rsp_Data_S

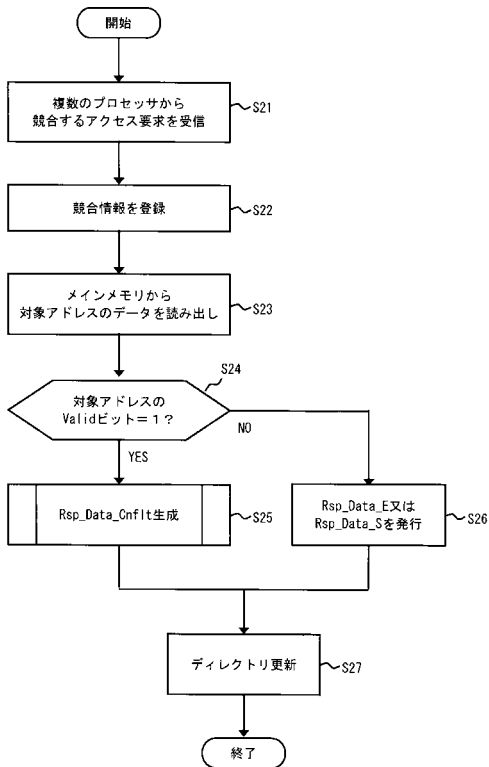
コマンドコード
デスティネーションID
オリジナルリクエストID
データ (データサイズはキャッシュラインサイズ)

【図16】

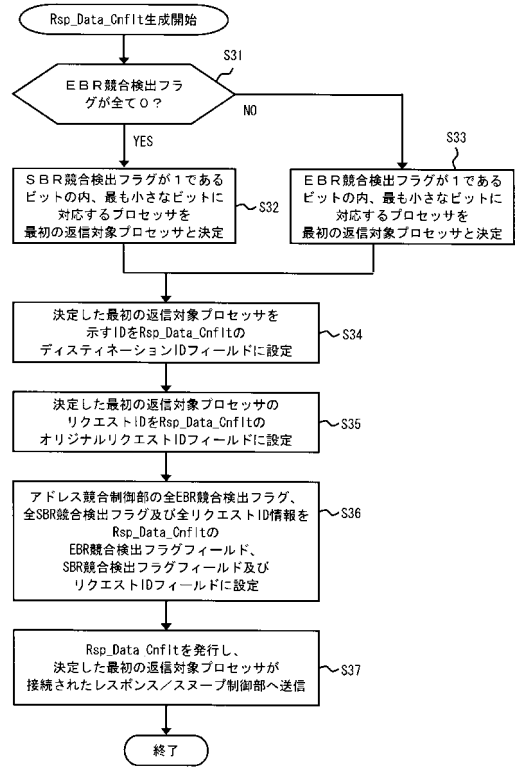
Rsp_Data_Cnflt

コマンドコード
デスティネーションID
オリジナルリクエストID
データ (データサイズはキャッシュラインサイズ)
EBR競合検出フラグ(7)
EBR競合検出フラグ(6)
EBR競合検出フラグ(5)
EBR競合検出フラグ(4)
EBR競合検出フラグ(3)
EBR競合検出フラグ(2)
EBR競合検出フラグ(1)
EBR競合検出フラグ(0)
SBR競合検出フラグ(7)
SBR競合検出フラグ(6)
SBR競合検出フラグ(5)
SBR競合検出フラグ(4)
SBR競合検出フラグ(3)
SBR競合検出フラグ(2)
SBR競合検出フラグ(1)
SBR競合検出フラグ(0)
リクエストID_7
リクエストID_6
リクエストID_5
リクエストID_4
リクエストID_3
リクエストID_2
リクエストID_1
リクエストID_0

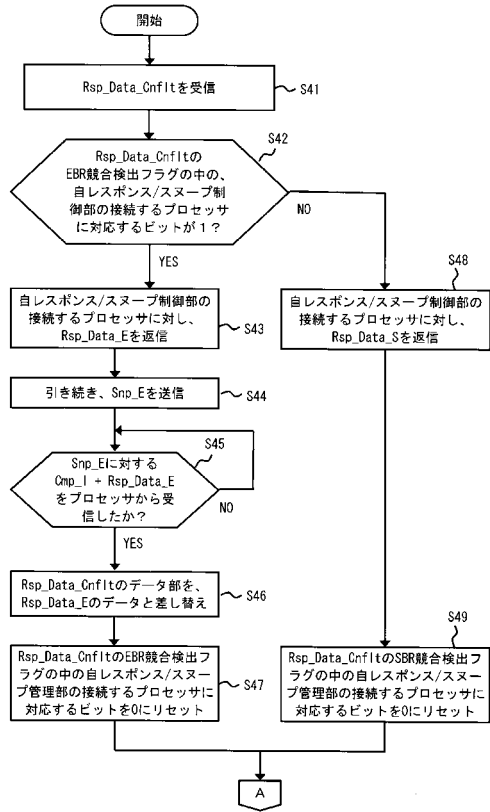
【図17】



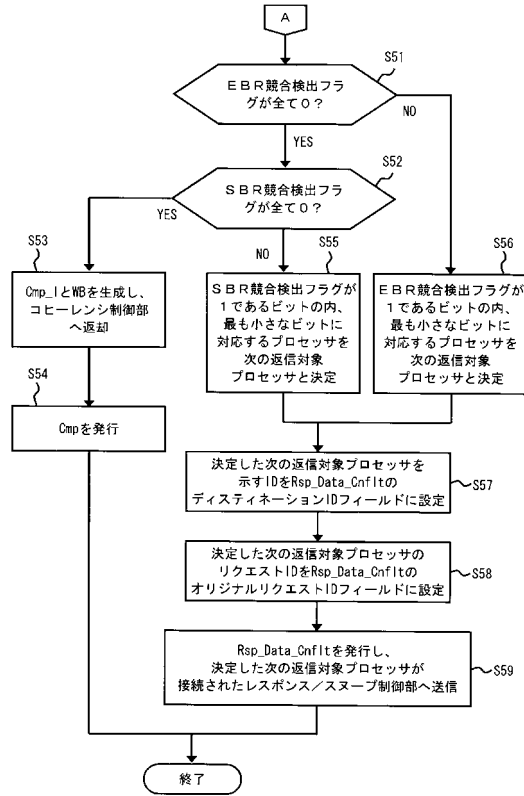
【図18】



【図19】



【図20】



フロントページの続き

- (56)参考文献 米国特許出願公開第2008/0162661(US,A1)
米国特許出願公開第2009/0119462(US,A1)
米国特許出願公開第2004/0122966(US,A1)
特開2006-323432(JP,A)
特開2000-132531(JP,A)
特開平08-320827(JP,A)

(58)調査した分野(Int.Cl.,DB名)

G06F 12/08-12/12