

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03K 19/0175 (2006.01)

H03K 19/0185 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710181319.9

[43] 公开日 2008年4月23日

[11] 公开号 CN 101166026A

[22] 申请日 2007.10.19

[21] 申请号 200710181319.9

[30] 优先权

[32] 2006.10.20 [33] JP [31] 2006-286263

[71] 申请人 佳能株式会社

地址 日本东京

[72] 发明人 山崎善一

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所
代理人 党建华

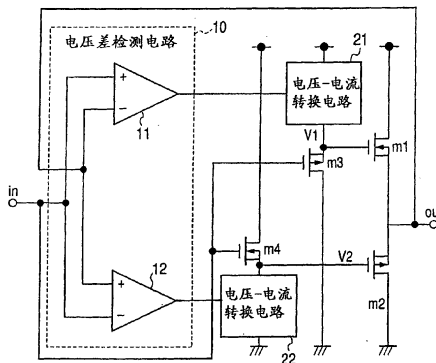
权利要求书 2 页 说明书 13 页 附图 3 页

[54] 发明名称

缓冲电路

[57] 摘要

本发明提供了一种缓冲电路，其同时满足具有权衡关系的低功耗需求和改善转换速率特性。提供电压差检测电路 11 和 12，用于检测上升和拖尾处的输入信号与输出信号之间的电压差。基于这种电压差，电压-电流转换电路 21 和 22 增大要提供到构成输出电路的输出 NMOS 晶体管 m1 和输出 PMOS 晶体管 m2 的源极端子的偏置电流。并且，电压差检测电路 11 和 12 具有偏移电压。只有在电压差变化成高于偏移电压的电平时，也就是说，在输入信号突然变化(上升或下降)时，才增大偏置电流。



1、一种缓冲电路，具有用于输入输入信号的输入端子，以及用于基于输入信号来输出输出信号的输出端子，该缓冲电路包括：

输出电路，具有用于从所述输出端子输出所述输出信号的输出晶体管；

电压差检测电路，用于检测所述输入信号与所述输出信号之间的电压差；以及

驱动电路，用于基于来自电压差检测电路的输出信号，增大要向所述输出晶体管提供的偏置电流。

2、根据权利要求1所述的缓冲电路，其中

所述输出晶体管包括第一和第二晶体管；

所述电压差检测电路包括第一和第二电压差检测电路；

以与所述第一电压差检测电路所输入的输入信号和输出信号的极性相反的极性向所述第二电压差检测电路输入所述输入信号和输出信号；以及

所述驱动电路包括第一驱动电路和第二驱动电路，所述第一驱动电路用于基于来自第一电压差检测电路的输出信号增大要向所述第一输出晶体管提供的偏置电流，所述第二驱动电路用于基于来自第二电压差检测电路的输出信号增大要向所述第二输出晶体管提供的偏置电流。

3、根据权利要求2所述的缓冲电路，其中

为所述第一和第二电压差检测电路提供预定的输入偏移电压，当所述输入信号与输出信号之间的电压差不大于第一和第二电压差检测电路的所述预定输入偏移电压时，所述第一和第二驱动电路向所述第一和第二输出晶体管提供第一偏置电流，并且当所述输入信号和输出信号之间的电压差不小于所述第一和第二电压差检测电路的所述预定输入偏移电压时，所述第一和第二驱动电路向第一和第二输出晶体管提供结合了额外偏置电流的偏置电流。

4、根据权利要求3所述的缓冲电路，其中，

所述第一和第二电压差检测电路中的每一个具有包括差分晶体管的成对的组的输入部，以及

通过调整包括在成对的组中的一组中的差分晶体管的数量与包括在成对的组中的另一组中的差分晶体管的数量比例来设定第一和第二电压差检测电路的所述预定输入偏移电压；或者通过调整包括在成对的组中的一组中的差分晶体管的元件尺寸与包括在成对的组中的另一组中的差分晶体管的元件尺寸的比例来设定第一和第二电压差检测电路的所述预定输入偏移电压；或者通过在包括在成对的组中的一组中的差分晶体管的主电极端子中插入电阻来设定第一和第二电压差检测电路的所述预定输入偏移电压。

5、根据权利要求2-4中任一项所述的缓冲电路，其中

所述输出电路是推挽型的输出电路，所述第一输出晶体管是n沟道晶体管，并且所述第二输出晶体管是p沟道晶体管。

6、根据权利要求1-4中任一项所述的缓冲电路，其中

所述缓冲电路由MOS晶体管构成。

缓冲电路

技术领域

本发明涉及缓冲电路,更具体涉及可以在低电流消耗下改善转换速率 (slew rate) 特性的缓冲电路。

背景技术

近年来,在用于各种驱动器 IC 等的输出缓冲电路中,需要这样的缓冲电路,所述缓冲电路用于满足诸如大电容驱动功率、低功耗、以及高速输出响应之类的具有相互权衡关系的特性。

作为用于把输入到输入端子的输入电压作为输出电压从输出端子输出的常规缓冲电路,已知在日本专利申请特开 No.2002-185269 中公开的菱形 (diamond-shaped) 缓冲电路。

通过组合输出 NMOS (N 沟道 MOS 场效应晶体管) 和 PMOS (P 沟道 MOS 场效应晶体管) 的源极跟随器电路而形成上述缓冲电路。菱形缓冲电路是可以以低电流消耗和简单的电路高速运转的电路。

作为根据输入到输入端子的电压信号来通过对与输出端子连接的负载电容进行充电和放电从而向输出端子输出电压信号的缓冲电路,已知一种使用差分放大器的缓冲电路类型。

上述缓冲电路这样工作,即,其向差分放大器的同向输入端子施加电压信号,并且从差分放大器的输出端子输出电压信号,其中在所述差分放大器中反向输入端子和输出端子直接相互连接。

作为可以以低电流消耗和简单的电路高速运转的缓冲电路,菱形缓冲电路是有利的。

如果上述的菱形缓冲电路具有与输出端子连接的大负载电容,则需要增大形成输出部分的输出 NMOS 和输出 PMOS 的元件面积。如

果面积增大，则输出 NMOS 和输出 PMOS 的栅极端子电容也增大。

因此，如果用于驱动栅极端子电容的电流很小，则输出 NMOS 的栅极端子电压和输出 PMOS 的栅极端子电压不能根据对输入端子的输入电压的突然变化而充电或放电。这就延迟了响应，并且因此延迟了来自输出端子的输出电压的响应。

为了使来自输出端子的输出电压对输入端子的输入电压快速作出响应，需要增大用于驱动形成输出部分的输出 NMOS 和输出 PMOS 的栅极端子电容的电流。然而，因为电流总是流动，妨碍了电耗的降低。

如上所述，因为低功耗和高速输出响应处于权衡关系，难以实现同时满足这两个特性的缓冲电路。

发明内容

本发明旨在提供一种缓冲电路，其可以满足诸如大电容驱动功率、低功耗、以及高速输出响应之类的具有相互权衡关系的特性。

本发明的缓冲电路是具有用于输入输入信号的输入端子、以及用于基于输入信号输出输出信号的输出端子的缓冲电路，该缓冲电路包括：输出电路，具有用于从输出端子输出输出信号的第一和第二输出晶体管；第一电压差检测电路，用于检测所述输入信号与所述输出信号之间的电压差；第二电压差检测电路，用于检测输入信号和输出信号之间的电压差；第一驱动电路，用于基于来自第一电压差检测电路的输出信号，增大要向第一晶体管提供的偏置电流；以及第二驱动电路，用于基于来自第二电压差检测电路的输出信号，增大要向第二晶体管提供的偏置电流。

根据本发明，可以实现同时满足具有相互权衡关系的降低功耗和转换速率特性的缓冲电路。

从下面参考附图对示例性实施例的描述中，本发明的其他特征将变得明显。

附图说明

图 1 是示出了根据本发明的缓冲电路的第一实施例的电路图。

图 2 是用于描述图 1 中示出的差分放大器电路和电压-电流转换电路的操作的图。

图 3 是用于描述图 1 中示出的缓冲电路的操作的时序图。

图 4 是示出了本发明第二实施例的电路图。

具体实施方式

现在,将参考附图对用于实施本发明的示例性实施例进行详细描述。

(第一实施例)

图 1 是示出了根据本发明的缓冲电路的第一实施例的配置的电路图。图 1 中示出的电路是用于将输入到输入端子“in”的输入电压作为输出电压从输出端子“out”输出的缓冲电路。

缓冲电路的输出端子“out”连接有输出 NMOS 晶体管 m1 的源极端子和输出 PMOS 晶体管 m2 的源极端子,形成推挽型输出电路。在下面的描述中,为了简单起见,把每一个 MOS 晶体管简称为 NMOS 或 PMOS。

形成输出电路的输出 NMOS m1 的漏极端子与电源连接。栅极端子与从电源提供电流的电压-电流转换电路 21、和 PMOS m3 的源极端子连接。分别地,PMOS m3 的漏极端子与基准电位连接,并且栅极端子与输入端子“in”连接。在本实施例中,如稍后所描述的,执行以下操作:通过电压-电流转换电路 21 的操作等等,响应于提升输入到输入端子“in”的输入电压来提升要从输出端子“out”输出的输出电压。

形成另一输出电路的输出 PMOS m2 的漏极端子与基准电位连接,栅极端子与电压-电流转换电路 22 连接,所述电压-电流转换电路 22 向基准电位和 NMOS m4 的源极端子提供电流。分别地,NMOS m4 的漏极端子与电源连接,并且栅极端子与输入端子“in”连接。在本实施例中,如稍后所描述的,执行以下操作:通过电压-电流转换电路

22 的操作等等，响应于降低输入到输入端子“in”的输入电压来降低要从输出端子“out”输出的输出电压。

提供电压差检测电路 10，输入端子“in”和输出端子“out”与前述电压差检测电路 10 连接。电压差检测电路 10 检测输入端子“in”的输入电压 V_{in} 和输出端子“out”的输出电压 V_{out} 之间的电压差。

电压差检测电路 10 包括差分放大器电路 11 和差分放大器电路 12。如图 1 所示，以与差分放大器电路 12 所输入的输入信号和输出信号的极性相反的极性向差分放大器电路 11 输入所述输入信号和输出信号。来自差分放大器电路 11 的输出与电压-电流转换电路 21 连接，并且来自差分放大器电路 12 的输出与电压-电流转换电路 22 连接。

现在，将参考图 2 中示出的曲线图，对图 1 中示出的缓冲电路的电压差检测电路 10、电压-电流转换电路 21、以及电压-电流转换电路 22 的操作进行描述。

电压差检测电路 10 检测输入端子“in”的输入电压 V_{in} 与输出端子“out”的输出电压 V_{out} 之间的电压差 $V_{in}-V_{out}$ ，并且分别从差分放大器电路 11 和差分放大器电路 12 中输出依据电压差 $V_{in}-V_{out}$ 的电压值的电压。

电压-电流转换电路 21 和电压-电流转换电路 22 这样操作，使得电流根据来自差分放大器电路 11 和差分放大器电路 12 的输出电压而改变，以改变通过推部分 (push part) 和拉部分 (pull part) 的偏置电流。推部分指的是形成输出电路的输出 NMOS m1，并且拉部分指的是输出 PMOS m2。

具体地，当输入端子“in”的输入电压 V_{in} 高于来自输出端子“out”的输出电压 V_{out} 时，来自差分放大器电路 11 的输出电压转变，以使电压-电流转换电路 21 增大通过推部分的偏置电流。

当输入端子“in”的输入电压 V_{in} 低于来自输出端子“out”的输出电压 V_{out} 时，来自差分放大器电路 12 的输出电压转变，以使电压-电流转换电路 22 增大通过拉部分的偏置电流。

如此，电压-电流转换电路 21 充当驱动电路，用于根据来自差分

放大器电路 11 的输出电压，改变通过推部分的偏置电流。类似地，电压-流转换电路 22 充当驱动电路，用于根据差分放大器电路 12 的输出电压，改变通过拉部分的偏置电流。

具有预定的偏移电压 ΔV 的差分放大器电路 11 与差分放大器电路 12 工作以降低功耗。图 2 示出了通过推部分的偏置电流值 i_1 和通过拉部分的偏置电流值 i_2 对于输入电压 V_{in} 和输出电压 V_{out} 之间的电压差的绝对值 $|V_{in}-V_{out}|$ 的特性。

具体地，具有预定偏移电压 ΔV 的差分放大器电路 11 和差分放大器电路 12 具有偏置电流值的增大与 $|V_{in}-V_{out}|$ 成线性关系的特性，并且示出了推部分的偏置电流值 i_1 与拉部分的偏置电流值 i_2 对于电压值 $|V_{in}-V_{out}|$ 的特性。

如图 2 所示，当差分电压的绝对值 $|V_{in}-V_{out}|$ 处于差分放大器电路 11 和差分放大器电路 12 的预定偏移电压 ΔV 或更小时，其特性为偏置电流值 i_{10} 和 i_{20} 的每一个都是初始值。当差分电压的绝对值 $|V_{in}-V_{out}|$ 处于偏移电压 ΔV 或更大时，偏置电流值的特性为根据差分电压值，从每一个都是初始值的偏置电流值 i_{10} 和 i_{20} 开始线性增大。

现在，将参考图 3 示出的时序图，对图 1 示出的缓冲电路的操作进行描述。当输入端子“in”的输入电压 V_{in} 处于平衡状态时，来自输出端子“out”的输出电压 V_{out} 具有与输入端子“in”的输入电压 V_{in} 的电位大约相同的电位。这里，输入端子“in”的输入电压 V_{in} 与来自输出端子“out”的输出电压 V_{out} 之间的电压差 $V_{in}-V_{out}$ 几乎为 0。

在这种情况下，当电压差处于差分放大器电路 11 和差分放大器电路 12 的预定偏移电压 ΔV 或更小时，由差分放大器电路 11 和 12 决定的偏置电流源 i_1 和 i_2 表示每一个都是初始值的偏置电流值 i_{10} 和 i_{20} 。

这里，当输入电压 V_{in} 上升形成图 3 中示出的矩形形状时，来自输出端子“out”的输出电压 V_{out} 仍是紧接之前的电压值。因而，输入端子“in”的输入电压 V_{in} 与来自输出端子“out”的输出电压 V_{out} 之间的电压差 $V_{in}-V_{out}$ 增加到差分放大器电路 11 的预定偏移电压 ΔV 或

更高。

因此，推部分的偏置电流值 i_1 根据电压差 $V_{in}-V_{out}$ ，从作为初始值的偏置电流值 i_{10} 开始增大，以便能够对输出 NMOS m_1 的栅极端子电容进行快速充电。因此，输出 NMOS m_1 的栅极端子电压 V_1 甚至可以追踪输入端子“in”的输入电压 V_{in} 的突然变化而进行转变。结果，可以高速增大来自输出端子“out”的输出电压 V_{out} 。

当输入电压 V_{in} 下降形成图 3 中示出的矩形形状时，来自输出端子“out”的输出电压 V_{out} 仍是紧接之前的电压值。因而，输入端子“in”的输入电压 V_{in} 与来自输出端子“out”的输出电压 V_{out} 之间的差分电压的绝对值 $|V_{in}-V_{out}|$ 增加到差分放大器电路 12 的预定偏移电压 ΔV 或更高。

从而，拉部分的偏置电流值 i_2 根据差分电压的绝对值 $|V_{in}-V_{out}|$ ，从作为初始值的偏置电流值 i_{20} 开始增大，以便能够对输出 PMOS m_2 的栅极端子电容进行快速放电。因此，输出 PMOS m_2 的栅极端子电压 V_2 甚至可以追踪输入端子“in”的输入电压 V_{in} 的突然变化而进行转变。结果，可以高速升高来自输出端子“out”的输出电压 V_{out} 。

在本实施例中，提供了把输入端子“in”的输入电压 V_{in} 和来自输出端子“out”的输出电压 V_{out} 用作输入的电压差检测电路 10。电压差检测电路 10 由各自具有预定偏移电压的差分放大器电路 11 和 12 形成。本实施例适于通过电压-电流转换电路 21、22 使电压差检测电路 10 改变推部分和拉部分的偏置电流值，其中来自差分放大器电路 11、12 的输出信号输入到所述电压-电流转换电路 21、22 中。

只有在输入端子“in”的输入电压 V_{in} 与来自输出端子“out”的输出电压 V_{out} 之间产生大的电压差时，即，只有在输入端子“in”的输入电压 V_{in} 突然转变时，推部分和拉部分的偏置电流值才增大。利用这种配置，使得能够进行高速响应，以便可以改善转换速率特性。

在其中输入端子“in”的输入电压 V_{in} 与来自输出端子“out”的输出电压 V_{out} 之间没有形成电压差的平衡状态的情况下，可以使推部分和拉部分的偏置电流值最小化。结果，可以降低电流消耗。因此，

这个实施例可以同时满足缓冲电路所需的具有相互权衡关系的降低功耗和转换速率特性。

本实施例向差分放大器电路 11、12 提供预定的偏移电压，其中把输入端子“in”的输入电压 V_{in} 和来自输出端子“out”的输出电压 V_{out} 用作输入。这是为了降低电流消耗的目的。如果需要在转换速率特性上增加更多权重的缓冲电路，则把差分放大器电路 11、12 的偏移电压减小到 0 是有效的。

如图 2 所示，本实施例提供了偏置电流值与输入端子“in”的输入电压 V_{in} 和来自输出端子“out”的输出电压 V_{out} 之间的差分电压的绝对值 $|V_{in}-V_{out}|$ 成线性关系增大的特性。

本发明在改善转换速率特性方面是有效的，只要在电压差的绝对值 $|V_{in}-V_{out}|$ 增大时，推部分和拉部分的偏置电流值也增大就可以，而不需要线性特性。

尽管在本实施例中，缓冲电路由 MOS 场效应晶体管形成，但是本发明不限于这种仅具有 MOS 场效应晶体管的电路。例如，可以用双极型晶体管或者用 MOS 场效应晶体管和双极型晶体管的组合来形成该电路。

(第二实施例)

图 4 是示出了本发明的缓冲电路的第二实施例的电路图。在图 4 中，与图 1 中的那些部件相同的部件使用相同的附图标记。包括图 4 中示出的 NMOS m5、NMOS m6 以及电流源 i3 的电路与图 1 中示出的差分放大器电路 11 相对应。包括 PMOS m9、PMOS m10 以及电流源 i4 的电路与差分放大器电路 12 相对应。假定差分放大器电路具有图 1 所示的预定输入偏移电压。

包括图 4 中示出的 PMOS m7、PMOS m8 以及恒定电流源 i1 的电路与图 1 中示出的电压-电流转换电路 21 相对应。包括 NMOS m11、NMOS m12 以及恒定电流源 i2 的电路与电压-电流转换电路 22 相对应。然而，如稍后所描述的，本实施例示出了提供预定的偏置电流的

示例,来代替如图 2 所示的偏置电流相对于差分电压线性改变的特性。

如参考图 1 所描述的,图 4 中示出的电路是用于将在输入端子“in”中输入的输入电压作为输出电压从输出端子“out”输出的缓冲电路。输出端子“out”连接有输出 NMOS m1 的源极端子和输出 PMOS m2 的源极端子,形成推挽型输出电路。

输出 NMOS m1 的漏极端子与电源连接。栅极端子与作为偏置电流源之一的用于从电源提供电流的电流源 i1、以及形成电流镜电路的 PMOS m8 的漏极端子连接。输出 NMOS m1 的栅极端子与 PMOS m3 的源极端子连接。

分别地,PMOS m3 的漏极端子与基准电位连接,并且栅极端子与输入端子“in”连接。在本实施例中,类似地执行下述用途的操作:响应于输入到输入端子“in”的输入电压的升高而提升要从输出端子“out”输出的输出电压。

输出 PMOS m2 的漏极端子与基准电位连接,并且栅极端子与作为偏置电流源之一的用于向基准电位提供电流的电流源 i2、以及形成电流镜电路的 NMOS m12 的漏极端子连接。输出 PMOS m2 的栅极端子与 NMOS m4 的源极端子连接。

分别地,NMOS m4 的漏极端子与电源连接,并且栅极端子与输入端子“in”连接。在本实施例中,类似地执行用于以下用途的操作:响应于降低输入到输入端子的输入电压而降低要从输出端子输出的输出电压。

输入端子“in”与形成差分放大器电路 11 的 NMOS m5 的栅极端子连接,并且输出端子“out”与 NMOS m6 的栅极端子连接,其中 NMOS m6 是通过并联连接与 NMOS m5 相同的 M 个元件而作为一个元件被形成的。NMOS m5 和 NMOS m6 的源极端子与用于向基准电位提供电流的偏置电流源 i3 连接,并且 NMOS m6 的漏极端子与电源连接。

NMOS m5 的漏极端子与形成电流镜电路的 PMOS m7 的漏极端子和栅极端子连接。PMOS m7 的源极端子与电源连接,并且 PMOS

m7 的栅极端子与 PMOS m8 的栅极端子连接，其中，PMOS m8 是通过并联连接与 PMOS m7 相同的 N 个元件而作为一个元件被形成的。

PMOS m8 的源极端子与电源连接，并且 PMOS m8 的漏极端子分别与输出 NMOS m1 的栅极端子、偏置电流源 i1 以及 PMOS m3 的源极端子连接。

形成电流镜电路的 PMOS m7 和 PMOS m8 充当当输入电压 V_{in} 和输出电压 V_{out} 之间的电压差处于预定的偏移电压或更高时增大偏置电流并向输出 NMOS m1 提供该偏置电流的偏置电流源（驱动电路）。

输入端子“in”与形成差分放大器电路 12 的 PMOS m9 的栅极端子连接，并且输出端子“out”与 PMOS m10 的栅极端子连接，其中 PMOS m10 是通过并联连接与 PMOS m9 相同的 M 个元件而作为一个元件被形成的。PMOS m9 和 PMOS m10 的源极端子与从电源提供电流的偏置电流源 i4 连接，并且 PMOS m10 的漏极端子与基准电位连接。

PMOS m9 的漏极端子与形成电流镜电路的 NMOS m11 的漏极端子和栅极端子连接。NMOS m11 的源极端子与基准电位连接，并且 NMOS m11 的栅极端子与 NMOS m12 的栅极端子连接，其中 NMOS m12 是通过并联连接与 NMOS m11 相同的 N 个元件而作为一个元件被形成的。

NMOS m12 的源极端子与基准电位连接，并且 NMOS m12 的漏极端子分别与输出 PMOS m2 的栅极端子、电流源 i2 以及 NMOS m4 的源极端子连接。

形成电流镜电路的 NMOS m11 和 NMOS m12 充当当输入电压 V_{in} 和输出电压 V_{out} 之间的电压差处于预定的偏移电压或更高时增大偏置电流并向输出 PMOS m2 提供该偏置电流的偏置电流源（驱动电路）。

现在，将参考图 3 示出的时序图对图 4 示出的缓冲电路的操作进行描述。当输入端子“in”的输入电压 V_{in} 处于平衡状态时，来自输出

端子“out”的输出电压 V_{out} 具有与输入端子“in”的输入电压 V_{in} 的电位几乎相同的电位。因此，输入端子“in”的输入电压 V_{in} 与来自输出端子“out”的输出电压 V_{out} 之间的电压差 $V_{in}-V_{out}$ 几乎是 0。

这里，作为差分放大器电路 11 的输入的 NMOS m5 和 NMOS m6 中元件数量的比例是 1: M。因此，当相同电位的输入端子“in”的输入电压 V_{in} 和来自输出端子“out”的输出电压 V_{out} 被输入到各个栅极端子时，每一差分对进入非平衡状态。也就是说，从 NMOS m6 侧提供通过偏置电流源 i3 的电流，并且向 NMOS m5 侧的电流不流动。

因此，当电流不流向由 PMOS m7 和 PMOS m8 形成的电流镜电路中的 PMOS m7 侧时，要从 PMOS m8 向推部分额外提供的偏置电流变为 0。

类似地，作为差分放大器电路 12 的输入的 PMOS m9 和 PMOS m10 中元件数量的比例是 1: M。因此，当相同电位的输入端子“in”的输入电压 V_{in} 和来自输出端子“out”的输出电压 V_{out} 被输入到各个栅极端子时，每一差分对进入非平衡状态。也就是说，向 PMOS m10 侧提供通过偏置电流源 i4 的电流，并且向 PMOS m9 侧的电流不流动。

因此，当电流不流向由 NMOS m11 和 NMOS m12 形成的电流镜电路中的 NMOS m11 侧时，要从 NMOS m12 向拉部分额外提供的偏置电流变为 0。

这里，当输入电压 V_{in} 上升形成如图 3 所示的矩形形状时，来自输出端子“out”的输出电压 V_{out} 仍是紧接之前的电压值。因而，输入端子“in”的输入电压 V_{in} 与来自输出端子“out”的输出电压 V_{out} 之间的电压差 $V_{in}-V_{out}$ 增大。从而，电压差 $V_{in}-V_{out}$ 变成预定的偏移电压或更高，其中偏移电压通过作为差分放大器电路 11 的输入的 NMOS m5 和 NMOS m6 的元件数量来设定。

当电压差很大时，即，当输入电压 V_{in} 突然变化时，差分对进入与平衡状态相反的非平衡状态，并且通过偏置电流源 i3 的电流流向 NMOS m5 侧。电流被由 PMOS m7 和 PMOS m8 形成的电流镜电路中的因子 N 放大。要从 PMOS m8 向推部分额外提供的偏置电流变成

($i_3 \times N$)。

因此,用于对输出 NMOS m1 的栅极端子电容进行充电的偏置电流变成能够对栅极端子电容进行快速充电的 ($i_1+i_3 \times N$)。因此,输出 NMOS m1 的栅极端子电压 V1 可以根据输入端子“in”的输入电压 V_{in} 的突然转变而转变。结果,可以快速提升来自输出端子“out”的输出电压 V_{out} 。

当输入电压 V_{in} 下降形成如图 3 所示的矩形形状时,来自输出端子“out”的输出电压 V_{out} 仍是紧接之前的电压值。因而,输入端子“in”的输入电压 V_{in} 与来自输出端子“out”的输出电压 V_{out} 之间的电压差的绝对值 $|V_{in}-V_{out}|$ 增大。从而,电压差的绝对值 $|V_{in}-V_{out}|$ 变成预定的偏移电压或更高,其中偏移电压通过作为差分放大器电路 12 的输入的 PMOS m9 和 PMOS m10 的元件数量而被设定。

当电压差很大时,即,当输入电压 V_{in} 突然变化时,差分对进入与平衡状态相反的非平衡状态,并且通过偏置电流源 i_4 的电流流向 PMOS m9 侧。电流被由 NMOS m11 和 NMOS m12 形成的电流镜电路中的因子 N 放大。要从 NMOS m12 向拉部分额外提供的偏置电流变成 ($i_4 \times N$)。

因此,用于对输出 PMOS m2 的栅极端子电容进行放电的偏置电流变成能够对栅极端子电容进行快速放电的 ($i_2+i_4 \times N$)。因此,输出 PMOS m2 的栅极端子电压 V2 可以根据输入端子“in”的输入电压 V_{in} 的突然转变而转变。结果,可以快速降低来自输出端子“out”的输出电压 V_{out} 。

在本实施例中,提供具有预定的偏移电压的电压差检测电路,该电压差检测电路把输入端子“in”的输入电压 V_{in} 和来自输出端子“out”的输出电压 V_{out} 用作输入。本实施例适于根据来自差分放大器电路的输出,向推部分和拉部分的偏置电流值额外提供偏置电流。

因此,只有在输入端子“in”的输入电压 V_{in} 和来自输出端子“out”的输出电压 V_{out} 之间产生大电压差时,即,只有在输入端子“in”的输入电压 V_{in} 突然转变时,推部分和拉部分的偏置电流值才增大。利

用这种配置，使得能够进行高速响应，以便可以改善转换速率特性。

在其中输入端子“in”的输入电压 V_{in} 和来自输出端子“out”的输出电压 V_{out} 之间不形成电压差的平衡状态的情况下，不能向推部分和拉部分的偏置电流值额外提供偏置电流。结果，可以降低电流消耗。因此，本实施例可以同时满足缓冲电路所需的具有相互权衡关系的降低功耗和转换速率特性。

本实施例向把输入端子“in”的输入电压 V_{in} 和来自输出端子“out”的输出电压 V_{out} 用作输入的差分放大器电路提供预定的偏移电压。这是为了降低电流消耗的目的。如果需要在转换速率特性上增加更多权重的缓冲电路，把差分放大器电路的偏移电压减小到 0 是有效的。

尽管本实施例通过作为如图 4 所示的差分放大器电路的输入的两个差分晶体管的元件数量的比例来设定预定的偏移电压，但是本发明不限于这种配置。例如，可以使用通过两个差分晶体管的元件尺寸的比例来设定偏移电压的方法，或者使用通过在两个差分晶体管中的一个的源极端子中插入电阻来设定偏移电压的方法。

也可以考虑通过组合多个上述方法来设定偏移电压的方法。当然可以使用任何方法，只要其能够设定偏移电压就可以。

尽管把电流镜电路用作用于设定当如图 4 所示输入端子“in”的输入电压 V_{in} 突然转变时向推部分和拉部分的偏置电流值所额外提供的电流的方法，但是本发明不限于这种电路。可以在本发明中使用任何电路，只要在输入端子“in”的输入电压 V_{in} 突然转变时，这种电路能够放大电流值并且向推部分和拉部分额外提供偏置电流就可以。

已经对其中由 MOS 场效应晶体管形成如上所述的电路的示例进行了描述，但是本发明不限于这种仅包括 MOS 场效应晶体管的电路。例如，可以用双极型晶体管或者 MOS 场效应晶体管和双极型晶体管的任何组合来形成电路。

如上所述，本发明可以同时满足缓冲电路所需的具有相互权衡关系的降低功耗和转换速率特性。

上述实施例仅示出了用来实施本发明的特定实施例并且不应当被解释为限制本发明的技术范围。也就是说，可以在不脱离其精神和主要特征的情况下用各种形式实现本发明。

虽然已参考示例性实施例对本发明进行了描述，但是应当理解，本发明不限于公开的示例性实施例。下面的权利要求的范围应被给予最宽的解释，以便包括所有这样的变型和等同结构及功能。

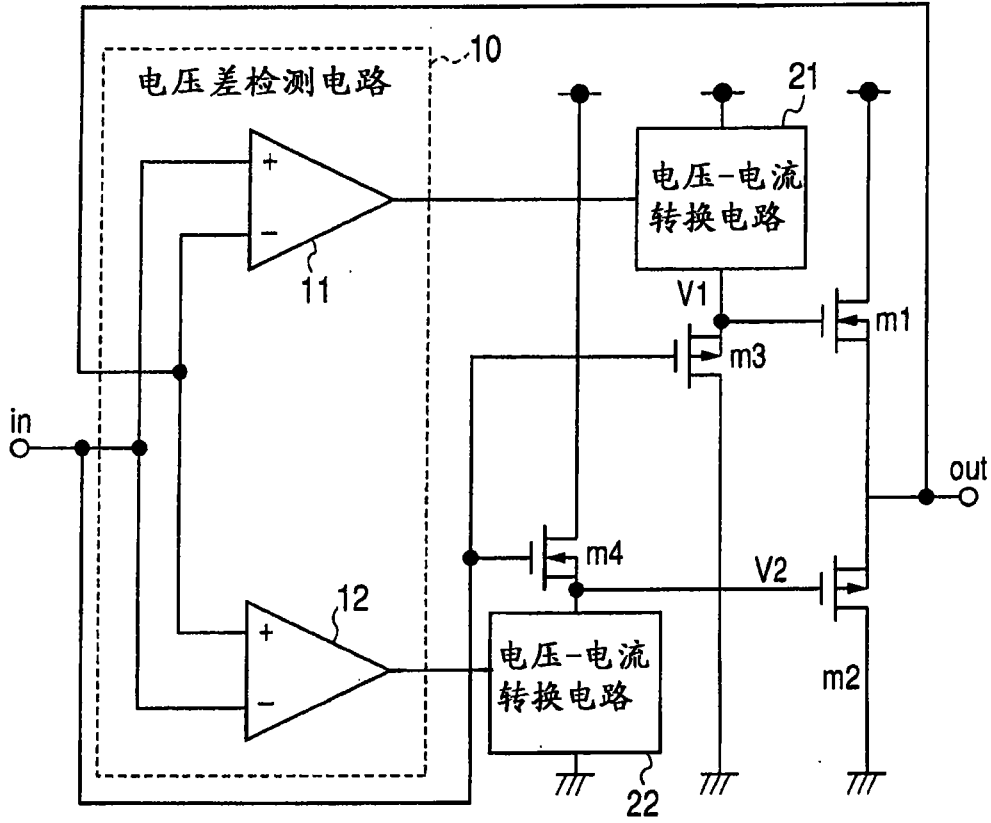


图1

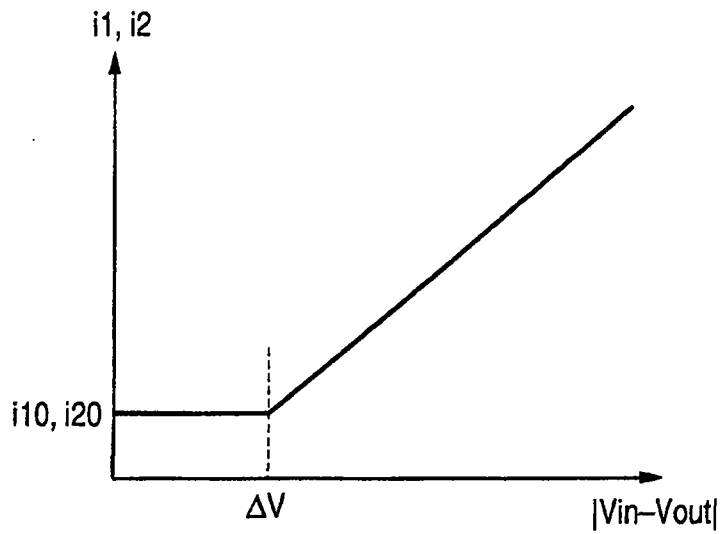


图2

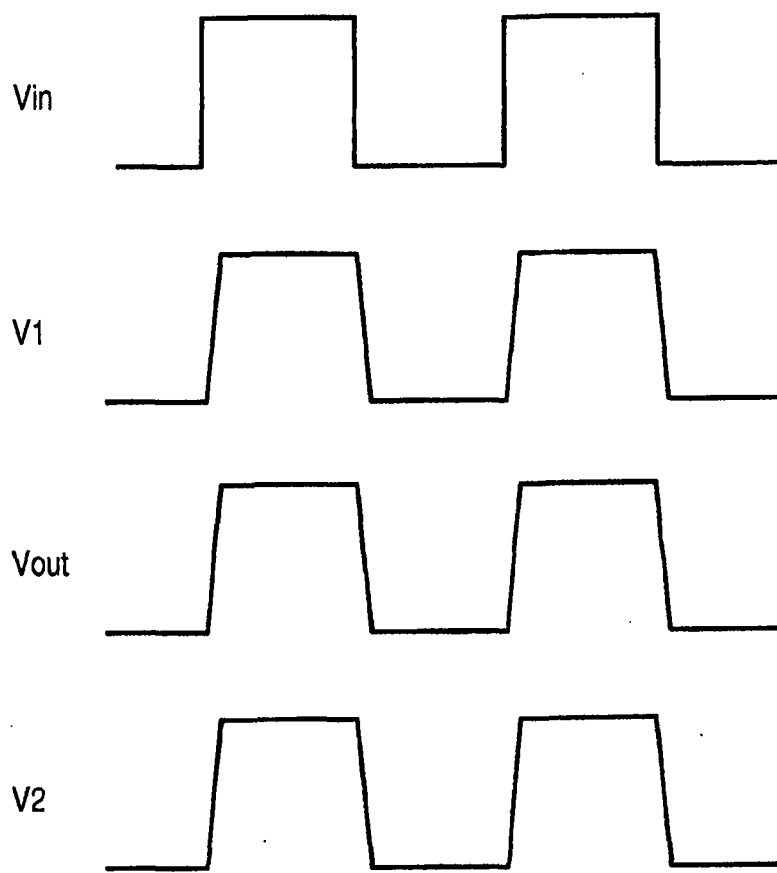


图3

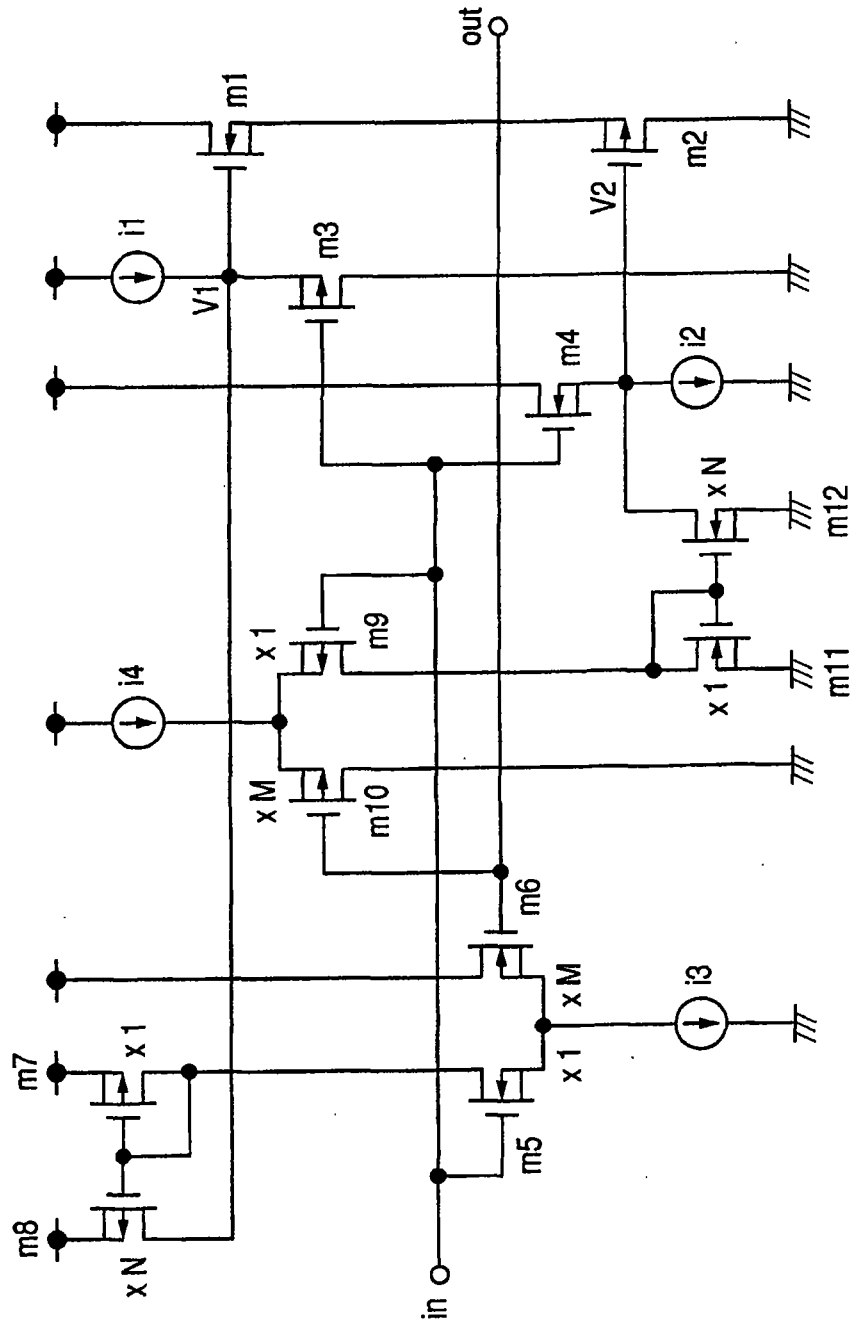


图4