



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I470807 B

(45)公告日：中華民國 104 (2015) 年 01 月 21 日

(21)申請案號：098142073

(22)申請日：中華民國 98 (2009) 年 12 月 09 日

(51)Int. Cl. : **H01L29/786 (2006.01)**

(30)優先權：2008/12/11 日本 2008-316196

2009/05/28 日本 2009-128675

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72)發明人：鄉戶宏充 GODO, HIROMICHI (JP)；小林聰 KOBAYASHI, SATOSHI (JP)；宮入  
秀和 MIYAIRI, HIDEKAZU (JP)；伊佐敏行 ISA, TOSHIYUKI (JP)；山崎舜平  
YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200801672

TW 200834429

JP H05-267662

審查人員：吳爾軒

申請專利範圍項數：10 項 圖式數：20 共 83 頁

(54)名稱

薄膜電晶體和顯示裝置

THIN FILM TRANSISTOR AND DISPLAY DEVICE

(57)摘要

減少利用閘極電極對半導體層進行遮光的底閘型薄膜電晶體的截止電流。一種薄膜電晶體，包括：閘極電極層；第一半導體層；設置在所述第一半導體層上並與其接觸的第二半導體層；在所述閘極電極層和所述第一半導體層之間並與它們接觸的閘極絕緣層；接觸於所述第二半導體層的雜質半導體層；以及部分地接觸於所述雜質半導體層和所述第一及第二半導體層的源極電極層及汲極電極層。由所述閘極電極層覆蓋所述第一半導體層的閘極電極層一側的整個面，並且所述第一半導體層和所述源極電極層及汲極電極層接觸的部分的勢壘為 0.5eV 以上。

Off current of a bottom gate thin film transistor in which a semiconductor layer is shielded from light by a gate electrode is reduced. A thin film transistor includes a gate electrode layer; a first semiconductor layer; a second semiconductor layer, provided on and in contact with the first semiconductor layer; a gate insulating layer between and in contact with the gate electrode layer and the first semiconductor layer; impurity semiconductor layers in contact with the second semiconductor layer; and source and drain electrode layers partially in contact with the impurity semiconductor layers and the first and second semiconductor layers. The entire surface of the first semiconductor layer on the gate electrode layer side is covered by the gate electrode layer; and a potential barrier at a portion where the first semiconductor layer is in contact with the source or drain electrode layer is 0.5 eV or more.

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：98142073

※申請日：98年12月09日

※IPC分類：H01L 29/786 (2006.01)

## 一、發明名稱：(中文/英文)

薄膜電晶體和顯示裝置

Thin film transistor and display device

## 二、中文發明摘要：

減少利用閘極電極對半導體層進行遮光的底閘型薄膜電晶體的截止電流。一種薄膜電晶體，包括：閘極電極層；第一半導體層；設置在所述第一半導體層上並與其接觸的第二半導體層；在所述閘極電極層和所述第一半導體層之間並與它們接觸的閘極絕緣層；接觸於所述第二半導體層的雜質半導體層；以及部分地接觸於所述雜質半導體層和所述第一及第二半導體層的源極電極層及汲極電極層。由所述閘極電極層覆蓋所述第一半導體層的閘極電極層一側的整個面，並且所述第一半導體層和所述源極電極層及汲極電極層接觸的部分的勢壘為  $0.5\text{eV}$  以上。

### 三、英文發明摘要：

Off current of a bottom gate thin film transistor in which a semiconductor layer is shielded from light by a gate electrode is reduced. A thin film transistor includes a gate electrode layer; a first semiconductor layer; a second semiconductor layer, provided on and in contact with the first semiconductor layer; a gate insulating layer between and in contact with the gate electrode layer and the first semiconductor layer; impurity semiconductor layers in contact with the second semiconductor layer; and source and drain electrode layers partially in contact with the impurity semiconductor layers and the first and second semiconductor layers. The entire surface of the first semiconductor layer on the gate electrode layer side is covered by the gate electrode layer; and a potential barrier at a portion where the first semiconductor layer is in contact with the source or drain electrode layer is 0.5 eV or more.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

100：基板

102：閘極電極層

104：閘極絕緣層

106：第一半導體層

108：第二半導體層

110：雜質半導體層

112：源極電極層及汲極電極層

114：保護層

116：開口部

118：像素電極層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種薄膜電晶體及顯示裝置。

### 【先前技術】

近年來，由具有絕緣表面的基板（例如，玻璃基板）上的半導體薄膜（厚度是幾 nm 至幾百 nm 左右）構成的薄膜電晶體受到注目。薄膜電晶體已被廣泛地應用於如 IC（積體電路）及電光裝置那樣的電子設備。尤其，正在加快開發作為以液晶顯示裝置等為代表的圖像顯示裝置的開關元件的薄膜電晶體。在液晶顯示裝置等的圖像顯示裝置中，作為開關元件，主要使用利用非晶半導體膜或多晶半導體膜的薄膜電晶體。進而，使用微晶半導體膜製造的薄膜電晶體已被廣泛地周知（例如，參照專利文獻 1）。

當使閘極電壓變化時流在源極和汲極之間的電流的變化量越大，薄膜電晶體的性能越高。作為表示當使閘極電壓變化時流在源極和汲極之間的電流的變化量的值，亞臨界值已被廣泛地周知。

另外，薄膜電晶體需要光漏電流的減少。光漏電流是指：因對薄膜電晶體的半導體層照射光來在半導體層中產生光伏效應且電流流在源極和汲極之間，而產生的電流。因此，至此進行了為了對薄膜電晶體的半導體層進行遮光的多種技術開發（例如，參照專利文獻 2 及專利文獻 3）。

[專利文獻 1] 美國專利第 4409134 號說明書

[專利文獻 2] 日本專利申請公開 特開平 10-20298 號  
公報

[專利文獻 3] 日本專利申請公開 特開平 7-122754 號  
公報

例如，在應用於顯示裝置的薄膜電晶體中，藉由光照射到半導體層，產生光漏電流。當產生光漏電流時，例如因顯示裝置的對比率降低等而顯示品質降低。爲了抑制上述光漏電流，對半導體層進行遮光即可。例如，在光入射的一側重疊於半導體層地設置閘極電極，即可。

但是，例如，在將非晶半導體層層疊於微晶半導體層上的薄膜電晶體中，當使半導體層重疊於閘極電極時，有截止電流增大的趨勢。特別地，當  $V_{gs} < 0$  時，隨著閘極電壓的降低，截止電流就顯著地增大。換言之，截止電流的上升率大。

#### 【發明內容】

於是，鑒於上述問題，本發明的目的之一在於提供即使在利用閘極電極對半導體層進行遮光的情況下，截止電流的上升率也小的薄膜電晶體。

本發明的一個實施例是一種底閘型薄膜電晶體，其中包括在載流子遷移率高的半導體層上層疊有載流子遷移率低的半導體層的半導體層，使用閘極電極對這些半導體層的整個面進行遮光，並且載流子遷移率高的半導體層和汲

極電極彼此接觸的部分的勢壘高。具體而言，使用功函數低的材料形成該接觸的部分的汲極電極。

本發明的一個實施例是一種薄膜電晶體，包括：閘極電極層；第一半導體層；其載流子遷移率低於所述第一半導體層的載流子遷移率的第二半導體層，該第二半導體層設置在接觸於所述第一半導體層上並與其接觸；設置在所述閘極電極層和所述第一半導體層之間並與它們接觸地設置的閘極絕緣層；設置為接觸於所述第二半導體層的雜質半導體層；以及設置為部分地接觸於所述雜質半導體層和所述第一及第二半導體層的源極電極層及汲極電極層，其中所述第一半導體層的閘極電極層一側的整個面重疊於所述閘極電極層，並且所述第一半導體層和所述源極電極層及汲極電極層接觸的部分的勢壘為  $0.5\text{eV}$  以上。

本發明的一個實施例是一種薄膜電晶體，包括：閘極電極層；第一半導體層；其載流子遷移率低於所述第一半導體層的載流子遷移率的第二半導體層，該第二半導體層設置在所述第一半導體層上並與其接觸；設置在所述閘極電極層和所述第一半導體層之間並與它們接觸的閘極絕緣層；設置為接觸於所述第二半導體層的雜質半導體層；以及設置為部分地接觸於所述雜質半導體層和所述第一及第二半導體層的源極電極層及汲極電極層，其中所述第一半導體層的閘極電極層一側的整個面重疊於所述閘極電極層，並且形成所述源極電極層及所述汲極電極層的材料的功能函數為  $\phi$ ，所述第一半導體層的電子親和勢（真空能級和



所述第一半導體層的遷移率端的底部的差異) 為  $\chi$ ，以及所述第一半導體層的禁帶寬度為  $E_g$ ，並且  $E_g + \chi - \phi$  為 0.5 eV 以上。

在具有上述結構的薄膜電晶體中，較佳利用所述閘極電極層對所述第一半導體層進行遮光。從而，閘極電極層較佳由遮光材料形成。

在具有上述結構的薄膜電晶體中，所述第二半導體層的禁帶寬度較佳為大於接觸於所述源極電極層及汲極電極層的所述第一半導體層的禁帶寬度。這是因為如下緣故：當將第二半導體層的禁帶寬度設定為大於第一半導體層的禁帶寬度時，只要至少考慮第一半導體層的勢壘即可。

藉由採用所述第一半導體層具有結晶性半導體，並且所述第二半導體層具有非晶半導體的結構，可以得到具有上述結構的薄膜電晶體。

在底閘型薄膜電晶體中，藉由在第一半導體層上設置第二半導體層，當導通時電流主要流在第一半導體層一側，而在截止時電流主要流在第二半導體層一側。因此，藉由使用載流子遷移率高的半導體形成第一半導體層，並且使用載流子遷移率低的半導體形成第二半導體層，可以得到導通電流大且截止電流小（即，開關比高）的薄膜電晶體。另外，也可以以使半導體層重疊於閘極電極層的方式對半導體層進行遮光，而可以減少光漏電流。換言之，藉由採用本發明的一個實施例的薄膜電晶體的結構，可以得到光漏電流小且開關比高的薄膜電晶體。

藉由將光漏電流小且開關比高的薄膜電晶體應用於顯示裝置，可以得到高對比度且耗電量少的顯示裝置。

### 【實施方式】

以下，參照附圖對本發明的實施例模式進行詳細的說明。但是，本發明不局限於以下的說明。所屬本技術領域的普通技術人員很容易理解：本發明的方式和細節可以在不脫離本發明的宗旨及其範圍的條件下作各種各樣的變換。因此，本發明不應該被解釋為僅限於以下所示的實施例模式的記載內容。此外，當藉由附圖說明本發明的結構時，在不同附圖之間共同使用相同的附圖標記來表示相同的部分。另外，也有如下情況：當表示相同的部分時使用相同的陰影線，而不特別附加附圖標記。另外，為了方便起見，有時將絕緣層不表示在俯視圖中。

#### 實施例模式 1

在本實施例模式中，參照附圖說明本發明的一個實施例的薄膜電晶體。

圖 1A 和 1B 示出本實施例模式的薄膜電晶體的一例。

圖 1A 和 1B 所示的薄膜電晶體包括：閘極電極層 102、半導體層（第一半導體層 106 及第二半導體層 108）、在閘極電極層 102 和半導體層之間且與其接觸地設置的閘極絕緣層 104、接觸於半導體層地設置的雜質半導體層 110、其一部分接觸於雜質半導體層 110 及半導體層地設

置的源極電極層及汲極電極層 112，其中半導體層的整個面重疊於閘極電極層 102。另外，該薄膜電晶體較佳由保護層 114 覆蓋。在將該薄膜電晶體用於顯示裝置的像素電晶體的情況下，如圖 1A 和 1B 所示那樣，在保護層 114 中設置開口部 116，並且透過該開口部 116 連接到源極電極層或汲極電極層 112 地設置像素電極層 118，即可。另外，較佳地是，第二半導體層 108 接觸於第一半導體層 106 地設置，並且由其載流子遷移率低於第一半導體層 106 的載流子遷移率的材料設置第二半導體層 108。

如圖 1A 和 1B 所示那樣，藉由薄膜電晶體半導體層的整個面重疊於閘極電極層 102，可以減少來自基板 100 一側的光漏電流。

另外，在圖 1A 和 1B 所示的薄膜電晶體中，層疊第一半導體層 106 和第二半導體層 108 形成半導體層。為了減少截止電流，設置第二半導體層 108。較佳地是，第二半導體層 108 接觸於第一半導體層 106 地設置，並且第二半導體層 108 由其載流子遷移率低於第一半導體層 106 的載流子遷移率的材料設置。例如，較佳形成結晶性半導體層作為第一半導體層 106，並且形成後面所述的“包括非晶半導體的層”（可以緩和電場的半導體層）作為第二半導體層 108。當薄膜電晶體導通時流在第一半導體層 106 中的電流佔優勢，而當薄膜電晶體截止時流在第二半導體層 108 中的電流佔優勢。另外，藉由作為第二半導體層 108 採用後面所述的“包括非晶半導體的層”，可以防止因設

置第二半導體層 108 而導致的導通電流的減少。因此，藉由作為第一半導體層 106 採用結晶性半導體層，並且作為第二半導體層 108 採用後面所述的“包括非晶半導體的層”，可以得到開關比高的薄膜電晶體。但是，第二半導體層 108 不局限於“包括非晶半導體的層”，例如也可以使用非晶半導體形成第二半導體層 108。

在此，說明構成薄膜電晶體的層的每一個。

基板 100 只要具有可以承受形成在基板 100 上的薄膜（晶體矽等）的形成製程的程度的耐熱性及耐化學物性等即可，而不局限於特定的材料的基板。具體而言，例如，可以舉出玻璃基板、石英基板、不銹鋼基板及矽基板。另外，在將圖 1A 和 1B 所示的薄膜電晶體用於顯示裝置的情況下，作為基板 100 使用具有透光性的基板即可，例如，使用玻璃基板或石英基板即可。在基板 100 是母體玻璃的情況下，採用第一代（例如， $320\text{mm}\times 400\text{mm}$ ）至第十代（例如， $2950\text{mm}\times 3400\text{mm}$ ）的基板即可，但是不局限於此。

可以藉由使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳或鈳等的金屬材料或以這些為主要成分的合金材料來形成閘極電極層 102。閘極電極層 102 既可以由這些材料的單層形成，又可以層疊這些材料形成。另外，閘極電極層 102 也構成閘極佈線。

閘極絕緣層 104 可以使用氧化矽、氮化矽、氧氮化矽或氮氧化矽形成。另外，閘極絕緣層 104 既可以用單層形

成，又可以層疊這些材料形成。在第一半導體層 106 是結晶性半導體層的情況下，藉由至少作為接觸於第一半導體層 106 的閘極絕緣層 104 採用氧化矽層，可以提高第一半導體層 106 的結晶性。氧化矽層特別較佳作為形成氣體使用正矽酸乙酯（TEOS：化學式  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）形成。

第一半導體層 106 較佳如上所說明使用結晶性半導體形成。結晶性半導體包括多晶半導體或微晶半導體等，但是較佳使用不需要晶化製程的微晶半導體形成第一半導體層 106。

第二半導體層 108 較佳是如下半導體層：具有非晶半導體和微小半導體晶粒；與現有的非晶半導體相比，利用 CPM（Constant photocurrent method，即恆定光電流法）、光致發光光譜（photoluminescence spectroscopy）測定而測量出的 Urbach 邊緣的能量少；並且缺陷吸收光譜量少。換言之，這種半導體層是其缺陷比現有的非晶半導體少，在其價電子帶的帶端（遷移率端）中的能級的尾部（下端部）的傾斜陡峭且具有高秩序性的半導體層。在說明中將這種半導體層記載為“包括非晶半導體的層”。

但是，第二半導體層 108 不局限於上述說明，而也可以使用非晶半導體形成。第二半導體層 108 至少由其載流子遷移率比第一半導體層 106 的載流子遷移率低的材料設置，即可。

在此，說明第一半導體層 106 和第二半導體層 108 的較佳的一個模式。

第一半導體層 106 較佳例如由微晶半導體形成。在此，微晶半導體是指具有非晶體和晶體結構（包括單晶、多晶）的中間結構的半導體。微晶半導體是具有自由能穩定的第三狀態的半導體，並且是具有短程有序和晶格畸變的結晶性的半導體，其中晶粒徑是 2nm 以上且 200nm 以下，較佳是 10nm 以上且 80nm 以下，更佳是 20nm 以上且 50nm 以下的柱狀晶體或針狀晶體相對於基板表面在法線方向上成長。因此，在柱狀晶體或針狀晶體的介面中有時形成有晶粒介面。

微晶半導體之一的微晶矽的拉曼光譜峰值比顯示單晶矽的  $520\text{cm}^{-1}$  更向低波數一側移動。即，微晶矽的拉曼光譜峰值位於顯示單晶矽的  $520\text{cm}^{-1}$  和顯示非晶矽的  $480\text{cm}^{-1}$  之間。另外，使其包含至少 1 原子%或其以上的氫或鹵族元素，以飽和不飽和鍵（dangling bond）。再者，藉由使其包含如氦、氫、氬或氖等的稀有氣體元素，來進一步促進晶格畸變，從而能夠獲得穩定性提高的優異的微晶半導體。例如，在專利文獻 1（美國專利 4,409,134 號說明書）中公開關於這種微晶半導體的記載。

另外，藉由將包含在第一半導體層 106 中的氧及氮濃度（利用二次離子質譜分析法得到的測定值）設定為低於  $1 \times 10^{18}\text{atoms/cm}^3$ ，可以提高第一半導體層 106 的結晶性。

第二半導體層 108 較佳由“包括非晶半導體的層”、含有鹵素的“包括非晶半導體的層”或含有氮的“包括非晶半導體的層”，最好由含有 NH 基的“包括非晶半導體

的層”形成。但是，不局限於上述材料。

第一半導體層 106 和第二半導體層 108 的介面區域具有微晶半導體區域以及設置在該微晶半導體區域之間的非晶半導體。具體而言，第一半導體層 106 和第二半導體層 108 的介面區域由從第一半導體層 106 以凸狀延伸的微晶半導體區域和與第二半導體層 108 相同的“包括非晶半導體的層”形成。

藉由例如使用“包括非晶半導體的層”、含有鹵素的“包括非晶半導體的層”、含有氮的“包括非晶半導體的層”或含有 NH 基的“包括非晶半導體的層”形成第二半導體層 108，可以降低薄膜電晶體的截止電流。另外，因為在上述介面區域中具有錐形的微晶半導體區域，可以降低縱方向（膜厚度方向）的電阻，即第二半導體層 108 和由雜質半導體層 110 構成的源區或汲區之間的電阻，而可以提高薄膜電晶體的導通電流。

或者，也可以採用沒有第二半導體層 108 的結構。在此情況下，較佳將上述介面區域設置在第一半導體層 106 和雜質半導體層 110 之間。在該介面區域中具有微晶半導體區域和填充在該微晶半導體區域之間的非晶半導體區域。微晶半導體區域由從第一半導體層 106 延伸的微晶半導體形成。此時，較佳該介面區域中的相對於非晶半導體區域的微晶半導體區域所占的比率小。並且，較佳在一對雜質半導體層 110 之間（源區和汲區之間），即在載流子流過的區域中，微晶半導體區域所占的比率小。這是因為可

以降低薄膜電晶體的截止電流的緣故。另外，因為在上述介面區域中縱方向（膜厚度方向）的電阻低，所以可以使薄膜電晶體的導通電流變大。

另外，當第一半導體層 106 變薄時導通電流降低，當第一半導體層 106 變厚時第一半導體層 106 和源極電極層及汲極電極層 112 的接觸面積增大，並且在源極電極層及汲極電極層 112 的功函數高的情況下，如後面所述那樣截止電流增高。

較佳上述微晶半導體區域的大部分由其頭端從閘極絕緣層 104 向第二半導體層 108 變窄的凸狀晶粒構成。或者，上述微晶半導體區域的大部分也可以由其寬度從閘極絕緣層 104 向第二半導體層 108 變大的凸狀晶粒構成。

在上述介面區域中，在微晶半導體區域是其頭端從閘極絕緣層 104 向第二半導體層 108 變窄的凸狀晶粒的情況下，在第一半導體層 106 一側與在第二半導體層 108 一側相比，微晶半導體區域所占的比率高。微晶半導體區域從第一半導體層 106 的表面向膜厚度方向成長，但是當在原料氣體中相對於矽烷的氫流量小（即，稀釋率低）時，或者當包含氮的原料氣體的濃度高時，抑制微晶半導體區域中的結晶成長而晶粒成爲錐形，並且藉由沉積來形成的半導體的大部分成爲非晶。

另外，上述介面區域較佳含有氮、特別佳含有 NH 基。這是因爲如下緣故：當在包括於微晶半導體區域中的結晶的介面中，即微晶半導體區域和非晶半導體區域的介面



中，氮、特別是 NH 基與矽原子的懸空鍵結合時，減少缺陷而使載流子容易流過。因此，藉由將氮，較佳是 NH 基設定為  $1 \times 10^{20} \text{cm}^{-3}$  至  $1 \times 10^{21} \text{cm}^{-3}$ ，容易使用氮、較佳是 NH 基對矽原子的懸空鍵進行交聯，而使載流子容易流過。其結果，產生促進晶粒介面或缺陷中的載流子移動的結合，而上述介面區域的載流子遷移率上升。由此，薄膜電晶體的場效應遷移率提高。

另外，藉由降低上述介面區域的氧濃度，可以減少微晶半導體區域和非晶半導體區域的介面中或晶粒之間的介面中的缺陷，而可以減少障礙載流子移動的結合。

藉由將從閘極絕緣層 104 的介面到第二半導體層 108 的凸部的頭端的距離設定為 3nm 以上且 80nm 以下，較佳設定為 5nm 以上且 30nm 以下，可以有效地減少薄膜電晶體的截止電流。

雜質半導體層 110 是以使半導體層和源極電極層及汲極電極層 112 實現歐姆接觸為目的而設置的層，並且可以藉由使形成氣體包含賦予一種導電型的雜質元素來形成雜質半導體層 110。在形成導電型是 n 型的薄膜電晶體的情況下，作為雜質元素代表地添加磷即可，而對氫化矽添加磷化氫（化學式： $\text{PH}_3$ ）等的包含賦予 n 型導電型的雜質元素的氣體即可。在形成導電型是 p 型的薄膜電晶體的情況下，作為雜質元素代表地添加硼即可，而對氫化矽添加乙硼烷（化學式： $\text{B}_2\text{H}_6$ ）等的包含賦予 p 型導電型的雜質元素的氣體即可。另外，對雜質半導體層 110 的結晶性沒

有特別的限制，其可以是結晶性半導體或非晶半導體，但是較佳是結晶性半導體。這是因為藉由使用結晶性半導體設置雜質半導體層 110，而導通電流增大的緣故。

雖然源極電極層及汲極電極層 112 既可以由導電材料的單層形成，又可以層疊多個層形成，但是如後面所說明需要使用至少接觸於第一半導體層 106 的部分的功函數低的材料。

保護層 114 可以與閘極絕緣層 104 同樣地形成，但是特別佳使用氮化矽形成。特別地，為了防止懸浮在大氣中的有機物、金屬、水蒸氣等的有可能成為污染源的雜質侵入，較佳採用緻密的氮化矽層。例如，可以藉由利用頻率是 1GHz 以上的電漿的電漿 CVD 法形成緻密的氮化矽層。

像素電極層 118 可以使用包含具有透光性的導電高分子（也稱為導電聚合物）的導電組成物。作為導電高分子，可以使用所謂的  $\pi$  電子共軛導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物或者上述兩種以上的共聚物等。

或者，也可以例如使用如下材料形成像素電極層 118：包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（以下記載為 ITO）、銦鋅氧化物或添加有氧化矽的銦錫氧化物等。

在此，為了進行比較，參照圖 2A 和 2B 說明利用閘極電極只對半導體層的一部分進行遮光的薄膜電晶體。

圖 2A 和 2B 所示的薄膜電晶體包括閘極電極層 202、半導體層（第一半導體層 206 及第二半導體層 208）、在閘極電極層 202 和半導體層之間且與它們接觸地設置的閘極絕緣層 204、接觸於半導體層地設置的雜質半導體層 210、其一部分接觸於雜質半導體層 210 及半導體層地設置的源極電極層及汲極電極層 212，其中閘極電極層只重疊於半導體層的一部分。另外，圖 2A 和 2B 所示的薄膜電晶體與圖 1A 和 1B 所示的薄膜電晶體同樣，由保護層 214 覆蓋，並且透過設置在保護層 214 中的開口部 216 連接到源極電極層及汲極電極層 212 地設置像素電極層 218。較佳地是，第二半導體層 208 接觸於第一半導體層 206 地設置，並且由其載流子遷移率低於第一半導體層 206 的載流子遷移率的材料設置。

如圖 2A 和 2B 所示那樣，當只薄膜電晶體的半導體層的一部分重疊於閘極電極層 202 時，半導體層的不重疊於閘極電極層 202 的一部分暴露於光（主要從基板 200 一側入射的光），而不能夠減少光漏電流。

圖 3A 和 3B 表示如下曲線（以下，記載為 I-V 曲線）：示出圖 4A 和 4B 所示的薄膜電晶體中的相對於閘極電壓的汲極電流的電流-電壓特性。圖 3A 表示圖 4A 所示的薄膜電晶體的 I-V 曲線，而圖 3B 表示圖 4B 所示的薄膜電晶體的 I-V 曲線。在圖 3A 和 3B 中，觀察不到截止電流的大差異，因此在圖 4A 所示的薄膜電晶體和圖 4B 所示的薄膜電晶體中，截止電流沒有大差異。在圖 1A 和 1B 所示的薄

膜電晶體和圖 4A 所示的薄膜電晶體中，不同之點是如下：較佳由結晶性半導體形成的第一半導體層是否與源極電極層及汲極電極層接觸地形成。可以認為其影響到截止電流的差異。

在此，參照圖 5A 和 5B，對圖 1A 和 1B 所示的薄膜電晶體和圖 2A 和 2B 所示的薄膜電晶體進行比較。

圖 5A 是示出放大圖 1A 和 1B 所示的薄膜電晶體的一部分的圖。圖 5B 是示出放大圖 2A 和 2B 所示的薄膜電晶體的一部分的圖。圖 5A 和 5B 中的箭頭示出截止電流的主要路徑。

注意，如上所述，當第一半導體層 106 變薄時導通電流下降，當第一半導體層 106 變厚時第一半導體層 106 和源極電極層及汲極電極層 112 的接觸面積增大，並在源極電極層及汲極電極層 112 的功函數高的情況下，截止電流上升。在本發明的一個實施例的薄膜電晶體中，對源極電極層及汲極電極層 112 使用功函數低的材料，所以可以將第一半導體層 106 的厚度設定為足以使薄膜電晶體獲得充分的導通電流的厚度。因此，可以使導通電流大於現有的薄膜電晶體的導通電流。

在圖 5A 中，存在有第一半導體層 106 的一部分和源極電極層及汲極電極層 112（汲極電極一側）的一部分接觸的部分 130。從該部分 130 注入電洞，而在第一半導體層 106 中電流流過。該電流大致分為向形成源區的雜質半導體層 110 流過部分 131 的電流和向第一半導體層 106 的

一部分和源極電極層及汲極電極層 112 的一部分接觸的部分 132 的電流，因此可以認為它們佔優勢。注意，可以認為在部分 131 中，從部分 130 注入的電洞和從源極注入的電子重新結合。

在圖 5B 中，在第二半導體層 208 的汲極附近的區域的部分 230 中產生載流子，由於該載流子導致的截止電流佔優勢。在部分 230 中，與產生電洞和電子而形成耗盡層的同時，電子向汲極流過且電洞向第一半導體層 206 流過，而電流流過。可以認為電洞流過第一半導體層 206 中，而在部分 231 中與來自源極的電子重新結合。

在此，對第一半導體層 106 的一部分和源極電極層及汲極電極層 112 的一部分接觸的部分 130 中的能帶結構進行觀察。圖 6 示出部分 130 中的能帶結構的示意圖。

在圖 6 中， $\phi$  是形成源極電極層及汲極電極層 112 的材料之功函數。 $\chi$  是第一半導體層 106 的電子親和勢（真空能級和第一半導體層 106 的遷移率端的底部之間的差異）。 $E_g$  是第一半導體層 106 的禁帶寬度。以第一半導體層 106 和源極電極層及汲極電極層 112 的邊界的勢壘的大小為  $E$ ，它們之間有如下公式（1）的關係。

式（1）

$$E = \chi + E_g - \phi$$

邊界的勢壘的大小  $E$  越小，電洞越容易注入到第一半導體層 106，而電流越容易流過。因此，在第一半導體層 106 的禁帶寬度  $E_g$  大，第一半導體層 106 的電子親和勢  $\chi$

大，並且形成源極電極層及汲極電極層 112 的材料的功函數  $\phi$  低的情況下，邊界的勢壘的大小  $E$  變大，而不容易發生透過第一半導體層 106 的一部分和源極電極層及汲極電極層 112 的一部分接觸的部分 130 的導通。

因此，爲了使透過第一半導體層 106 的一部分和源極電極層及汲極電極層 112 的一部分接觸的部分 130 流過的電流小，使用功函數  $\phi$  低的材料形成源極電極層及汲極電極層 112 即可。在此，爲了確認其，在圖 5A 的結構中在如下條件下進行計算，即：將形成源極電極層及汲極電極層 112 的材料的功函數  $\phi$  設定爲 3.9 eV、4.2 eV、4.5 eV。當然，其他參數爲一定。圖 7A 和 7B 及圖 8 示出該結果。注意，在此將通道長度（由一對雜質半導體層 110 形成的源區和汲區之間的距離） $L$  設定爲  $4\mu\text{m}$ ，並將通道寬度（雜質半導體層 110 的寬度） $W$  設定爲  $20\mu\text{m}$ ，並且將汲極電壓  $V_d$  設定爲 1V、10V。

圖 7A 示出  $\phi=3.9\text{eV}$  時的 I-V 曲線。圖 7B 示出  $\phi=4.2\text{eV}$  時的 I-V 曲線。圖 8 示出  $\phi=4.5\text{eV}$  時的 I-V 曲線。由圖 7A 和 7B 及圖 8 可知，有功函數  $\phi$  越高，截止電流越大的趨勢。

圖 9A 和 9B 是示出  $E_g=1.1\text{eV}$  至  $1.3\text{eV}$  時的相對於勢壘（也稱爲肖特基勢壘） $E$ （橫軸）的截止電流  $I_{off}$ （縱軸）的圖。在此，汲極電壓  $V_d=10\text{V}$ ，閘極電壓  $V_g=V_{th}-10\text{V}$ 。圖 9A 是在  $27^\circ\text{C}$  下的圖，圖 9B 是在  $85^\circ\text{C}$  下的圖。根據圖 9A 和 9B 可知，無論溫度如何，只要勢壘  $E$  爲  $0.5\text{eV}$  以

上，就足以減少截止電流。注意，在此將通道長度（由一對雜質半導體層 110 形成的源區和汲區之間的距離） $L$  設定為  $4\mu\text{m}$ ，並將通道寬度（雜質半導體層 110 的寬度） $W$  設定為  $20\mu\text{m}$ 。注意，在圖 9A 和 9B 中所使用的  $E_g=1.1\text{eV}$  至  $1.3\text{eV}$  和微晶半導體的能隙大致相同。

在此，在表 1 中示出多種材料的功函數。但是，不局限於這些。

表 1

| 元素 | 功函數 (eV) | 元素  | 功函數 (eV) |
|----|----------|-----|----------|
| 鋁  | 4.25     | 鈮   | 3.3      |
| 矽  | 4.8      | 鉬   | 4.3      |
| 鈦  | 3.45     | 鉭   | 4.12     |
| 鉻  | 4.58     | 鎢   | 4.54     |
| 鎳  | 4.5      | 鈹   | 4.4      |
| 銅  | 4.4      | 氮化鈦 | 2.92     |

作為用於源極電極層及汲極電極層 112 的至少一部分的材料，在上述表 1 所示的材料中較佳為鈮、鈦或鈦的氮化物的氮化鈦。或者可以使用它們的混合物。特別佳的是使鈦包含稀土元素的材料。最佳的是使鈦以 0.2 重量%以上且 20 重量%包含鈮及鉍的一方或雙方的材料。這是因為鈮的功函數極低的緣故。此外，這是因為鉍的功函數低且其物理性特性和化學性特性類似於鈦的緣故。藉由將鈮及鉍的一方或雙方混合到鈦，與只使用鈮及鉍的一方或雙方的情況相比，可以將成本抑制為低。

另外，藉由使用這種功函數低的材料，還可以使薄膜電晶體的導通電流變大。注意，這不局限於圖 1A 和 1B 所示的薄膜電晶體，也可以在圖 2A 和 2B 及圖 4A 和 4B 所示的薄膜電晶體中，藉由使用功函數低的材料，可以使薄膜電晶體的導通電流變大。

在此，圖 10A 至圖 11B 示出使用鈦或鉬形成其源極電極層及汲極電極層的薄膜電晶體的 I-V 曲線。就是說，圖 10A 示出圖 2A 和 2B 所示的薄膜電晶體的 I-V 曲線，其中使用鉬形成源極電極層及汲極電極層 212。圖 10B 示出圖 1A 和 1B 所示的薄膜電晶體的 I-V 曲線，其中使用鉬形成源極電極層及汲極電極層 112。圖 11A 示出圖 2A 和 2B 所示的薄膜電晶體的 I-V 曲線，其中使用鈦形成源極電極層及汲極電極層 212。圖 11B 示出圖 1A 和 1B 所示的薄膜電晶體的 I-V 曲線，其中使用鈦形成源極電極層及汲極電極層 112。

根據圖 10A 和 10B 的比較，可知如下：在使用鉬形成源極電極層及汲極電極層的情況下，圖 1A 和 1B 所示的薄膜電晶體的截止電流大於圖 2A 和 2B 所示的薄膜電晶體的截止電流。

根據圖 11A 和 11B 的比較，在使用鈦形成源極電極層及汲極電極層的情況下，在圖 1A 和 1B 所示的薄膜電晶體的截止電流和圖 2A 和 2B 所示的薄膜電晶體的截止電流之間看不到大差異。因此，即使是能夠遮光半導體層的圖 1A 和 1B 所示的薄膜電晶體，也可以將截止電流抑制為低



。就是說，可以獲得光漏電流小且截止電流小的薄膜電晶體。

如上所說明，藉由使用功函數低的金屬材料形成源極電極層及汲極電極層 112（具體而言，接觸於第一半導體層 106 的源極電極層及汲極電極層 112 的部分），可以防止在半導體層的整個面重疊於閘極電極層的情況下發生的洩露電流，該洩露電流是透過第一半導體層 106 的一部分和源極電極層及汲極電極層 112 的一部分接觸的部分 130 而發生的。而且，因為藉由半導體層的整個面重疊於閘極電極層 102，可以減少光漏電流，因此可以獲得光漏電流小且截止電流小的薄膜電晶體。

接著，說明上述所說明的第一半導體層 106 及第二半導體層 108 的較佳的方式的製造方法。

藉由在電漿 CVD 裝置的反應室內混合包含矽的沉積氣體（矽烷（化學式： $\text{SiH}_4$ ）等）和氫，且使用輝光放電電漿，來形成成爲第一半導體層 106 的半導體膜。或者，藉由混合包含矽的沉積氣體、氫、稀有氣體如氦、氖、氬等，且使用輝光放電電漿，來形成成爲第一半導體層 106 的半導體膜。以相對於包含矽的沉積氣體的流量的氫流量爲 10 倍至 2000 倍，較佳爲 10 倍至 200 倍的方式稀釋，來形成成爲第一半導體層 106 的半導體膜。成爲第一半導體層 106 的半導體膜以 1nm 以上且 20nm 以下，較佳以 3nm 以上且 10nm 以下的厚度形成。

或者，也可以使用如鍺烷（化學式： $\text{GeH}_4$ ）或二鍺烷

(化學式： $\text{Ge}_2\text{H}_6$ ) 等的沉積氣體，來由鍺形成成爲第一半導體層 106 的半導體膜。

另外，藉由在形成成爲第一半導體層 106 的半導體膜之前，對電漿 CVD 裝置的反應室內進行排氣且導入包含矽或鍺的沉積氣體，而去除反應室內的雜質元素，可以減少形成的膜的介面中的雜質元素，而可以提高薄膜電晶體的電特性。

藉由在電漿 CVD 裝置的反應室內混合包含矽的沉積氣體和氫，且利用輝光放電電漿，來形成成爲第二半導體層 108 的半導體膜。此時，藉由與成爲第一半導體層 106 的半導體膜的形成條件相比，減少相對於包含矽的沉積氣體的氫流量（即，降低稀釋率）來形成膜，而抑制結晶成長，並且隨著膜的沉積，形成不包括微晶半導體區域的成爲第二半導體層 108 的半導體膜。

另外，在成爲第二半導體層 108 的半導體膜的成膜初期中，藉由與成爲第一半導體層 106 的半導體膜的形成條件相比，減少相對於包含矽的沉積氣體的氫流量（即，降低稀釋率），可以使成爲第二半導體層 108 的半導體膜殘留有微晶半導體區域。另外，藉由與上述條件相比進一步減少相對於包含矽的沉積氣體的氫流量（即，逐漸降低稀釋率），可以將成爲第二半導體層 108 的半導體膜形成爲成爲“包括非晶半導體的層”的半導體膜。或者，藉由與上述條件相比進一步減少相對於包含矽的沉積氣體的氫流量（即，進一步降低稀釋率），且混合包含氮的氣體，可

以將第二半導體層 108 的非晶半導體區域形成得大。另外，成爲第二半導體層 108 的半導體膜也可以使用鍺形成。

另外，在成爲第二半導體層 108 的半導體膜的成膜初期中，以成爲第一半導體層 106 的半導體膜爲晶種，來在整個面上沉積膜。然後，部分地抑制結晶成長，而錐形的微晶半導體區域成長（成膜中期）。進而，抑制錐形的微晶半導體區域的結晶成長，而形成不包括微晶半導體區域的成爲第二半導體層 108 的半導體膜作爲上層（成膜後期）。

另外，第一半導體層 106 不局限於結晶性半導體層。例如，採用其載流子遷移率高於第二半導體層 108 的載流子遷移率的半導體層即可。

另外，有閘極電極層 102 和源極電極層及汲極電極層 112 的重疊部分的寬度越大，截止電流越增加的趨勢。

接著，參照附圖說明圖 1A 和 1B 所示的薄膜電晶體的製造方法。

首先，在基板 100 上形成閘極電極層 102。作爲基板 100，可以使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋁矽酸鹽玻璃等藉由熔化法、浮法（float method）製造的無鹼玻璃基板、陶瓷基板、具有可承受本製造製程的處理溫度以上的耐熱性的塑膠基板等。此外，還可以使用在不銹鋼合金等金屬基板的表面上設置有絕緣層的基板。換言之，作爲基板 100，使用具有絕緣表面的基板。在基板 100 是母體玻璃的情況下，可以採用第一代（例如，320mm×

400mm) 至第十代 (例如, 2950mm×3400mm) 中的任何基板。

藉由使用鉬、鈦、鉻、鉍、鎢、鋁、銅、鈳或鈳等的金屬材料或以這些為主要成分的合金材料, 可以形成閘極電極層 102。既可以以這些材料的單層形成閘極電極層 102, 又可以層疊多個層形成閘極電極層 102。例如, 較佳採用在鋁層上層疊有鉬層或鈦層的兩層的疊層結構。藉由在低電阻材料的層上層疊用作阻擋層的金屬層, 可以降低電阻, 並且可以防止金屬元素從金屬層擴散到半導體層。例如, 當在 Al-Nd 合金層上層疊形成鉬層時, 可以形成具有優異的耐熱性且電阻低的導電層。或者, 也可以採用三層以上的疊層結構。

藉由利用濺射法或真空蒸鍍法在基板 100 上形成導電膜, 利用光微影法或噴墨法等該導電膜上形成抗蝕劑掩模, 並且使用該抗蝕劑掩模對導電膜進行蝕刻, 來可以形成閘極電極層 102 (參照圖 12A)。另外, 也可以藉由利用噴墨法將銀、金或銅等的導電奈米膏噴射在基板上且進行焙燒, 來形成閘極電極層 102。另外, 作為提高閘極電極層 102 和基板 100 的緊密性且/或防止構成閘極電極層 102 的材料的擴散的阻擋層金屬, 也可以將上述金屬材料的氮化物層設置在基板 100 和閘極電極層 102 之間。在此, 藉由在基板 100 上形成導電膜, 且利用使用光掩模形成的抗蝕劑掩模對其進行蝕刻, 來形成閘極電極層 102。

另外, 因為在後面的製程中在閘極電極層 102 上形成

半導體層以及源極佈線（信號線），所以較佳將其側面加工為錐形形狀，以防止在臺階部分中發生的佈線破裂。此外，可以藉由該製程同時形成閘極佈線（掃描線）。再者，也可以形成像素部所具有的電容線。注意，掃描線是指選擇像素的佈線。

接著，覆蓋閘極電極層 102 地形成閘極絕緣層 104，並且在閘極絕緣層 104 上依次層疊形成成為第一半導體層 106 的第一半導體膜 150、成為第二半導體層 108 的第二半導體膜 152 及成為雜質半導體層 110 的雜質半導體膜 154。注意，較佳的至少連續形成閘極絕緣層 104、第一半導體膜 150 及第二半導體膜 152。更佳的連續形成直到形成雜質半導體膜 154 為止。藉由至少不使接觸於大氣地連續形成閘極絕緣層 104、第一半導體膜 150 及第二半導體膜 152，可以不受到因大氣成分或懸浮在大氣中的雜質元素導致的對這些層的污染而形成疊層膜的各層的介面。因此，可以降低薄膜電晶體的電特性的不均勻性，而可以以高成品率製造可靠性高的薄膜電晶體。

藉由利用 CVD 法或濺射法等且使用氧化矽、氮化矽、氧氮化矽或氮氧化矽，可以形成閘極絕緣層 104。較佳的使用氧化矽形成閘極絕緣層 104。特別地，當利用作為形成氣體使用正矽酸乙酯（TEOS：化學式  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）而形成的氧化矽層形成閘極絕緣層 104 時，在接觸於閘極絕緣層 104 地形成的半導體層具有結晶性的情況下，可以提高其結晶性。另外，閘極絕緣層 104 可以以單層形成或

層疊它們形成。例如，以 50nm 以上，較佳以 50nm 以上且 400nm 以下，更佳以 150nm 以上且 300nm 以下的厚度形成閘極絕緣層 104。當使用氮氧化矽層時，可以防止包含在基板 100 中的鹼金屬等侵入到第一半導體層 106。另外，藉由使用氧氮化矽層，可以防止在作為閘極電極層 102 使用鋁的情況下產生的小丘的發生，進而可以防止閘極電極層 102 的氧化。另外，當形成閘極絕緣層 104 時，較佳使用其頻率是 1GHz 以上的電漿 CVD 裝置。

另外，也可以在形成閘極絕緣層 104 之後且在形成第一半導體膜 150 之前，在閘極絕緣層 104 上形成用於提高緊密性或防止氧化的層。作為上述的以防止氧化等為目的而設置的層，例如可以舉出利用氮化矽層夾住氧氮化矽層的疊層結構的層。

第一半導體層 106 用作薄膜電晶體的通道形成區域。在此，第一半導體層 106 是結晶性半導體層。換言之，在此，第一半導體膜 150 是結晶性半導體膜。結晶性半導體膜可以藉由使用電漿 CVD 法等且利用微晶矽來形成。

另外，本實施例模式的結晶性半導體層的載流子遷移率是非晶半導體層的載流子遷移率的大約 2 倍以上且 20 倍以下。因此，在由結晶性半導體層形成的薄膜電晶體中，與使用非晶半導體層形成的薄膜電晶體相比，其 I-V 曲線的上升部分的傾斜陡峭。在此，閘極電壓是指以源極電極的電位為標準的與閘極電極的電位之間的電位差，並且汲極電流是指流在源極電極和汲極電極之間的電流。從而

，將結晶性半導體層用於通道形成區域的薄膜電晶體有優異的作為開關元件的回應性，並且其能夠進行高速工作。藉由作為顯示裝置的開關元件使用將結晶性半導體層用於通道形成區域的薄膜電晶體，還可以縮小通道形成區域的面積，即薄膜電晶體的面積。另外，也可以將驅動電路的一部分或全部一體地形成在與像素部相同基板上來形成系統型面板（system on panel）。

另外，通常，即使不添加以價電子控制為目的的雜質元素，結晶性半導體層也顯示弱 n 型導電型。因此，也可以在形成用作薄膜電晶體的通道形成區域的結晶性半導體層的同時或者在形成它之後，添加賦予 p 型的雜質元素（例如，硼），以控制臨界值電壓  $V_{th}$ 。作為賦予 p 型的雜質元素，典型地可以舉出硼，並且較佳藉由使乙硼烷（化學式： $B_2H_6$ ）或三氟化硼（化學式： $BF_3$ ）等的雜質氣體以 1ppm 至 1000ppm，較佳以 1ppm 至 100ppm 的比率包含在氫化矽中，而形成該結晶性半導體層。並且，較佳將結晶性半導體層中的硼濃度例如設定為  $1 \times 10^{14} \text{ atoms/cm}^3$  至  $6 \times 10^{16} \text{ atoms/cm}^3$ 。

較佳以 2nm 以上且 60nm 以下，更佳以 10nm 以上且 30nm 以下的厚度形成結晶性半導體層。另外，例如，根據結晶性半導體膜的成膜製程中的矽烷流量和成膜時間，可以控制結晶性半導體層的厚度。具體而言，藉由減少以氧或氮為代表的阻礙晶化的成分，且增多相對於矽烷等的沉積氣體流量的氫等的稀釋氣體流量，可以形成結晶性半

導體層。此時，將稀釋氣體流量設定為沉積氣體流量的 10 倍以上且 2000 倍以下，較佳設定為 50 倍以上且 200 倍以下，即可。藉由以上述條件形成，形成所謂微晶半導體層。

第二半導體層 108 用作減少截止電流的緩衝層。在此，說明作為第二半導體層 108 採用“包括非晶半導體的層”的情況。換言之，說明由如下半導體形成第二半導體層 108 的情況：其缺陷比現有的非晶半導體少，其價電子帶的帶端（遷移率端）中的能級的尾部（下端）的傾斜陡峭且有高秩序性。這種半導體膜以如下方法形成：藉由在上述結晶性半導體膜的 formed 氣體中，例如與第一半導體膜 150 的成膜條件相比，降低相對於沉積氣體的氫流量比（即，降低稀釋率），並且使用電漿 CVD 法，而抑制結晶成長。另外，當在結晶性半導體膜的 formed 氣體中包含氮時，可以容易形成這種半導體膜。另外，較佳在第二半導體膜 152 中包含  $1 \times 10^{20} \text{ cm}^{-3}$  至  $1 \times 10^{21} \text{ cm}^{-3}$  的氮。此時，氮較佳以 NH 基的狀態存在。這是因為如下緣故：利用氮或 NH 基容易對半導體原子的懸空鍵進行交聯，而容易使載流子流過。其結果，產生促進在晶粒介面或缺陷中的載流子移動的結合，第二半導體層 108 的載流子遷移率提高，而薄膜電晶體可以得到充分高的場效應遷移率和導通電流。另外，氮不僅可以以 NH 基的狀態存在，而且可以以  $\text{NH}_2$  基的狀態存在。此時，將稀釋氣體流量設定為沉積氣體流量的 10 倍以上且 2000 倍以下，較佳設定為 50 倍以



上且 200 倍以下即可，並且較佳使稀釋氣體的流量比小於形成第一半導體層 106 時的稀釋氣體流量比。

另外，較佳第二半導體膜 152 的氧濃度低。藉由降低第二半導體膜 152 的氧濃度，可以減少微晶半導體區域和非晶半導體區域的介面、微晶半導體區域間的介面中的阻礙載流子移動的結合。

可以藉由形成雜質半導體膜 154，並且對雜質半導體膜 154 進行蝕刻，而形成雜質半導體層 110。在形成導電型是 n 型的薄膜電晶體作為雜質半導體層 110 的情況下，作為雜質元素典型地添加磷即可，而例如可以藉由對氫化矽添加包含磷化氫（化學式： $\text{PH}_3$ ）的氣體來形成。另外，在形成導電型是 p 型的薄膜電晶體的情況下，作為雜質元素典型地添加硼即可，例如可以藉由對氫化矽添加包含乙硼烷（化學式： $\text{B}_2\text{H}_6$ ）的氣體來形成。雜質半導體膜 154 既可以由結晶性半導體形成，又可以由非晶半導體形成，但是較佳由結晶性半導體形成雜質半導體膜 154。將成為雜質半導體層 110 的雜質半導體膜 154 的厚度設定為能夠使第二半導體層 108 和源極電極層及汲極電極層 112 實現歐姆接觸的厚度即可，而較佳以大約 2nm 以上且 60nm 以下的厚度形成雜質半導體膜 154。藉由將雜質半導體膜 154 設定得盡可能地薄，可以提高處理能力。另外，在由結晶性半導體形成雜質半導體層 110 的情況下，藉由減少以氧或氮為代表的阻礙晶化的成分，並且增大相對於矽烷等沉積氣體流量的氫等稀釋氣體流量而形成。此時，

在由非晶半導體形成雜質半導體層 110 的情況下，將稀釋氣體的流量設定為沉積氣體流量的 1 倍以上且 10 倍以下，較佳設定為 1 倍以上且 5 倍以下即可，而在由結晶性半導體形成雜質半導體層 110 的情況下，將稀釋氣體的流量設定為沉積氣體流量的 10 倍以上且 2000 倍以下，較佳設定為 50 倍以上且 200 倍以下即可。藉由如上所述形成，形成所謂微晶半導體層。

另外，如上所述，較佳連續形成閘極絕緣層 104 至雜質半導體膜 154（參照圖 12B）。藉由使用具備多個反應室的多室型 CVD 裝置，可以根據沉積的膜的種類配備反應室，而可以不使接觸於大氣地連續形成多個不同種類的膜。

圖 13 是表示具備多個反應室的多室電漿 CVD 裝置的一例的上截面的示意圖。該裝置具備公共室 272、裝載/卸載室 270、第一反應室 250a、第二反應室 250b、第三反應室 250c 及第四反應室 250d。當在裝載/卸載室 270 的卡匣中嵌裝基板 100 時，公共室 272 的傳送機構 276 將基板搬出或搬入到各反應室。在公共室 272 和各反應室以及裝載/卸載室之間配備有閘閥 274，以避免在各反應室中進行的處理彼此干擾。各反應室根據所形成的薄膜的種類區分。例如，在第一反應室 250a 中形成絕緣膜，在第二反應室 250b 及第四反應室 250d 中形成半導體膜，並且在第三反應室 250c 中形成添加有賦予一種導電型的雜質元素的半導體膜。因為各薄膜的最好的成膜溫度不同，所以藉由分

別使用不同反應室，容易管理成膜溫度，而可以以最好的溫度形成各薄膜。而且，由於可以重複形成相同種類的膜，因此可以去除關於成膜履歷的殘留雜質所導致的不良影響。另外，既可以採用在一個反應室中形成一個膜的結構，又可以採用在一個反應室中形成如結晶性半導體膜和非晶半導體膜那樣其組成彼此相似的多個膜的結構。

各反應室連接有作為排氣單元的渦輪分子泵 264 和乾燥泵 266。排氣單元不局限於這些真空泵的組合，只要能夠排氣到大約  $10^{-5}\text{Pa}$  至  $10^{-1}\text{Pa}$  的真空度，就可以使用其他真空泵。但是，第二反應室 250b 較佳連接有低溫泵 268，以便使反應室內的壓力到達大約  $10^{-5}\text{Pa}$  以下。在這些排氣單元和各反應室之間設置有蝶閥 260 和導氣閥 262 中的一方或雙方。藉由使用蝶閥 260，可以遮斷排氣單元和反應室。並且，藉由使用導氣閥 262，可以控制排氣速度，而調節各反應室的壓力。

此外，藉由使用連接到第二反應室 250b 的低溫泵 268，可以將反應室內的壓力設定為低於  $10^{-5}\text{Pa}$  的壓力（例如超高真空）。在本實施例模式中，藉由將反應室 250b 內的壓力設定得低於  $10^{-5}\text{Pa}$ ，可以防止在半導體膜中混入氧等的大氣成分。其結果，可以將包含在半導體膜中的氧濃度設定為  $1 \times 10^{16}\text{cm}^{-3}$  以下。

氣體供給單元 258 由填充有原料氣體的汽缸、停止閥及質量流量控制器等構成。氣體供給單元 258a 連接到第一反應室 250a 且供給用於形成絕緣膜的氣體。氣體供給

單元 258b 連接到第二反應室 250b 且供給用於形成半導體膜的氣體。氣體供給單元 258c 連接到第三反應室 250c 且供給例如添加有賦予 n 型導電型的雜質元素的半導體材料氣體。氣體供給單元 258d 連接到第四反應室 250d，且供給用於形成半導體膜的氣體。氣體供給單元 258e 供給氫。氣體供給單元 258f 供給用於反應室內的清洗的蝕刻氣體（在此， $\text{NF}_3$  氣體）。因為在所有反應室中使用氫氣體和用於清洗的蝕刻氣體，所以較佳的氣體供給單元 258e 和氣體供給單元 258f 連接到所有反應室。

另外，各反應室連接有用於產生電漿的高頻電力供給單元。在此，高頻電力供給單元包括高頻電源 252 和匹配器 254。但是不局限於此，而高頻電力供給單元也可以連接有微波產生部。作為產生的電漿，例如可以舉出 RF（13.56MHz）電漿、VHF 電漿（30MHz 至 300MHz）、微波（2.45GHz）電漿。另外，藉由同時產生 RF 電漿和 VHF 電漿（雙頻激勵），可以提高沉積率。

另外，在此使用的電漿較佳是脈衝調制電漿。藉由使用脈衝調制電漿，成膜時的沉積率提高，且抑制成膜時產生的灰塵，而可以提高所形成的半導體膜的品質及厚度的均勻性。另外，可以抑制產生電漿時的紫外線的產生量，而可以減少形成的半導體膜中的缺陷數。

另外，也可以在相同反應室內連續形成結晶性半導體膜、非晶半導體膜及添加有賦予一種導電型的雜質元素的雜質半導體膜。具體而言，將形成有閘極絕緣膜的基板搬

入到反應室內，並且在該反應室中連續形成結晶性半導體膜、非晶半導體膜及添加有賦予一種導電型的雜質元素的半導體膜（雜質半導體膜）。藉由在相同反應室內連續形成結晶性半導體膜及非晶半導體膜，可以形成結晶畸變少的介面。因此，可以防止介面的缺陷能級的形成。另外，可以減少有可能混入到介面的大氣成分。

另外，雖然不進行圖示，但是也可以將預備室連接到圖 13 所示的多室電漿 CVD 裝置。藉由在進行成膜之前在預備室中加熱基板，可以縮短各反應室中的直到成膜為止的加熱時間，而可以提高處理能力。

此外，藉由如上所述連續形成膜，可以不使有可能成為污染源的雜質元素污染介面且層疊形成多個膜。因此，可以降低薄膜電晶體的電特性的不均勻性。

藉由使用上述電漿 CVD 裝置，可以在各反應室中形成一種膜或其組成相似的多種膜，且可以不暴露於大氣地連續形成膜。因此，可以以不使已形成的膜的殘留物及懸浮在大氣中的雜質元素污染介面的方式層疊形成多個膜。

較佳的使用氟自由基對電漿 CVD 裝置的反應室內進行清洗。另外，較佳的在形成膜之前在反應室內形成保護膜。

另外，可以使用的裝置不局限於上述圖 13 所示的裝置。例如，也可以使用設置有兩個反應室的 CVD 裝置。此時，在一方的反應室（第一反應室）中，作為形成氣體使用正矽酸乙酯（TEOS：化學式  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）而形成氧

化矽膜，並且在另一方的反應室（第二反應室）中，形成氮化矽膜、矽膜及包含一種導電型的雜質元素的矽膜，即可。或者，也可以使用只具有一個反應室的裝置。

接著，在成爲雜質半導體層 110 的雜質半導體膜 154 上形成抗蝕劑掩模 156（參照圖 12C）。藉由光微影法，可以形成抗蝕劑掩模 156。或者，也可以使用噴墨法等形成抗蝕劑掩模 156。或者，既可以以成本降低爲目的藉由印刷法形成抗蝕劑掩模 156，又可以在藉由印刷法形成抗蝕劑掩模 156 之後進行雷射加工。

接著，使用抗蝕劑掩模 156 對第一半導體膜 150、第二半導體膜 152 及雜質半導體膜 154 進行蝕刻。藉由該處理，根據每個元件分離這些膜，而形成半導體層 106、第二半導體層 158 及雜質半導體層 160（參照圖 14A）。然後，去除抗蝕劑掩模 156。

另外，在該蝕刻處理中，較佳的以將層疊有第一半導體層 106、第二半導體層 158 及雜質半導體層 160 的疊層體 162 的側面形成爲錐形的方式進行蝕刻。將錐形角設定爲  $30^\circ$  以上且  $90^\circ$  以下，較佳爲  $40^\circ$  且  $80^\circ$  以下。藉由將疊層體 162 的側面形成爲錐形，可以提高在後面的製程中形成在這些層上的膜（例如，導電膜 164）的覆蓋性，而可以防止佈線破裂等。

接著，在疊層體 162 上形成導電膜 164（參照圖 14B）。在此形成的導電膜 164 成爲源極電極層及汲極電極層 112，所以至少接觸於第一半導體層 106 的部分配置有功

函數低的金屬材料。就是說，在導電膜 164 為單層的情況下，使用功函數低的金屬材料形成導電膜 164，在導電膜 164 由多個層的疊層構成的情況下，至少導電膜 164 的最下層由功函數低的金屬材料形成。

使用濺射法或真空蒸鍍法等形成導電膜 164 即可。另外，也可以藉由使用銀、金或銅等的導電奈米膏且使用絲網印刷法或噴墨法等將其噴射且焙燒，而形成導電膜 164。

接著，在導電膜 164 上形成抗蝕劑掩模 166（參照圖 14C）。可以與抗蝕劑掩模 156 同樣藉由光微影法或噴墨法形成抗蝕劑掩模 166。或者，既可以以成本降低為目的藉由印刷法形成抗蝕劑掩模 166，又可以在藉由印刷法形成抗蝕劑掩模 166 之後進行雷射加工。另外，也可以藉由氧電漿進行灰化，以便調整抗蝕劑掩模的尺寸。

接著，使用抗蝕劑掩模 166 對導電膜 164 進行蝕刻，且對導電膜 164 進行圖案形成，而形成源極電極層及汲極電極層 112。在此，作為蝕刻，例如可以採用濕蝕刻而進行。藉由濕蝕刻，對從抗蝕劑掩模 166 露出的部分的導電膜 164 進行各向同性蝕刻。其結果，導電層在於比抗蝕劑掩模 166 更內側，而形成源極電極層及汲極電極層 112。該源極電極層及汲極電極層 112 不僅構成薄膜電晶體的源極電極及汲極電極，而且構成信號線。但是，不局限於此，而也可以使用乾蝕刻。

接著，在形成有抗蝕劑掩模 166 的狀態下，對第二半

導體層 158 及雜質半導體層 160 進行蝕刻，而形成背通道部。由此，第二半導體層 158 受到蝕刻而其一部分殘留，以形成第二半導體層 108 及雜質半導體層 110。

在此，較佳作為蝕刻採用乾蝕刻，特別地，較佳使用包含氧的氣體進行乾蝕刻。這是因為如下緣故：藉由使用包含氧的氣體，可以使抗蝕劑縮小且對雜質半導體層 110 和第二半導體層 108 進行蝕刻，而可以將雜質半導體層 110 的側面和非晶半導體層的第二半導體層 108 的側面形成為錐形。作為蝕刻氣體，例如使用使四氟甲烷（化學式： $\text{CF}_4$ ）包含氧的蝕刻氣體或使氫包含氧的蝕刻氣體。藉由將雜質半導體層 110 的側面和非晶半導體層的第二半導體層 108 的側面形成為錐形，可以防止電場的集中，而可以減少截止電流。

第二半導體層 108 的一部分受到蝕刻而在第二半導體層 108 中設置有凹部，並且較佳採用使重疊於凹部的第二半導體層 108 的至少一部分殘留的厚度。在形成源區及汲區的製程中重疊於雜質半導體層 110 的部分的第二半導體層 108 不受到蝕刻，並且該部分的厚度是大約 80nm 以上且 500nm 以下，較佳是 150nm 以上且 400nm 以下，更佳是 200nm 以上且 300nm 以下。如上所述，藉由將第二半導體層 108 的厚度設定得充分厚，可以防止雜質元素混入到第一半導體層 106 等。如此，第二半導體層 108 也用作第一半導體層 106 的保護層。

接著，去除抗蝕劑掩模 166。



另外，在很多情況下，在到此為止的製程中產生的存在於背通道部的殘渣及用於去除抗蝕劑掩模 166 的蝕刻劑的成分等對電特性造成不良影響。因此，藉由以去除這些為目的而在去除抗蝕劑掩模 166 之後進一步使用蝕刻、電漿處理及清洗中的任一個或多個製程，可以製造電特性優異（例如，截止電流小）的薄膜電晶體。

或者，也可以在形成源極電極層及汲極電極層 112 之後，去除抗蝕劑掩模 166，將源極電極層及汲極電極層 112 用作掩模進行蝕刻，來形成第二半導體層 108 和雜質半導體層 110。

藉由上述製程，可以形成圖 1A 和 1B 所示的底閘型薄膜電晶體（參照圖 15A）。另外，圖 2A 和 2B 所示的底閘型薄膜電晶體的製造製程也與上述製造製程相同。

接著，覆蓋如上所述那樣製造的薄膜電晶體地形成保護層 114（參照圖 15B）。保護層 114 可以與閘極絕緣層 104 同樣地形成。特別佳使用氮化矽形成保護層 114。特別地，較佳使用緻密的氮化矽層，以便能夠防止懸浮在大氣中的有機物、金屬、水蒸氣等的有可能成為污染源的雜質元素的侵入。

另外，因為可以將圖 1A 和 1B 所示的薄膜電晶體用作像素電晶體，所以源極電極和汲極電極中的一方連接到像素電極。在圖 1A 和 1B 所示的薄膜電晶體中，源極電極和汲極電極中的一方透過設置在保護層 114 中的開口部 116 連接到像素電極層 118。

藉由使用濺射法等且利用包括具有透光性的導電高分子（也稱為導電聚合物）的導電組成物，可以形成像素電極層 118。在此，藉由濺射法形成 ITO 即可。

與源極電極層及汲極電極層 112 等同樣，在整個面上形成像素電極層 118 之後使用抗蝕劑掩模等進行蝕刻，而對其進行圖案形成，即可（參照圖 15C）。

另外，雖然未圖示，但是也可以以像素電極層 118 的被形成面的平坦化為目的而利用旋塗法等來在保護層 114 和像素電極層 118 之間形成有機樹脂層。

另外，雖然在上述說明中說明在相同製程中形成閘極電極和掃描線，並且在相同製程中形成源極電極及汲極電極和信號線的情況，但是不局限於此，而也可以在不同製程中形成電極和連接到該電極的佈線。

注意，雖然在本實施例模式中，說明半導體層具有疊層結構的情況，但是不局限於此，半導體層也可以採用單層的結晶性半導體層。

如上所說明，可以得到光漏電流小且截止電流小的薄膜電晶體。而且，也可以獲得光漏電流小且開關比大的薄膜電晶體。

## 實施例模式 2

在本實施例模式中，參照附圖說明安裝有本發明的一個實施例的在實施例模式 1 中所說明的薄膜電晶體的顯示裝置或發光裝置。

在本實施例模式的顯示裝置或發光裝置中，連接到像素部的信號線驅動電路及掃描線驅動電路既可以設置在不同的基板（例如，半導體基板或者 SOI 基板等）上且連接，又可以在與像素電路相同的基板上形成。

另外，對於另行形成的情況下的連接方法沒有特別的限制，可以使用已知的 COG 法、引線鍵合法或 TAB 法等。此外，只要可以實現電連接，就對於連接位置沒有特別的限制。另外，也可以另行形成控制器、CPU 及記憶體等而將其連接到像素電路。

圖 16 示出本實施例模式的顯示裝置的方塊圖的一例。圖 16 所示的顯示裝置包括：具有多個具備顯示元件的像素的像素部 400、選擇像素部 400 所具有的各像素的掃描線驅動電路 402、控制對被選擇的像素的視頻信號的輸入的信號線驅動電路 403。

注意，本實施例模式的顯示裝置不局限於圖 16 所示的方式。換言之，信號線驅動電路不局限於只具有移位暫存器和類比開關的方式。除了移位暫存器和類比開關以外，還可以具有緩衝器、位準轉移器、源極跟隨器等其他電路。此外，不需要必須設置移位暫存器及類比開關，例如既可以具有如解碼電路那樣的能夠選擇信號線的其他電路代替移位暫存器，又可以具有鎖存器等代替類比開關。

圖 16 所示的信號線驅動電路 403 包括移位暫存器 404 和類比開關 405。對移位暫存器 404 輸入時鐘信號（CLK）和起始脈衝信號（SP）。當輸入時鐘信號（CLK）和起

始脈衝信號（SP）時，在移位暫存器 404 中產生時序信號，而將其輸入到類比開關 405。

對類比開關 405 供應視頻信號。類比開關 405 根據從移位暫存器 404 輸入的時序信號對視頻信號進行取樣，然後供應給後級的信號線。

圖 16 所示的掃描線驅動電路 402 包括移位暫存器 406 以及緩衝器 407。此外，也可以包括位準轉移器。在掃描線驅動電路 402 中，藉由對移位暫存器 406 輸入時鐘信號（CLK）及起始脈衝信號（SP），而產生選擇信號。產生的選擇信號在緩衝器 407 中被緩衝放大，並被供應給對應的掃描線。在一線中的所有像素電晶體的閘極連接到一個掃描線。並且，由於當工作時需要使一線的像素電晶體同時導通，因此緩衝器 407 採用能夠使大電流流過的結構。

當在全彩色的顯示裝置中，對對應於 R（紅）、G（綠）、B（藍）的視頻信號按順序進行取樣而供應給對應的信號線時，用於連接移位暫存器 404 和類比開關 405 的端子數相當於用於連接類比開關 405 和像素部 400 的信號線的端子數的 1/3 左右。因此，藉由將類比開關 405 形成在與像素部 400 相同基板上，與將類比開關 405 形成在與像素部 400 不同的基板上的情況相比，可以抑制用於連接另行形成的基板的端子數，而可以抑制連接缺陷的產生，以提高成品率。

此外，雖然圖 16 的掃描線驅動電路 402 包括移位暫

存器 406 和緩衝器 407，但是不局限於此，也可以只利用移位暫存器 406 構成掃描線驅動電路 402。

另外，圖 16 所示的結構只表示顯示裝置的一個模式，而信號線驅動電路和掃描線驅動電路的結構不局限於此。

接著，參照圖 17A 至圖 18B 說明相當於顯示裝置的一個實施例的液晶顯示裝置及發光裝置的外觀。圖 17A 示出如下顯示裝置的俯視圖：利用密封材料 415 將形成在第一基板 411 上的具有結晶性半導體層的薄膜電晶體 420 及液晶元件 423 密封在第一基板 411 和第二基板 416 之間。圖 17B 相當於沿著圖 17A 的線 K-L 的截面圖。圖 18A 和 18B 示出發光裝置的情況。注意，在圖 18A 和 18B 中，只對與圖 17A 和 17B 不同的部分附上附圖標記。

在圖 17A 至圖 18B 中，圍繞設置在第一基板 411 上的像素部 412 和掃描線驅動電路 414 地設置有密封材料 415。此外，在像素部 412 及掃描線驅動電路 414 上設置有第二基板 416。因此，使用第一基板 411、密封材料 415 以及第二基板 416 與液晶層 418（或在圖 18A 和 18B 中填充材料 431）一起密封像素部 412 及掃描線驅動電路 414。另外，在與第一基板 411 上的由密封材料 415 圍繞的區域不同的區域中安裝有信號線驅動電路 413。此外，利用具有結晶性半導體層的薄膜電晶體在另行準備的基板上設置信號線驅動電路 413，但是不局限於此。另外，雖然在本實施例模式中說明將使用具有結晶性半導體層的薄膜電晶

體而形成的信號線驅動電路 413 貼合到第一基板 411 的情況，但是較佳採用使用單晶半導體構成的薄膜電晶體形成信號線驅動電路，並且將其貼合到第一基板 411。圖 17B 例示包括在信號線驅動電路 413 中的由結晶性半導體層形成的薄膜電晶體 419。

設置在第一基板 411 上的像素部 412 包括多個薄膜電晶體，並且圖 17B 例示包括在像素部 412 中的薄膜電晶體 420。此外，信號線驅動電路 413 也包括多個薄膜電晶體，並且圖 17B 例示包括在信號線驅動電路 413 中的薄膜電晶體 419。在本實施例模式的發光裝置中，薄膜電晶體 420 可以是驅動電晶體、電流控制電晶體或擦除電晶體。薄膜電晶體 420 相當於實施例模式 1 所說明的使用結晶性半導體層形成的薄膜電晶體。

此外，液晶元件 423 所具有的像素電極 422 藉由佈線 428 電連接到薄膜電晶體 420。而且，液晶元件 423 的對置電極 427 設置在第二基板 416 上。像素電極 422、對置電極 427 以及液晶層 418 重疊的部分相當於液晶元件 423。

此外，在圖 18A 和 18B 中，發光元件 430 所具有的像素電極藉由佈線電連接到薄膜電晶體 420 的源極電極或汲極電極。而且，在本實施例模式中，發光元件 430 的公共電極和具有透光性的導電層電連接。另外，發光元件 430 的結構不局限於本實施例模式所示的結構。可以根據從發光元件 430 取出的光的方向、薄膜電晶體 420 的極性等，

適當地決定發光元件 430 的結構。

另外，作為第一基板 411 以及第二基板 416 的材料，可以使用玻璃、金屬（典型是不銹鋼）、陶瓷或者塑膠等。作為塑膠，可以使用 FRP（纖維增強塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜等。此外，也可以採用具有使用 PVF 薄膜、聚酯薄膜夾住鋁箔的結構的薄片。

另外，隔離物 421 是珠狀隔離物，並且設置隔離物 421，以控制像素電極 422 和對置電極 427 之間的距離（單元間隙）。注意，也可以使用藉由選擇性地對絕緣層進行蝕刻來得到的隔離物（支柱間隔物）。

此外，供應到另行形成的信號線驅動電路 413、掃描線驅動電路 414 以及像素部 412 的各種信號（電位）從 FPC417（撓性印刷電路）藉由引導佈線 424 以及引導佈線 425 供給。

在 17A 和 17B 中，連接端子 426 由與液晶元件 423 所具有的像素電極 422 相同的導電層形成。此外，引導佈線 424 以及引導佈線 425 由與佈線 428 相同的導電層形成。但是，不局限於此。

連接端子 426 藉由各向異性導電層 429 電連接到 FPC417 所具有的端子。

注意，雖然未圖示，但是本實施例模式所示的液晶顯示裝置具有對準膜以及偏光板，還可以具有顏色濾光片、遮光層等。

在圖 18A 和 18B 中，連接端子 426 由與發光元件 430 所具有的像素電極相同的導電層形成。另外，引導佈線 425 由與佈線 428 相同的導電層形成。但是，不局限於此。

另外，作為位於在從發光元件 430 的光的取出方向上的基板的第二基板，使用透光基板。在此情況下，使用由玻璃板、塑膠板、聚酯薄膜或丙烯酸樹脂薄膜等的具有透光性的材料構成的基板。在從發光元件 430 的光的取出方向是第一基板的方向的情況下，作為第一基板使用透光基板。

此外，作為填充材料 431，可以使用氮、氬等的惰性氣體、紫外線固化樹脂或熱固化樹脂等，而可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）或者 EVA（乙烯-醋酸乙酯）等。在此，例如使用氮，即可。

此外，也可以在發光元件的發射面上適當地設置偏光板、圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$  板、 $\lambda/2$  板）或者顏色濾光片等的光學薄膜。此外，也可以在偏光板或圓偏光板上設置反射防止層。

如上所述，藉由使用在實施例模式 1 中說明的薄膜電晶體，可以形成顯示裝置。

### 實施例模式 3

在本實施例模式中，參照附圖說明安裝有在實施例模



式 2 中所說明的顯示裝置的電子設備。作為上述電子設備，例如可以舉出電視裝置（也稱為電視或電視接收機）、用於電腦的監視器、電子紙、影像拍攝裝置如數位相機及數位攝像機、數位相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、可攜式資訊終端、聲音再現裝置、彈珠機等的大型遊戲機等。

作為電子設備，例如可以舉出電子紙。電子紙可以用於顯示資訊的所有領域的電子設備。例如，能夠將電子紙應用於電子書籍（電子書）、海報、電車等的交通工具的車廂廣告、信用卡等的各種卡片中的資訊顯示等。圖 19A 示出電子設備的一例。

圖 19A 示出電子書籍的一例。例如，圖 19A 所示的電子書籍由兩個框體，即框體 500 及框體 501 構成。框體 500 及框體 501 由鉸鏈 504 形成為一體，而可以進行開閉工作。藉由採用這種結構，可以進行如紙的書籍那樣的工作。

框體 500 組裝有顯示部 502，而框體 501 組裝有顯示部 503。顯示部 502 及顯示部 503 的結構既可以是顯示連續的畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如在右邊的顯示部（圖 19A 中的顯示部 502）能夠顯示文章，而在左邊的顯示部（圖 19A 中的顯示部 503）能夠顯示圖像。可以將實施例模式 2 所示的顯示裝置應用於顯示部 502 及顯示部 503。

此外，在圖 19A 中示出框體 500 具備操作部等的例子

。例如，在框體 500 中，具備電源輸入端子 505、操作鍵 506、揚聲器 507 等。利用操作鍵 506 例如能夠翻頁。此外，也可以採用在與框體的顯示部相同的面上具備鍵盤及定位裝置等的結構。另外，也可以採用在框體的背面或側面具備外部連接用端子（耳機端子、USB 端子及可以與 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。再者，圖 19A 所示的電子書籍也可以具有電子詞典的功能。

此外，圖 19A 所示的電子書籍也能夠具備以無線方式收發資訊的結構。還可以採用以無線通信的方式從電子書籍伺服器購買所希望的書籍資料等，然後下載的結構。

圖 19B 示出數位相框的一例。例如，在圖 19B 所示的數位相框中，框體 511 組裝有顯示部 512。顯示部 512 可以顯示各種圖像，例如藉由顯示使用數位相機等拍攝的圖像資料，能夠發揮與一般的相框同樣的功能。作為顯示部 512，可以使用實施例模式 2 所示的顯示裝置。

此外，圖 19B 所示的數位相框較佳採用具備操作部、外部連接用端子、記錄媒體插入部等的結構。這些結構也可以組裝到與顯示部相同的面，但是當將它們設置在側面或背面上時，設計性提高，所以是較佳的。例如，能夠對數位相框的記錄媒體插入部插入儲存有由數位相機拍攝的圖像資料的記憶體並提取圖像資料，然後將所提取的圖像資料顯示於顯示部 512。

此外，圖 19B 所示的數位相框可以採用以無線方式收

發資訊的結構。還能採用以無線方式提取所希望的圖像資料並進行顯示的結構。

圖 19C 示出電視裝置的一例。在圖 19C 所示的電視裝置中，框體 521 組裝有顯示部 522。藉由利用顯示部 522，可以顯示映射。此外，在此示出利用支架 523 支撐框體 521 的結構。作為顯示部 522，能夠使用實施例模式 2 所示的顯示裝置。

能夠藉由利用框體 521 所具備的操作開關或遙控操作機進行圖 19C 所示的電視裝置的操作。藉由利用遙控操作機所具備的操作鍵，能夠進行對頻道及音量的操作，並能夠對在顯示部 522 上顯示的圖像進行操作。此外，也可以採用在遙控操作機中設置顯示從該遙控操作機輸出的資訊的顯示部的結構，並且也可以作為該遙控操作機所具備的顯示部使用實施例模式 2 所示的顯示裝置。

此外，圖 19C 所示的電視裝置採用具備接收機及數據機等的結構。能夠藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，可以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間等）的資訊通信。

圖 19D 示出行動電話機的一例。圖 19D 所示的行動電話機除了安裝在框體 531 中的顯示部 532 之外還具備操作按鈕 533、操作按鈕 537、外部連接埠 534、揚聲器 535 及麥克風 536 等。作為顯示部 532，能夠應用實施例模式 2 所示的顯示裝置。

圖 19D 所示的行動電話機的顯示部 532 也可以是觸摸面板，也能夠用手指等觸摸顯示部 532 來操作顯示部 532 的顯示內容。在此情況下，能夠用手指等觸摸顯示部 532 來進行電話發信或製作電子郵件等。

顯示部 532 的畫面主要有三種模式。第一是以圖像的顯示為主的顯示模式，第二是以文字等的資訊的輸入為主的輸入模式，第三是混合有顯示模式和輸入模式這兩種模式的顯示與輸入模式。

例如，在電話發信或製作電子郵件的情況下，將顯示部 532 設定為以文字輸入為主的文字輸入模式，並進行在畫面上顯示的文字的輸入操作，即可。在此情況下，較佳的是，在顯示部 532 的畫面的大多部分中顯示鍵盤或號碼按鈕。

此外，藉由在圖 19D 所示的行動電話機的內部設置具有陀螺儀和加速度感測器等檢測傾斜度的感測器的檢測裝置，判斷行動電話機的方向（縱向或橫向），能夠對顯示部 532 的顯示資訊進行自動切換。

藉由觸摸顯示部 532 或利用框體 531 的操作按鈕 537 進行的操作，切換畫面模式，即可。此外，還能根據顯示在顯示部 532 上的圖像種類切換畫面模式。例如，當顯示在顯示部上的視頻信號為動態圖像的資料時，將畫面模式切換成顯示模式，而當顯示在顯示部上的視頻信號為文字資料時，將畫面模式切換成輸入模式。

另外，當在輸入模式中藉由檢測出顯示部 532 的光電

感測器所檢測的信號得知在一定期間中沒有顯示部 532 的觸摸操作輸入時，也可以以將畫面模式從輸入模式切換成顯示模式的方式進行控制。

還能夠將顯示部 532 用作圖像感測器。例如，藉由用手掌或手指觸摸顯示部 532，並利用圖像感測器拍攝掌紋、指紋等，能夠進行個人識別。此外，藉由在顯示部中使用發射近紅外光的背光燈或發射近紅外光的感測光源，也能拍攝手指靜脈、手掌靜脈等。

#### 實施例 1

在本實施例中，說明如實施例模式 1 所說明那樣製造的薄膜電晶體的電特性的測量結果等。

圖 10A 和 10B 表示如下曲線（以下，記載為 I-V 曲線）：示出圖 1A 至圖 2B 所示的薄膜電晶體中的相對於閘極電壓的汲極電流的電流-電壓特性。注意，如在上述實施例模式中說明，在此使用高功函數的材料的鉬形成源極電極層及汲極電極層。圖 10A 表示圖 2A 和 2B 所示的薄膜電晶體的 I-V 曲線，而圖 10B 表示圖 1A 和 1B 所示的薄膜電晶體的 I-V 曲線。注意，在此薄膜電晶體的尺寸為圖 20A 和 20B 所示的。

如上述實施例模式所說明，對圖 10A 和 10B 進行比較，在使用鉬形成源極電極層及汲極電極層的情況下，圖 1A 和 1B 所示的薄膜電晶體的截止電流比圖 2A 和 2B 所示的薄膜電晶體的截止電流極大。由此，作為開關元件使薄

膜電晶體正常地工作是很困難的。對圖 11A 和 11B 進行比較，觀察不到圖 1A 和 1B 所示的薄膜電晶體的截止電流和圖 2A 和 2B 所示的薄膜電晶體的截止電流的大差異。因此，在採用圖 1A 和 1B 所示的薄膜電晶體的情況下，使用功函數低的材料形成源極電極層及汲極電極層是特別有效的。

圖 3A 和 3B 表示圖 4A 和 4B 所示的薄膜電晶體的 I-V 曲線。圖 4A 所示的薄膜電晶體沒有第一半導體層 106，其他結構與圖 1A 和 1B 所示的薄膜電晶體同樣。注意，第二半導體層 108 由非晶半導體形成。圖 4B 所示的薄膜電晶體沒有第一半導體層 206，其他結構與圖 2A 和 2B 所示的薄膜電晶體同樣。注意，第二半導體層 208 由非晶半導體形成。就是說，圖 4A 和 4B 所示的薄膜電晶體是其通道形成區由非晶半導體層構成的薄膜電晶體。注意，與圖 10A 和 10B 同樣，使用鉬形成源極電極層及汲極電極層。在此，薄膜電晶體的尺寸為圖 20A 和 20B 所示的薄膜電晶體同樣。

根據圖 3A 和 3B 可知，在由非晶半導體層構成通道形成區的薄膜電晶體中，在 I-V 曲線中觀察不到閘極電極層重疊於半導體層的整個面的結構（圖 4A 所示的結構）和閘極電極層僅重疊於半導體層的一部分的結構（圖 4B 所示的結構）的大差異。因此，在第一半導體層為結晶性半導體層的情況下，使用功函數低的材料形成源極電極層及汲極電極層是特別有效的。

## 【圖式簡單說明】

在附圖中：

圖 1A 和 1B 是說明薄膜電晶體的結構的一例的圖；

圖 2A 和 2B 是說明薄膜電晶體的結構的一例的圖；

圖 3A 和 3B 是說明薄膜電晶體的電特性的圖；

圖 4A 和 4B 是說明薄膜電晶體的結構的一例的圖；

圖 5A 和 5B 是說明薄膜電晶體的截止電流的路徑的圖

；

圖 6 是說明能帶結構的圖；

圖 7A 和 7B 是說明薄膜電晶體的電特性的圖；

圖 8 是說明薄膜電晶體的電特性的圖；

圖 9A 和 9B 是說明薄膜電晶體的電特性的圖；

圖 10A 和 10B 是說明薄膜電晶體的電特性的圖；

圖 11A 和 11B 是說明薄膜電晶體的電特性的圖；

圖 12A 至 12C 是說明薄膜電晶體的製造方法的圖；

圖 13 是說明薄膜電晶體的製造方法的圖；

圖 14A 至 14C 是說明薄膜電晶體的製造方法的圖；

圖 15A 至 15C 是說明薄膜電晶體的製造方法的圖；

圖 16 是說明顯示裝置的結構的方塊圖；

圖 17A 和 17B 是說明液晶顯示面板的俯視圖及截面圖

；

圖 18A 和 18B 是說明發光顯示面板的俯視圖及截面圖

；

圖 19A 至 19D 是說明使用顯示裝置的電子設備的圖

； 以及

圖 20A 和 20B 是說明薄膜電晶體的結構的一例的圖。

【 主要元件符號說明 】

- 100：基板
- 102：閘極電極層
- 104：閘極絕緣層
- 106：第一半導體層
- 108：第二半導體層
- 110：雜質半導體層
- 112：源極電極層及汲極電極層
- 114：保護層
- 116：開口部
- 118：像素電極層
- 130：部分
- 131：部分
- 132：部分
- 150：第一半導體膜
- 152：第二半導體膜
- 154：雜質半導體膜
- 156：抗蝕劑掩模
- 158：第二半導體層
- 160：雜質半導體層
- 162：疊層體



- 164 : 導電膜
- 166 : 抗蝕劑掩模
- 200 : 基板
- 202 : 閘極電極層
- 204 : 閘極絕緣層
- 206 : 第一半導體層
- 208 : 第二半導體層
- 210 : 雜質半導體層
- 212 : 源極電極及汲極電極層
- 214 : 保護層
- 216 : 開口部
- 218 : 像素電極層
- 230 : 部分
- 231 : 部分
- 250a : 反應室
- 250b : 反應室
- 250c : 反應室
- 250d : 反應室
- 252 : 高頻電源
- 254 : 匹配器
- 258 : 氣體供給單元
- 258a : 氣體供給單元
- 258b : 氣體供給單元
- 258c : 氣體供給單元

- 258 d : 氣體供給單元
- 258 e : 氣體供給單元
- 258 f : 氣體供給單元
- 260 : 蝶閥
- 262 : 導氣閥
- 264 : 渦輪分子泵
- 266 : 乾燥泵
- 268 : 低溫泵
- 270 : 裝載 / 卸載室
- 272 : 公共室
- 274 : 閘閥
- 276 : 傳送機構
- 400 : 像素部
- 402 : 掃描線驅動電路
- 403 : 信號線驅動電路
- 404 : 移位暫存器
- 405 : 類比開關
- 406 : 移位暫存器
- 407 : 緩衝器
- 411 : 基板
- 412 : 像素部
- 413 : 信號線驅動電路
- 414 : 掃描線驅動電路
- 415 : 密封材料

- 416 : 基板
- 417 : FPC
- 418 : 液晶層
- 419 : 薄膜電晶體
- 420 : 薄膜電晶體
- 421 : 隔離物
- 422 : 像素電極
- 423 : 液晶元件
- 424 : 佈線
- 425 : 佈線
- 426 : 連接端子
- 427 : 對置電極
- 428 : 佈線
- 429 : 各向異性導電層
- 430 : 發光元件
- 431 : 填充材料
- 500 : 框體
- 501 : 框體
- 502 : 顯示部
- 503 : 顯示部
- 504 : 鉸鏈
- 505 : 電源輸入端子
- 506 : 操作鍵
- 507 : 揚聲器

(61. 60-25)

- 511 : 框體
- 512 : 顯示部
- 521 : 框體
- 522 : 顯示部
- 523 : 支架
- 531 : 框體
- 532 : 顯示部
- 533 : 操作按鈕
- 534 : 外部連接埠
- 535 : 揚聲器
- 536 : 麥克風
- 537 : 操作按鈕

第 098142073 號專利申請案中文申請專利範圍修正本

民國 101 年 10 月 25 日修正

七、申請專利範圍：

1. 一種薄膜電晶體，包含：

閘極電極層；

第一半導體層；

設置在該第一半導體層上並與其接觸的第二半導體層，其中該第二半導體層的載流子遷移率低於該第一半導體層的載流子遷移率；

設置在該閘極電極層和該第一半導體層之間並與它們接觸的閘極絕緣層；

設置為接觸於該第二半導體層的雜質半導體層；

設置為部分地接觸於該等雜質半導體層中的一個、該第一半導體層、以及該第二半導體層的源極電極層；以及

設置為部分地接觸於該等雜質半導體層中的另一個、該第一半導體層、以及該第二半導體層的汲極電極層，

其中在該閘極電極層上的該第一半導體層的整個面重疊於該閘極電極層，以及

其中該第一半導體層和該源極電極層或該汲極電極層接觸的部分的勢壘為大於或等於  $0.5\text{eV}$ 。

2. 一種薄膜電晶體，包含：

閘極電極層；

第一半導體層；

設置在該第一半導體層上並與其接觸的第二半導體層

，其中該第二半導體層的載流子遷移率低於該第一半導體層的載流子遷移率；

設置在該閘極電極層和該第一半導體層之間並與它們接觸的閘極絕緣層；

設置為接觸於該第二半導體層的雜質半導體層；

設置為部分地接觸於該等雜質半導體層中的一個、該第一半導體層、以及該第二半導體層的源極電極層；以及

設置為部分地接觸於該等雜質半導體層中的另一個、該第一半導體層、以及該第二半導體層的汲極電極層，

其中在該閘極電極層上的該第一半導體層的整個面重疊於該閘極電極層，以及

其中形成該源極電極層及該汲極電極層的材料的功能數為 $\phi$ ，真空能級和該第一半導體層的遷移率端的底部的差異為 $\chi$ ，以及該第一半導體層的禁帶寬度為 $E_g$ ，並且 $E_g + \chi - \phi$ 為大於或等於 $0.5\text{eV}$ 。

3.如申請專利範圍第1或2項的薄膜電晶體，

其中該第二半導體層的禁帶寬度大於與該源極電極層及該汲極電極層接觸的該第一半導體層的禁帶寬度。

4.如申請專利範圍第1或2項的薄膜電晶體，

其中該第一半導體層包括結晶性半導體且該第二半導體層包括非晶半導體。

5.如申請專利範圍第4項的薄膜電晶體，

其中該第一半導體層使用微晶半導體而形成，該微晶半導體包含晶粒徑是大於或等於 $2\text{nm}$ 且小於或等於 $200\text{nm}$

的晶粒。

6.如申請專利範圍第4項的薄膜電晶體，  
其中該第二半導體層包括該非晶半導體和微小半導體  
晶粒。

7.如申請專利範圍第5項的薄膜電晶體，  
其中該非晶半導體包括NH基。

8.如申請專利範圍第1或2項的薄膜電晶體，  
其中將從該閘極絕緣層和該第一半導體層之間的介面  
到該第二半導體層的凸部的頭端的距離設定為大於或等於  
3nm且小於或等於80nm。

9.如申請專利範圍第1或2項的薄膜電晶體，  
其中該雜質半導體層使用結晶性半導體形成。

10.如申請專利範圍第1或2項的薄膜電晶體，  
其中用於該源極電極層及該汲極電極層的至少一部分  
的材料包含鈮、鋯、鈦、氮化鈦中的至少一種。

圖 1A

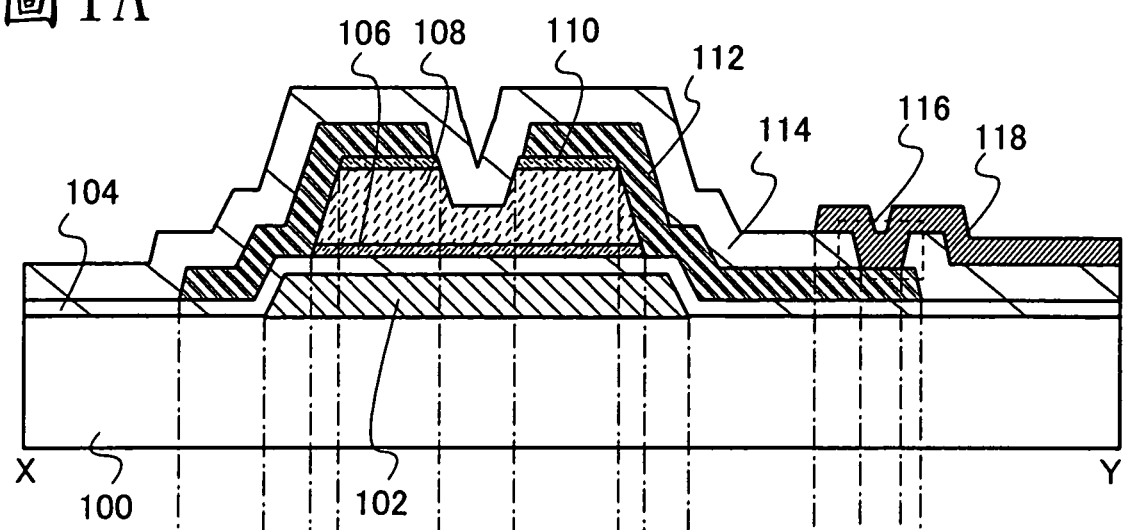


圖 1B

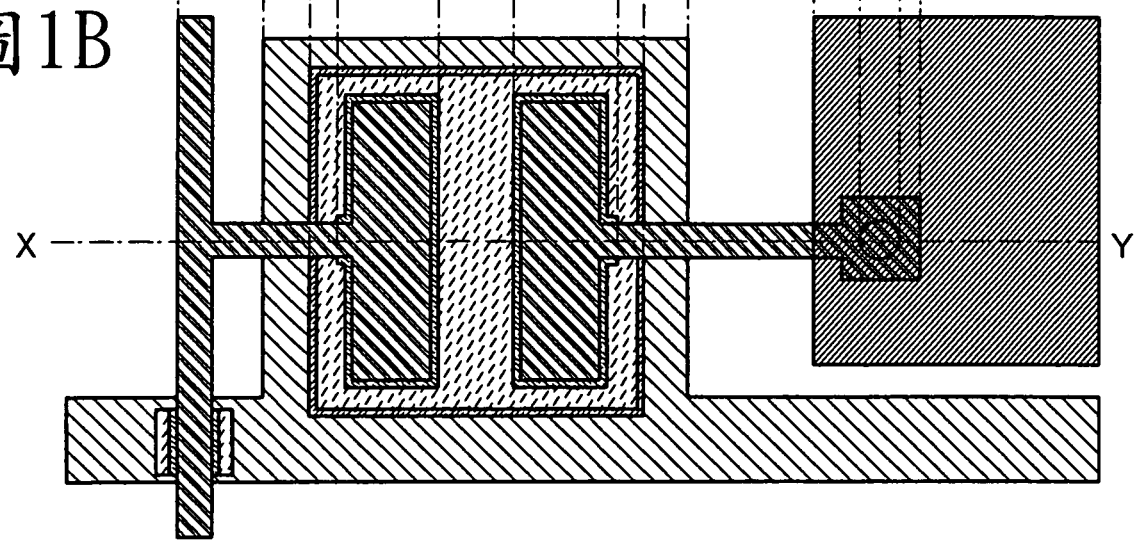




圖 2A

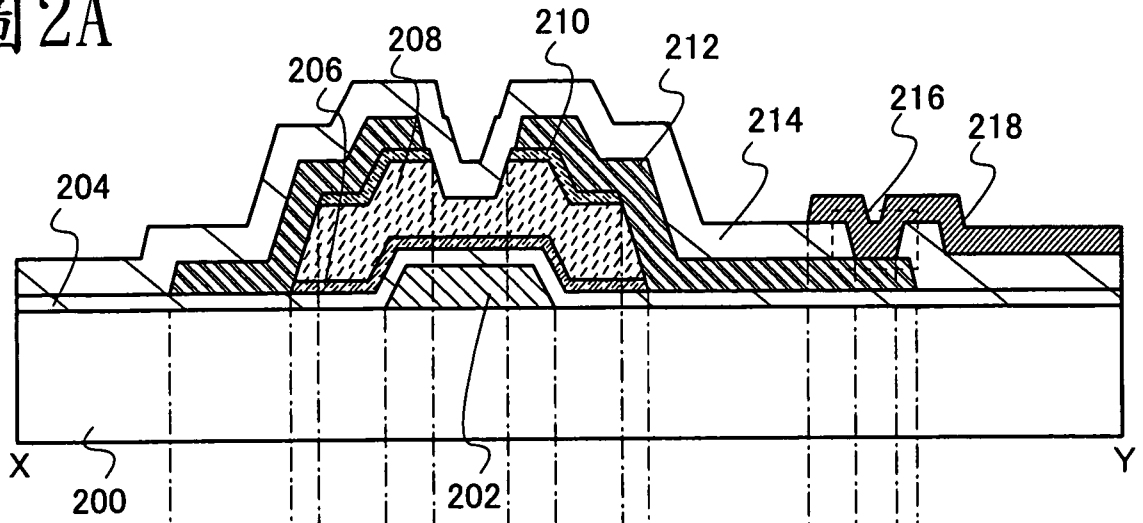


圖 2B

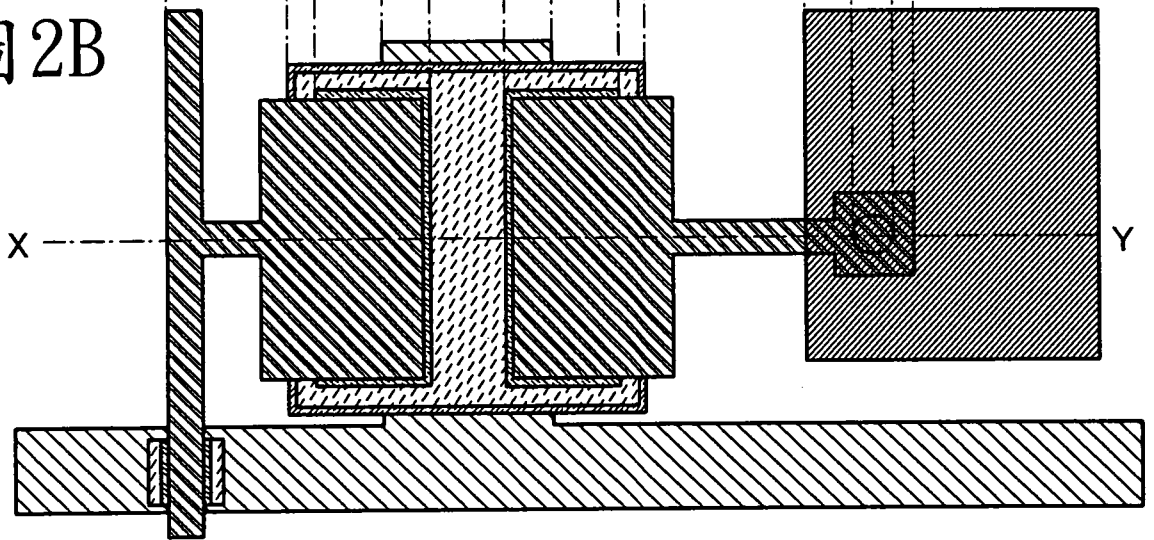


圖 3A

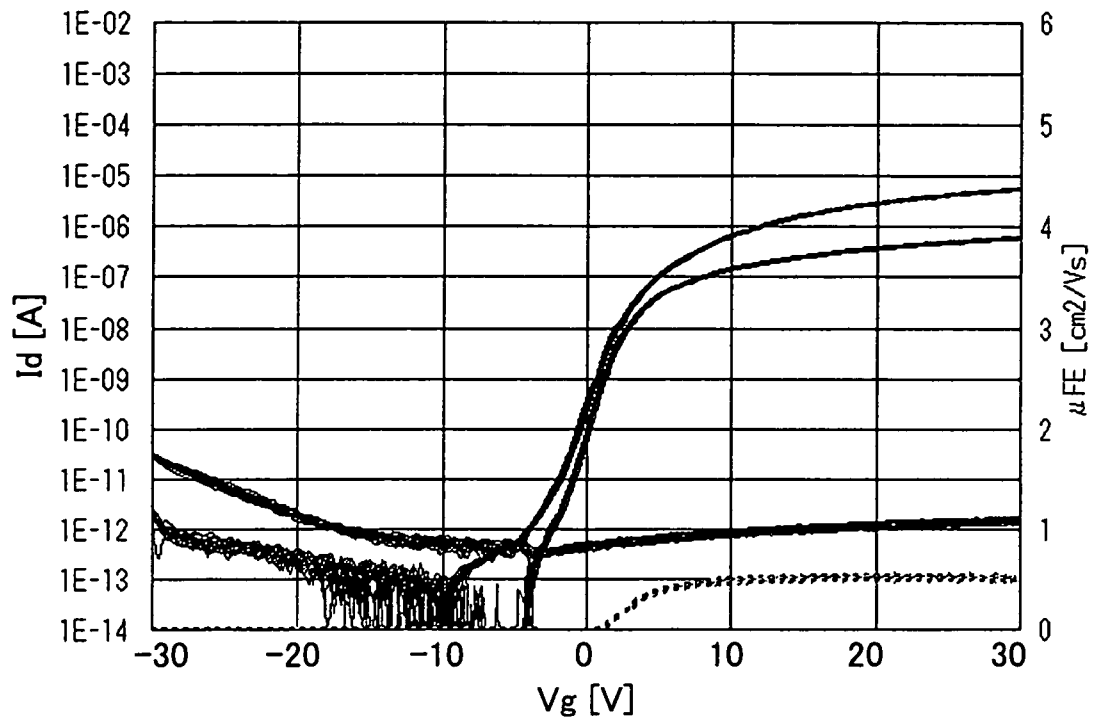


圖 3B

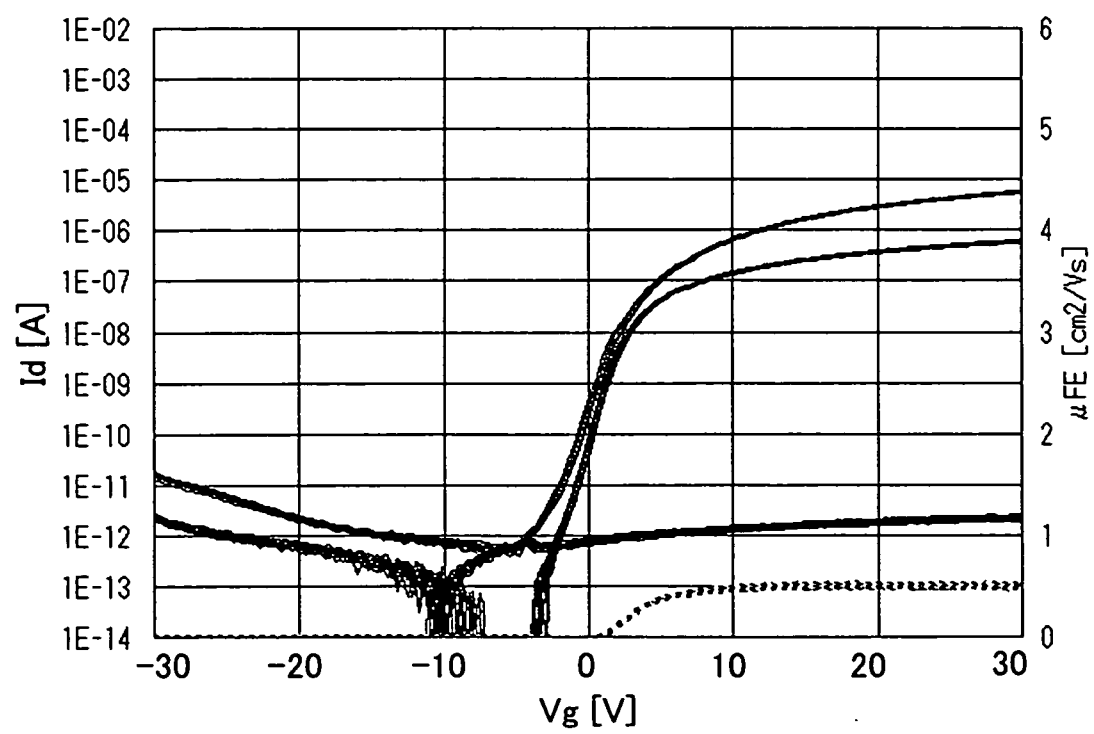


圖 4A

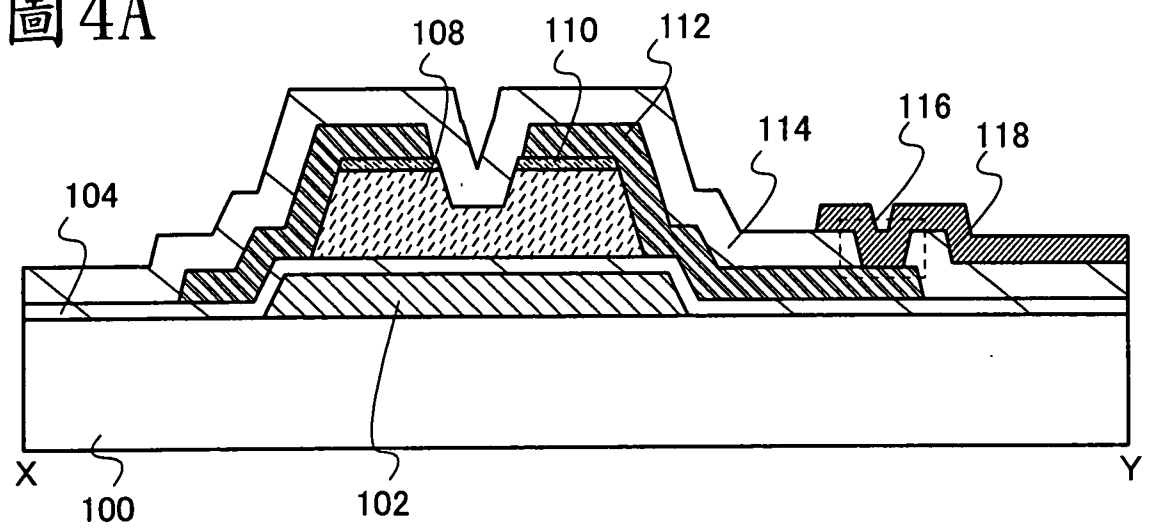


圖 4B

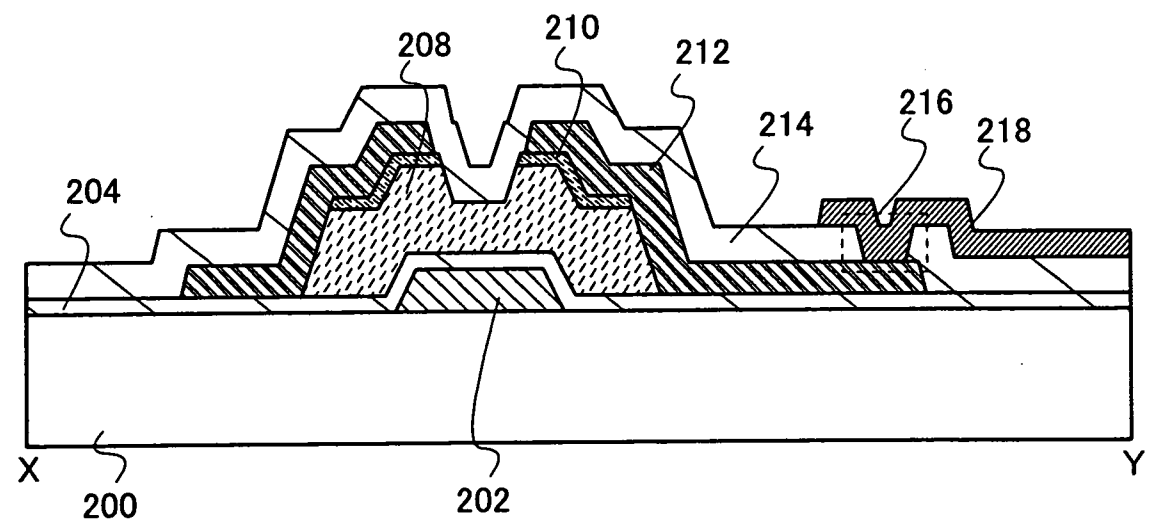


圖 5A

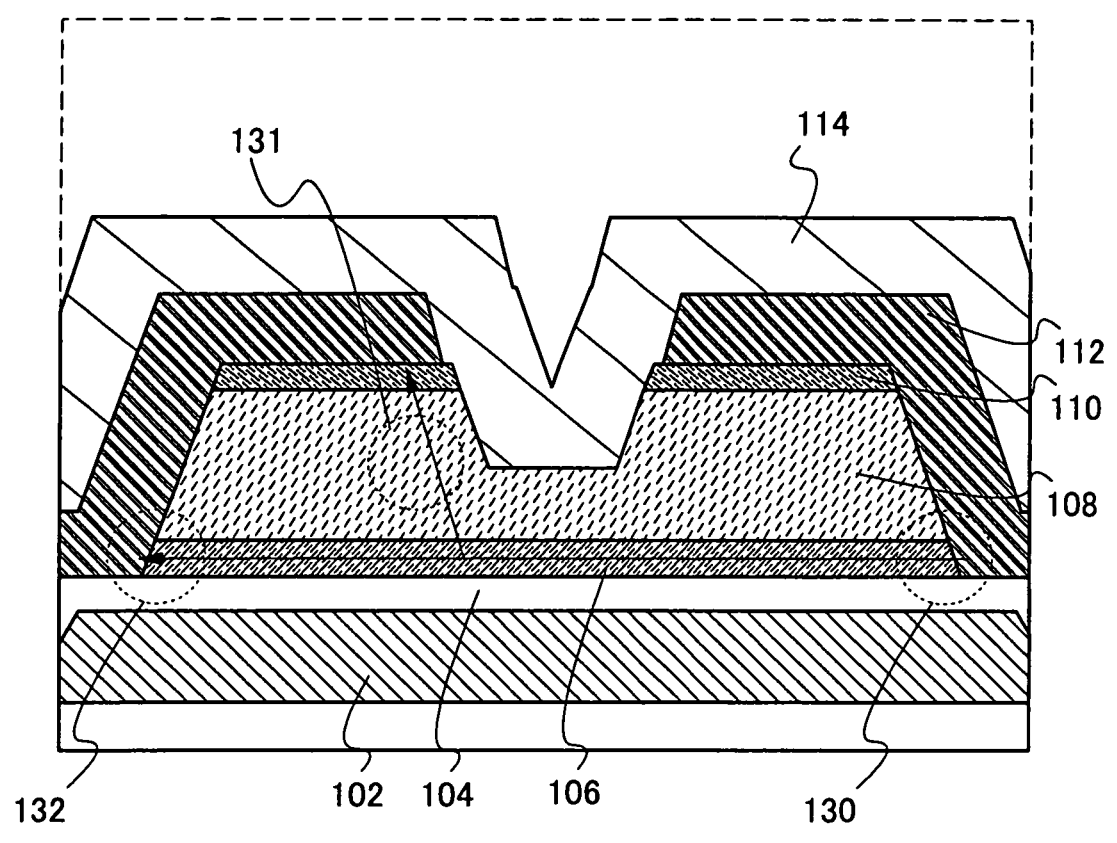


圖 5B

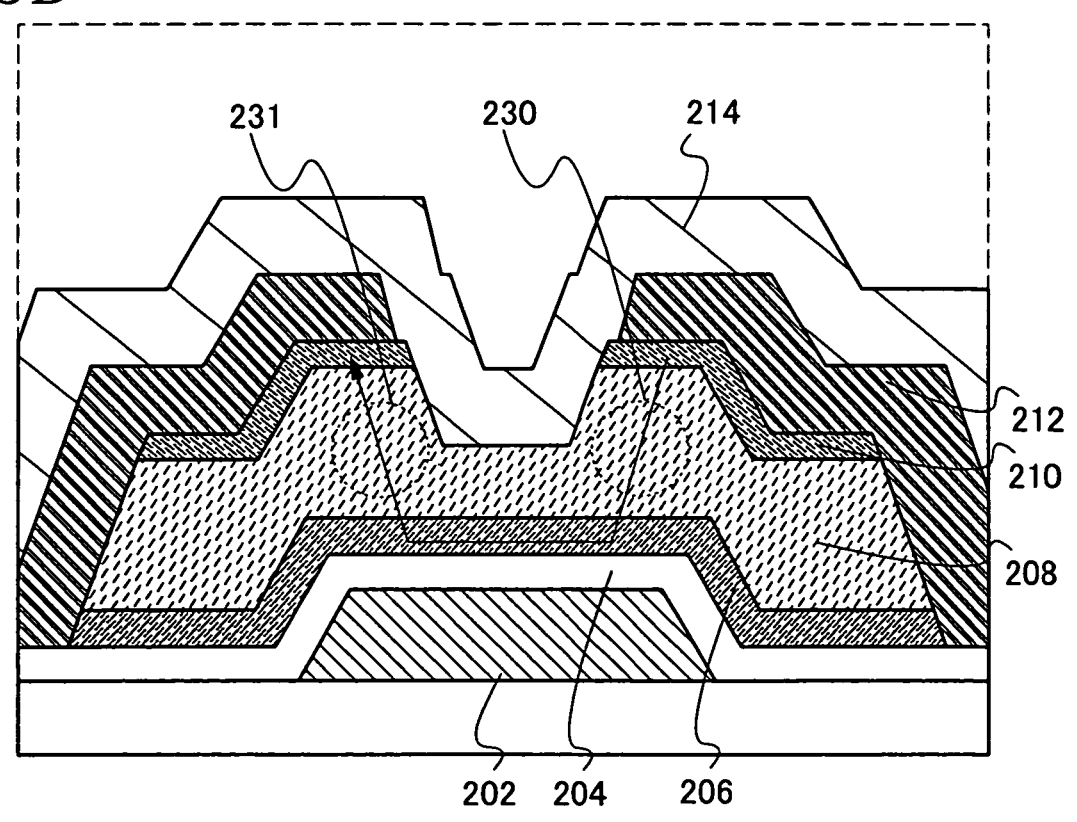


圖6

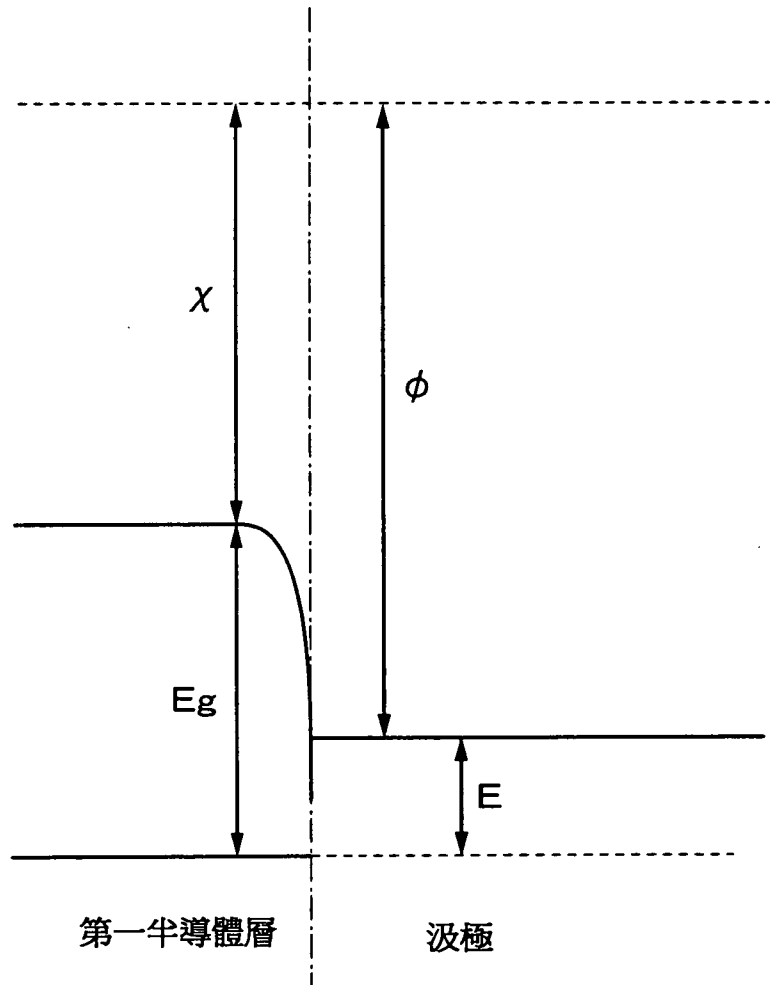


圖 7A

$\phi = 3.9\text{eV}$

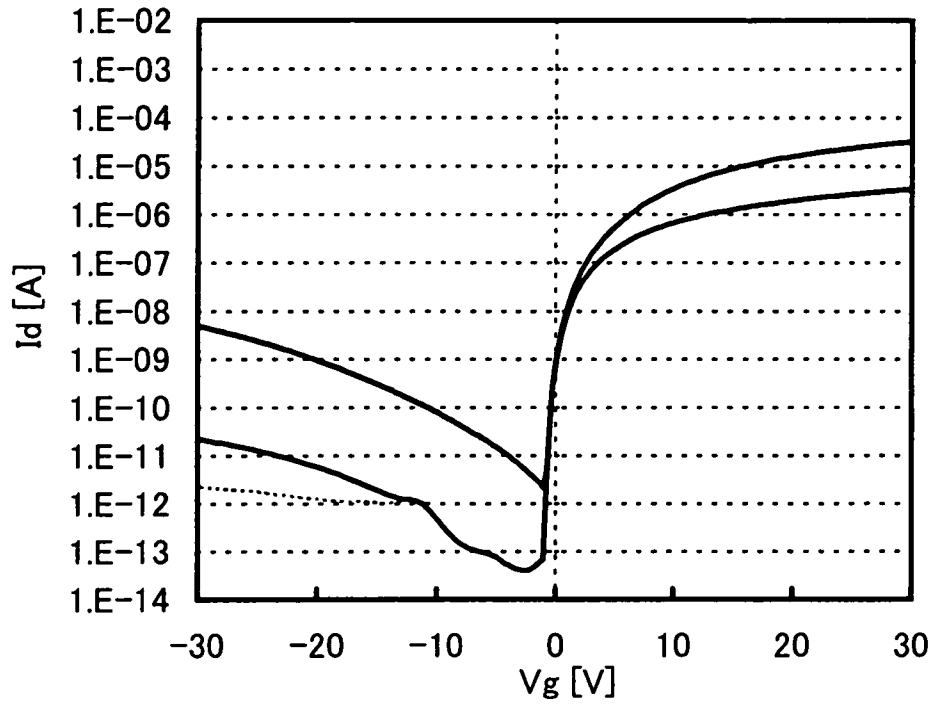


圖 7B

$\phi = 4.2\text{eV}$

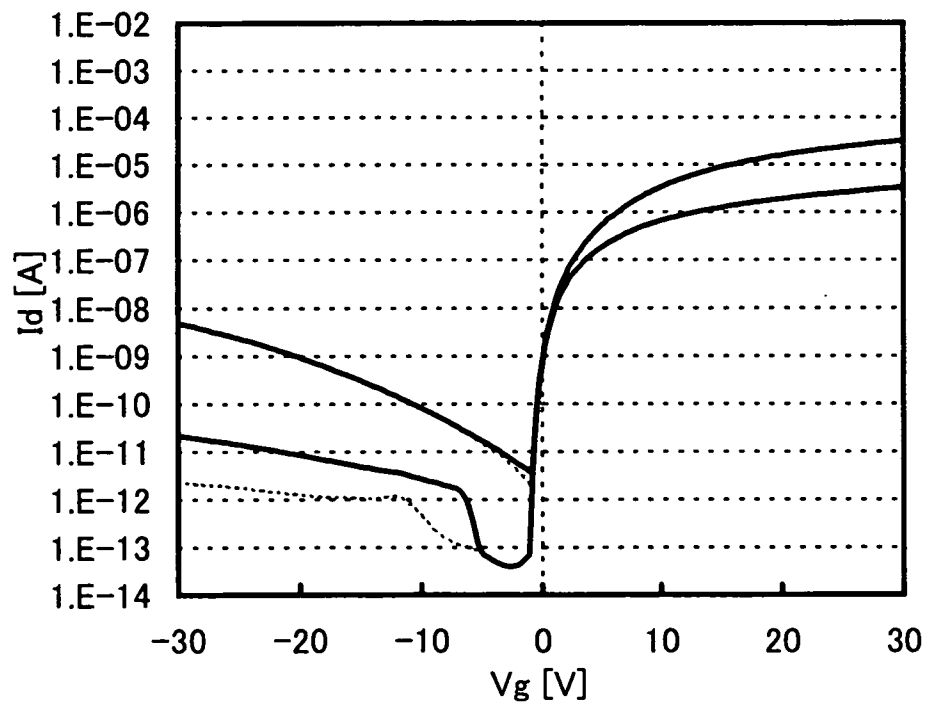


圖 8

(A)  $\phi = 4.5\text{eV}$

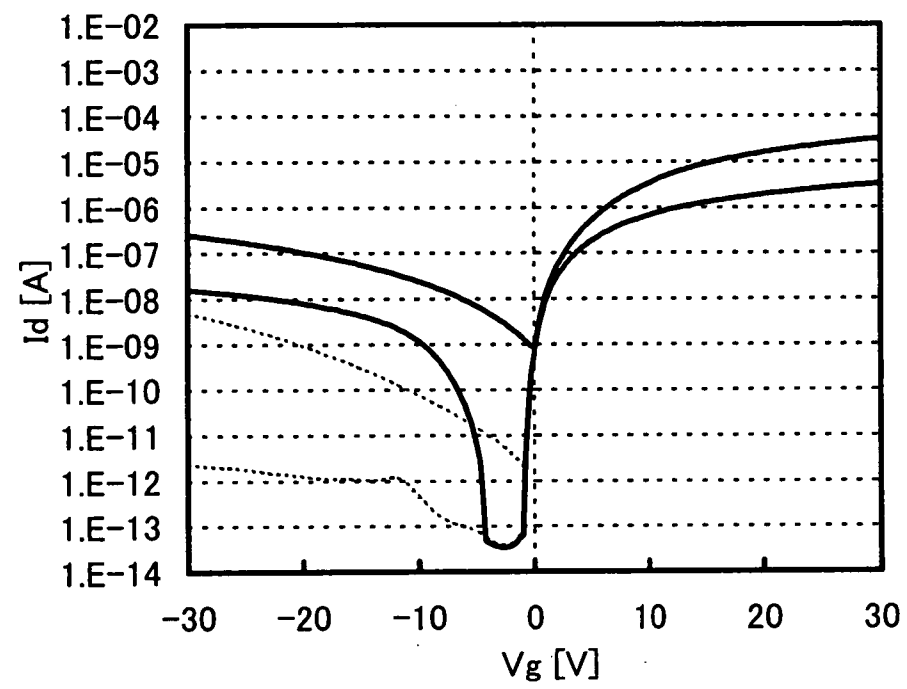


圖 9A

T=27°C

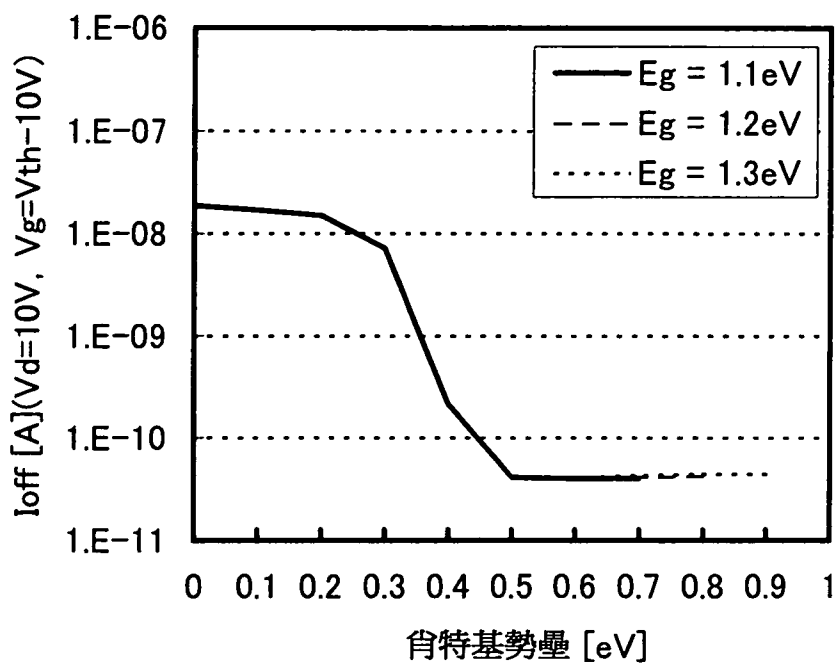


圖 9B

T=85°C

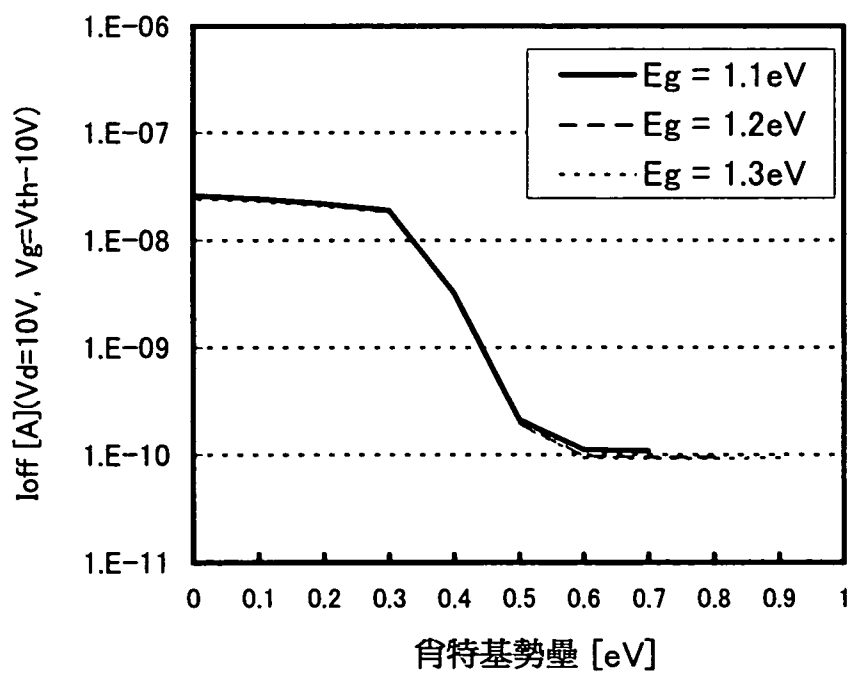




圖 10A

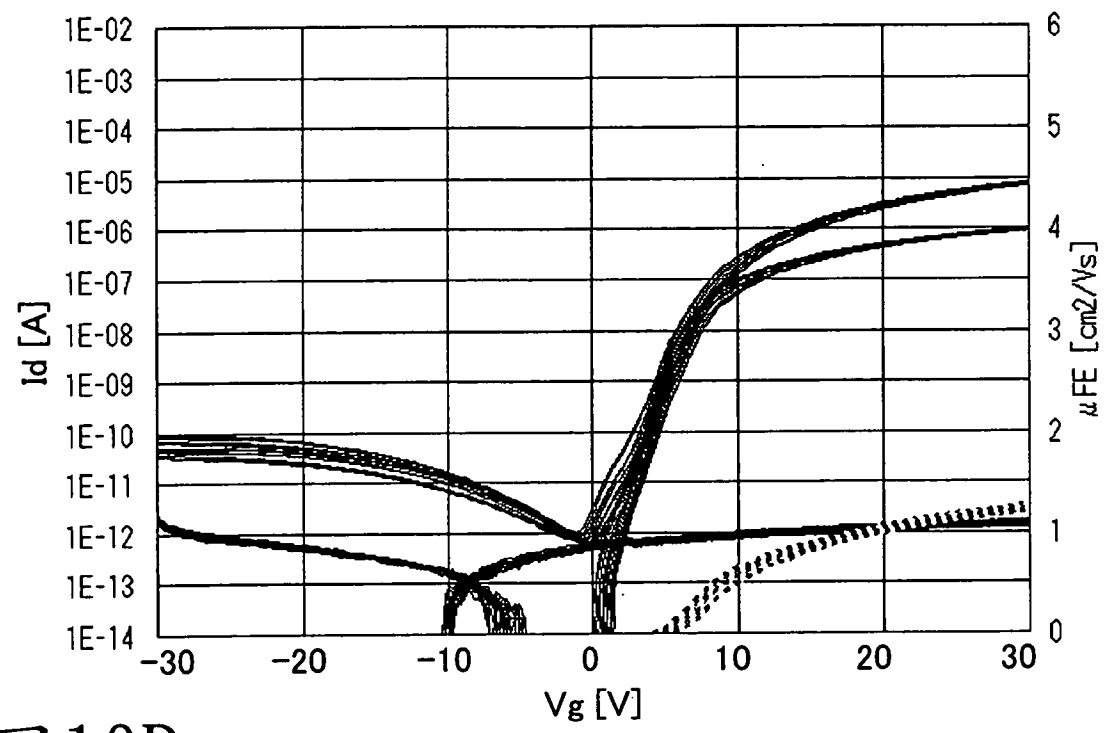


圖 10B

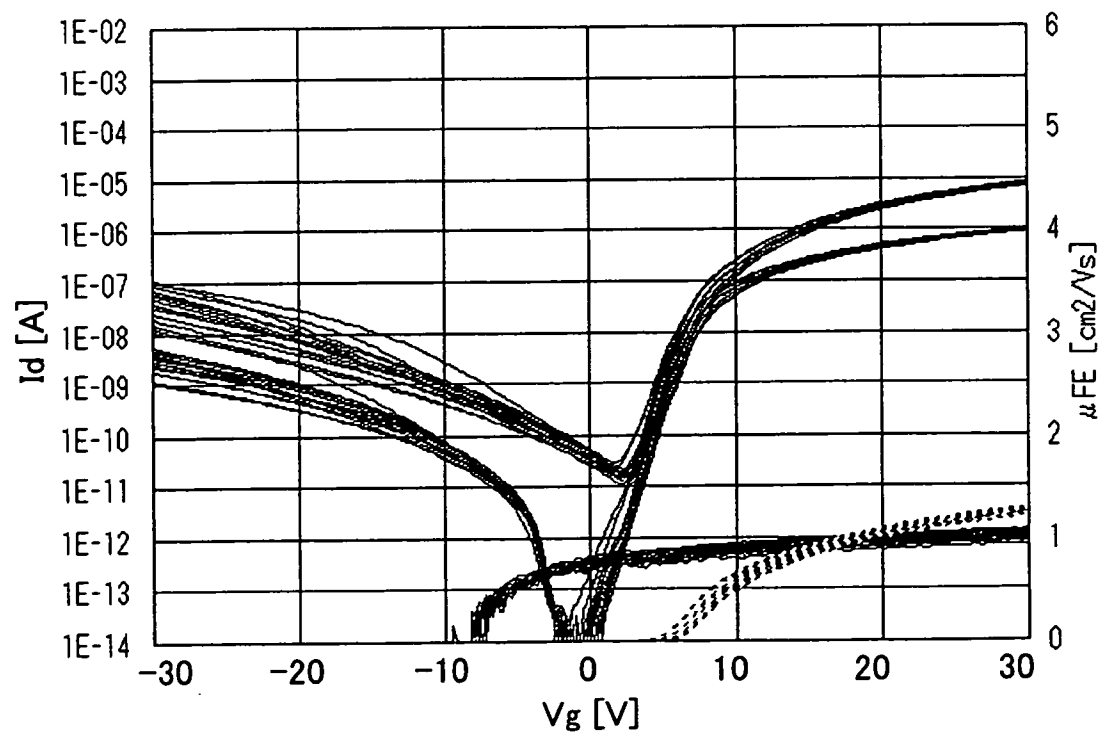


圖 11A

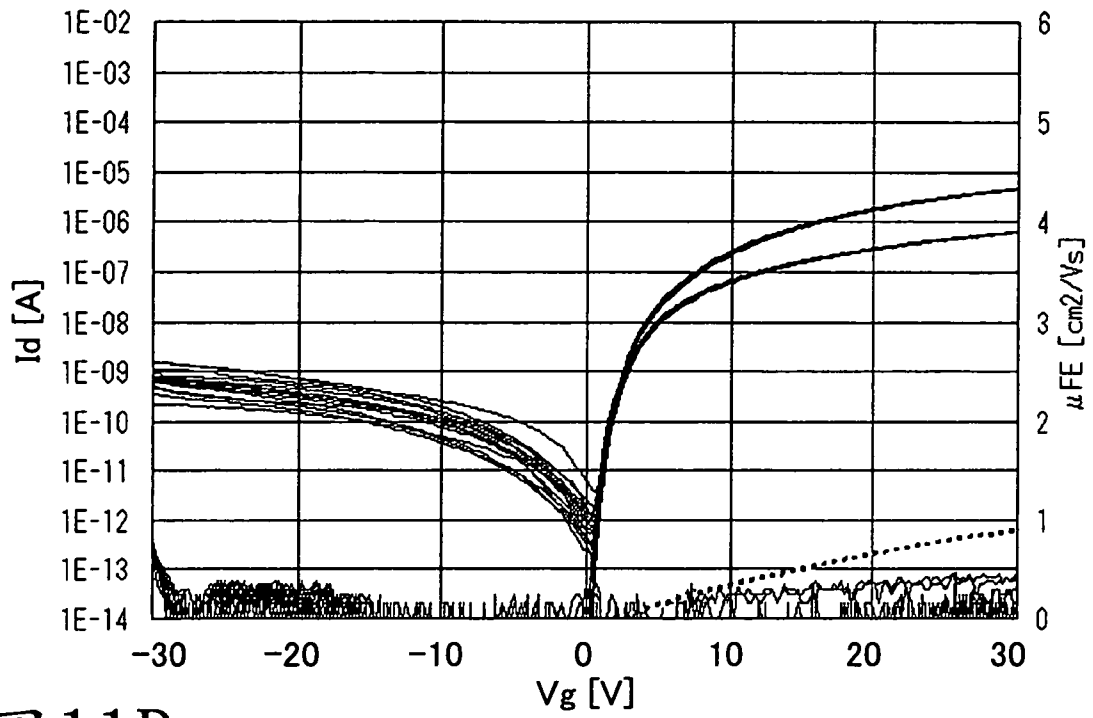


圖 11B

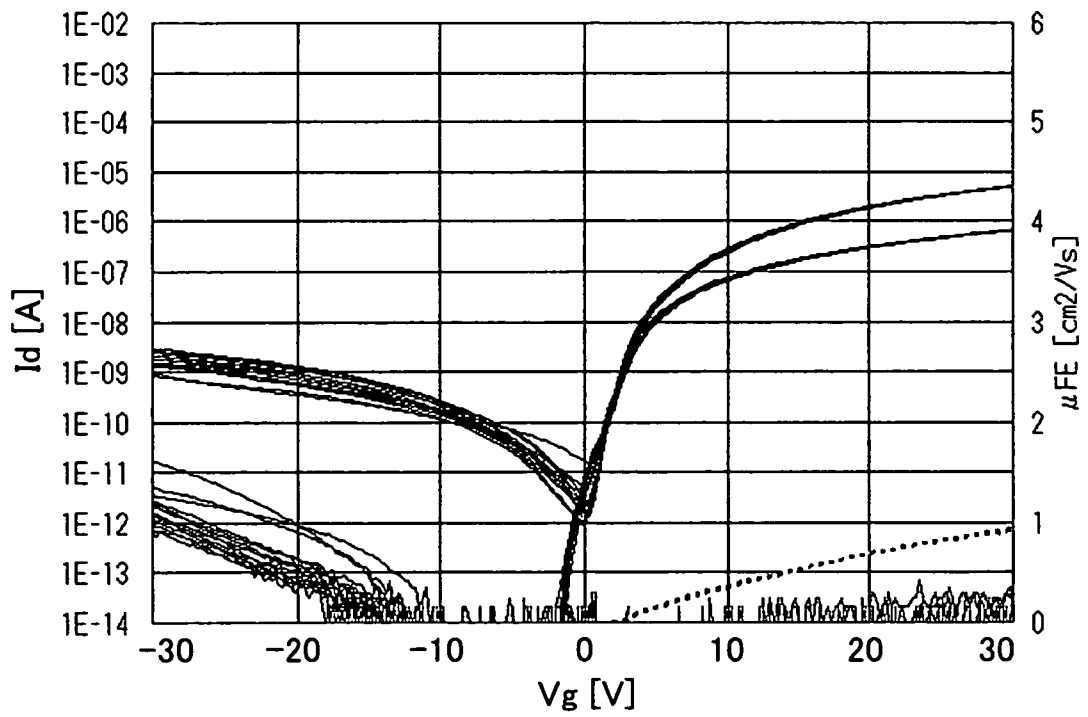


圖 12A

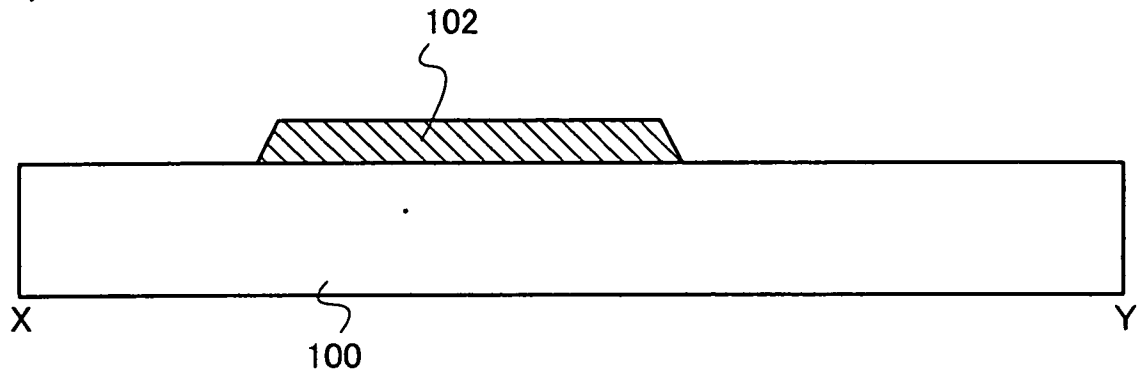


圖 12B

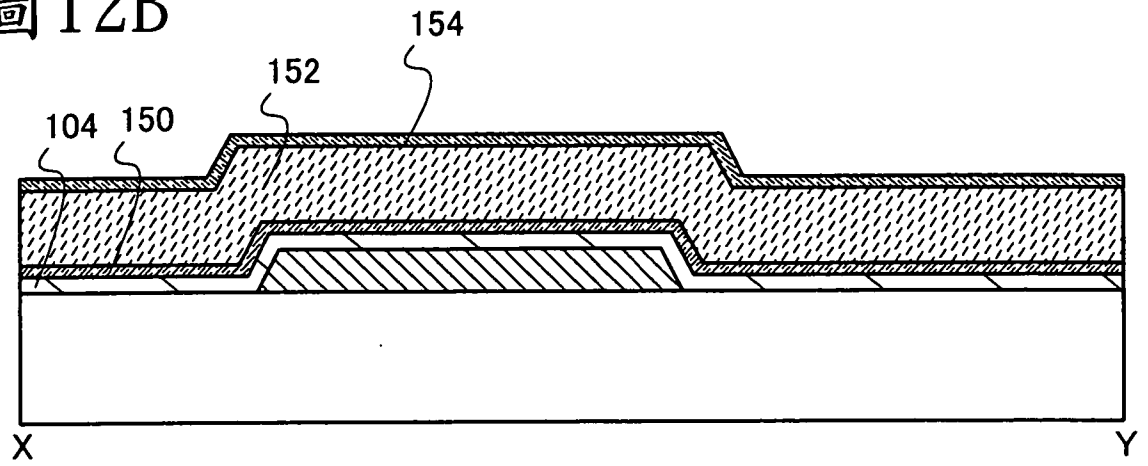


圖 12C

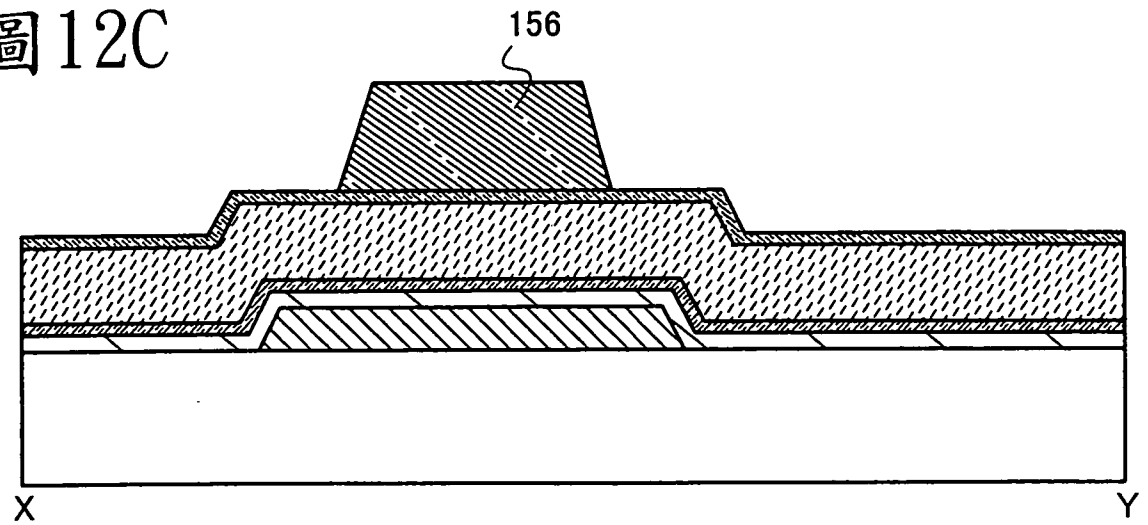


圖 13

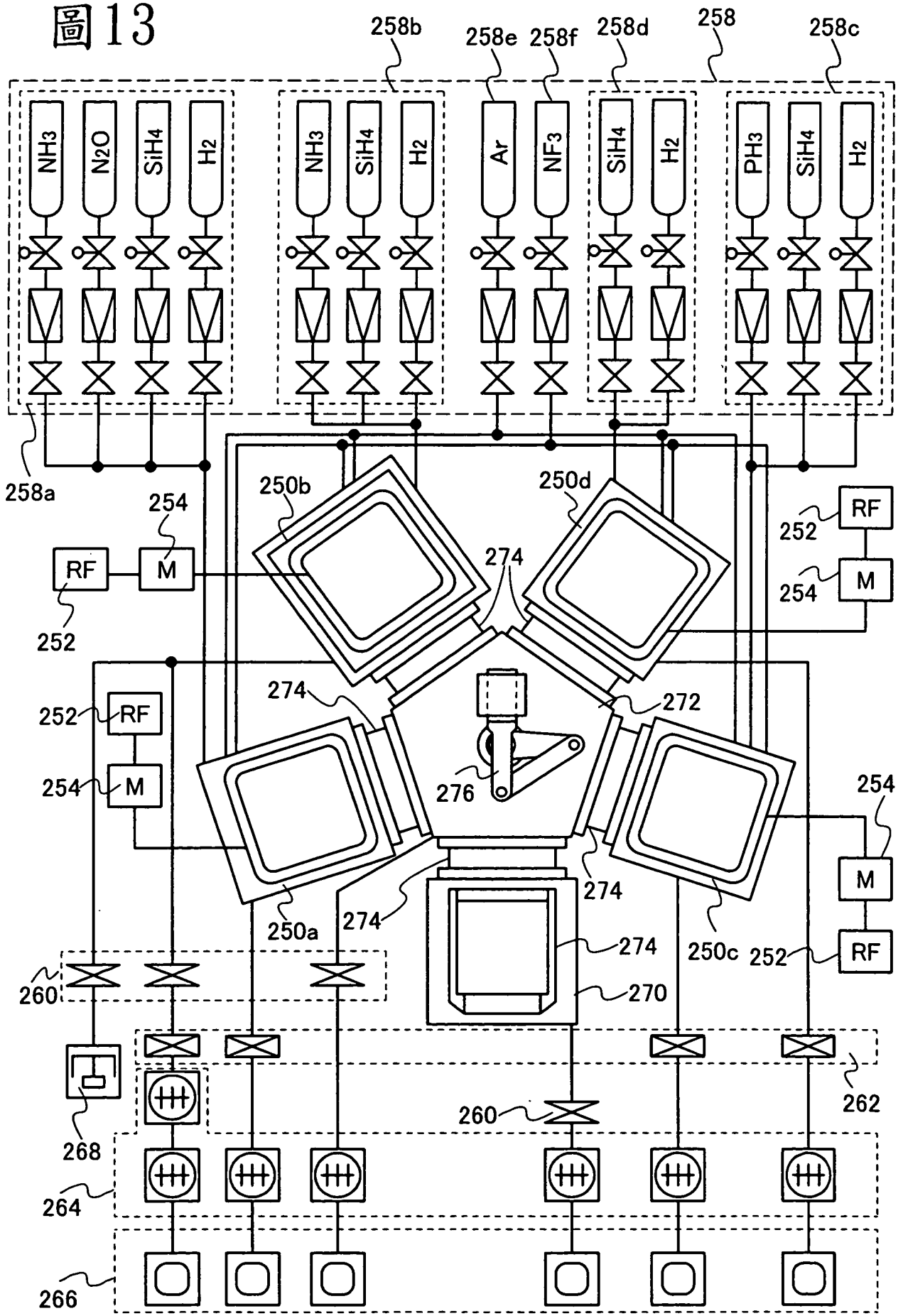


圖 14A

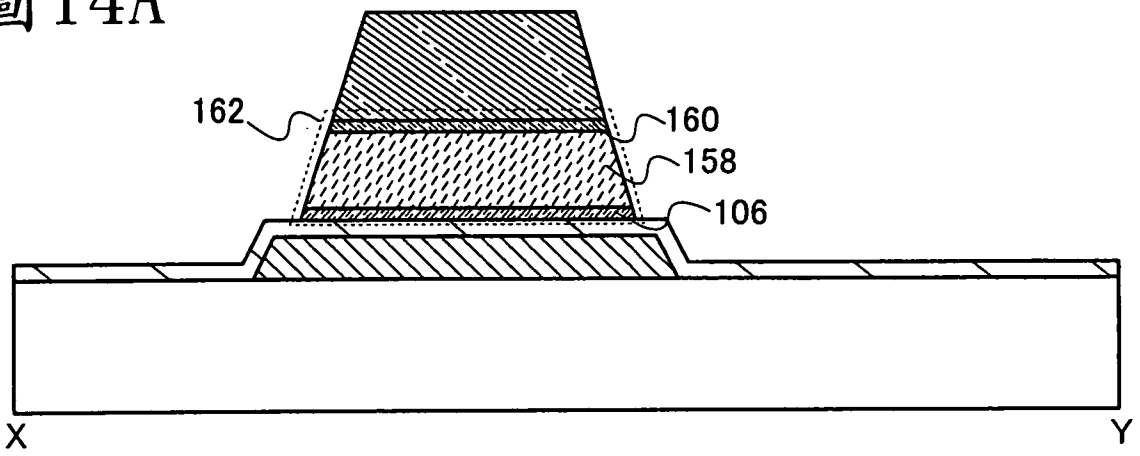


圖 14B

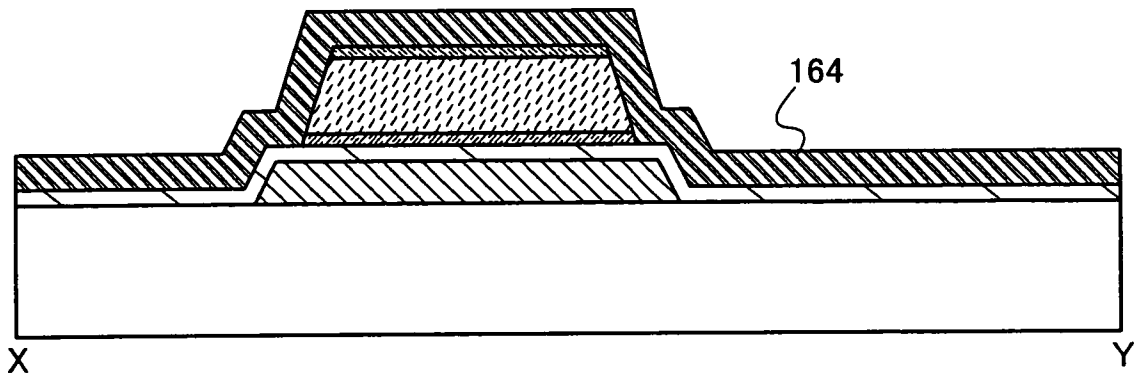


圖 14C

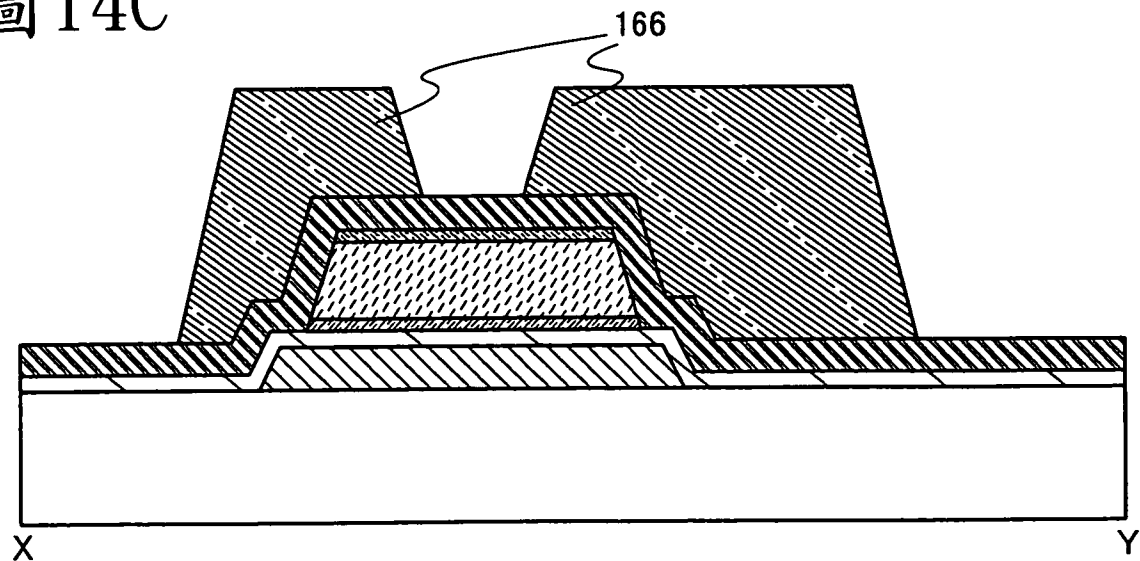


圖 15A

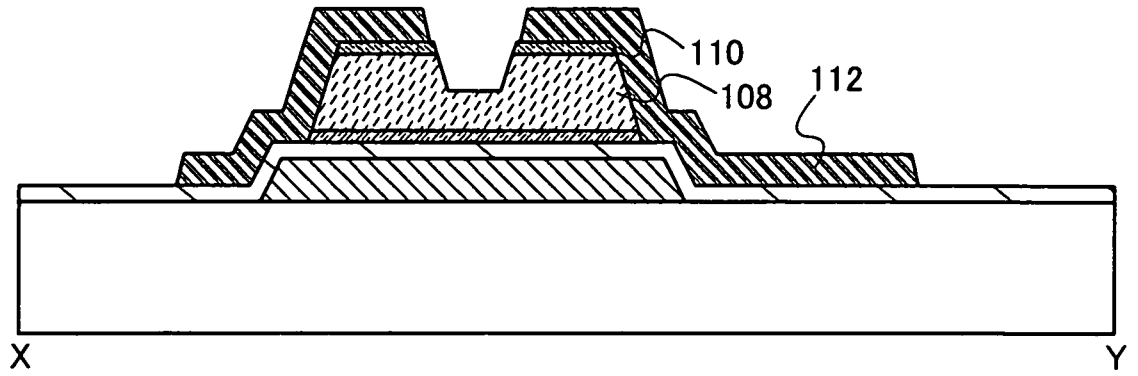


圖 15B

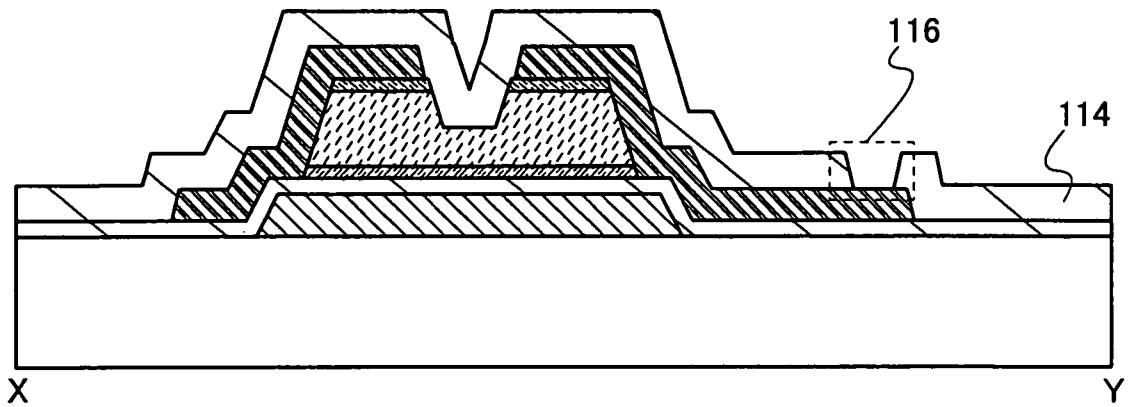


圖 15C

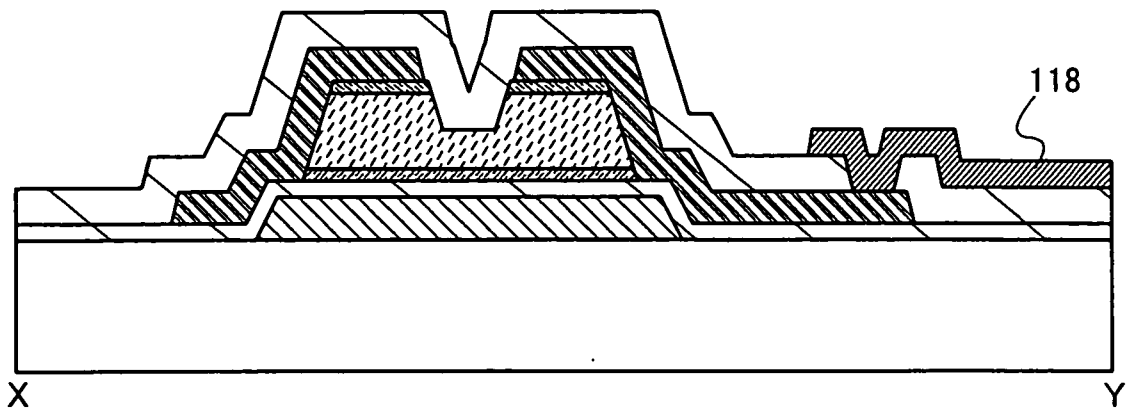


圖 16

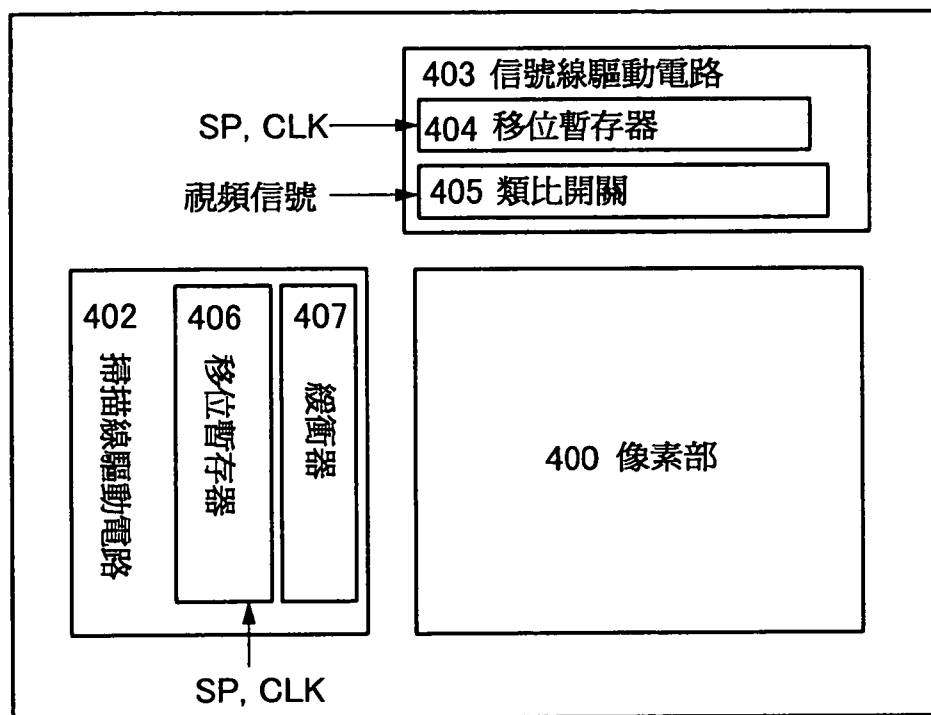


圖17A

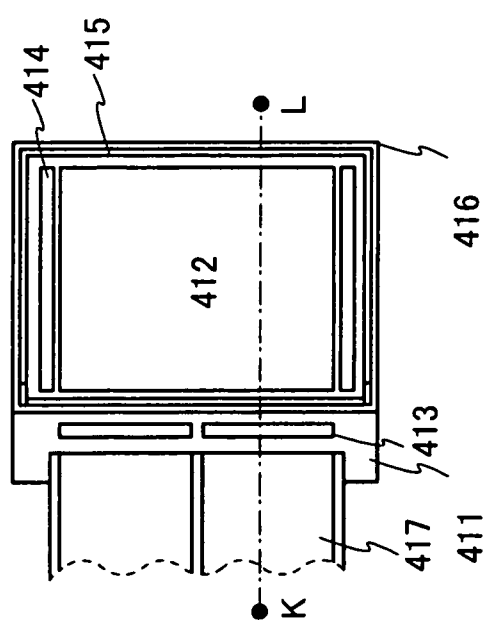


圖17B

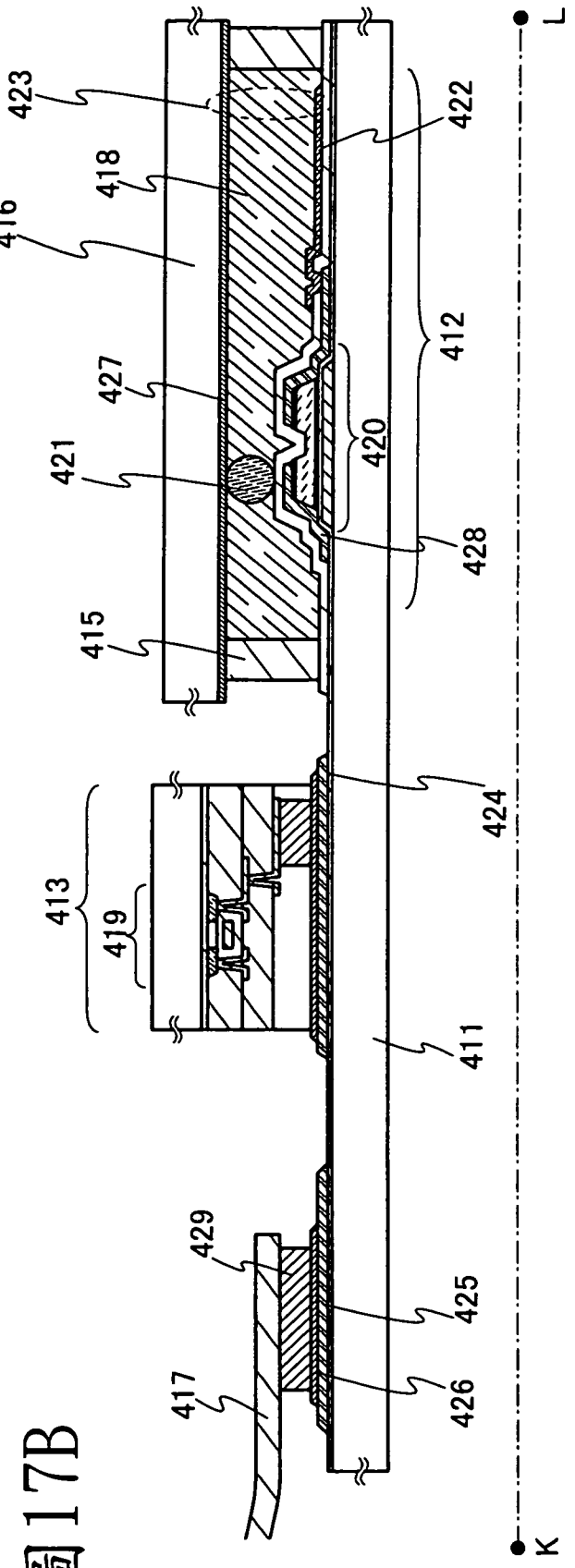




圖18A

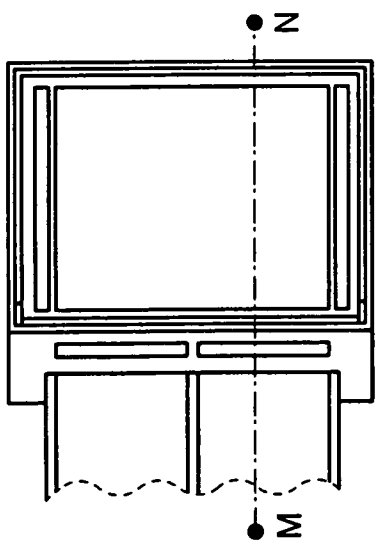


圖18B

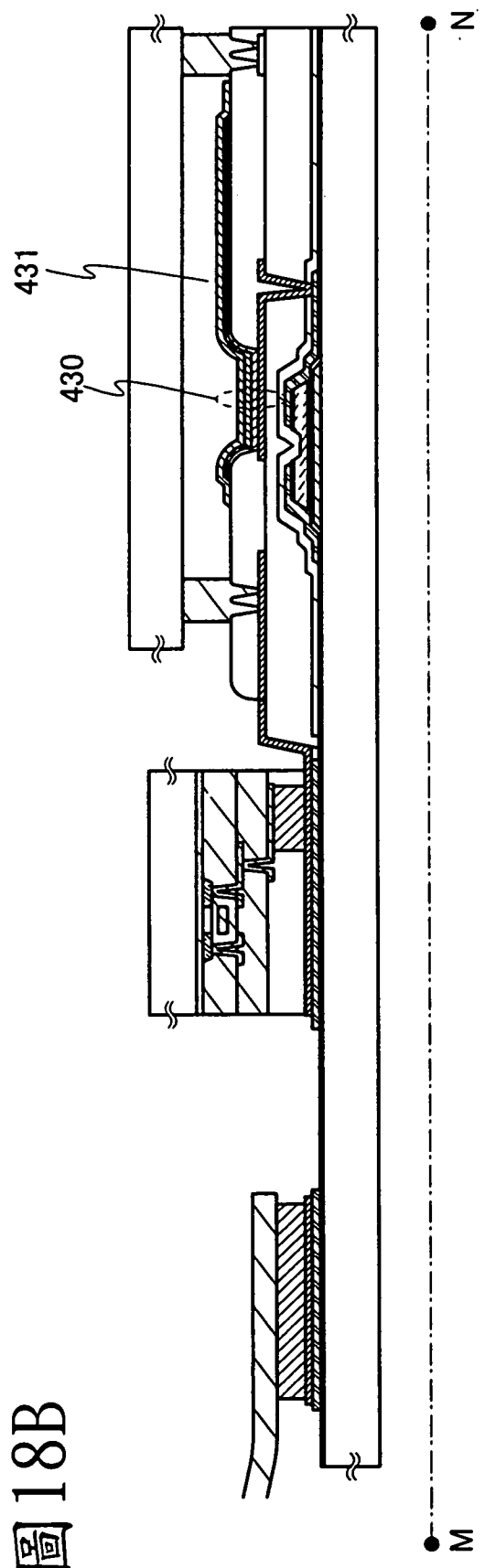


圖 19A

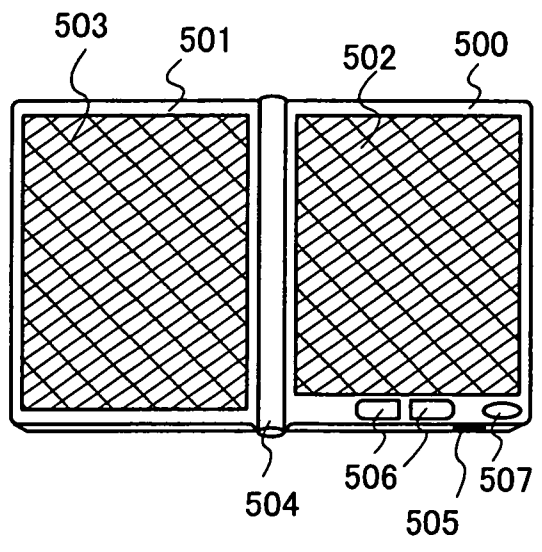


圖 19B

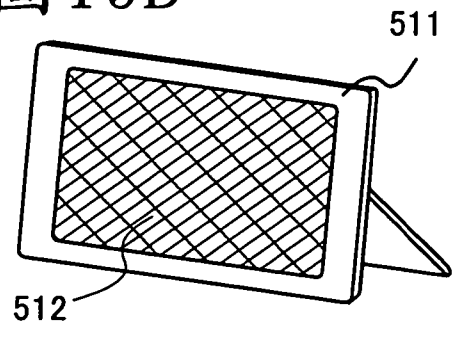


圖 19C

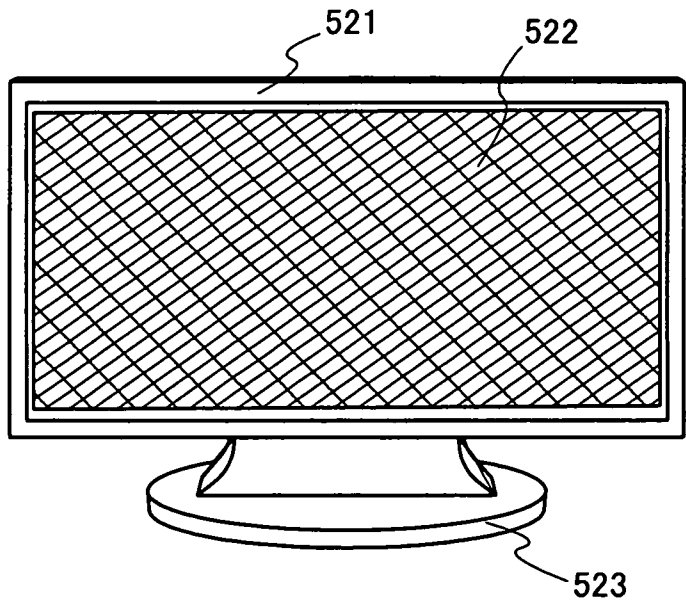


圖 19D

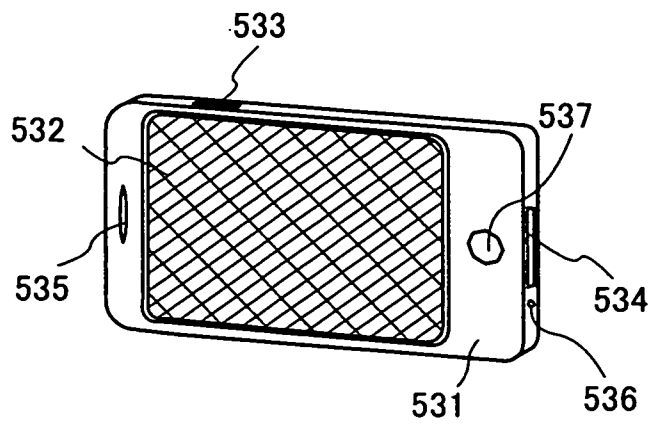


圖 20A

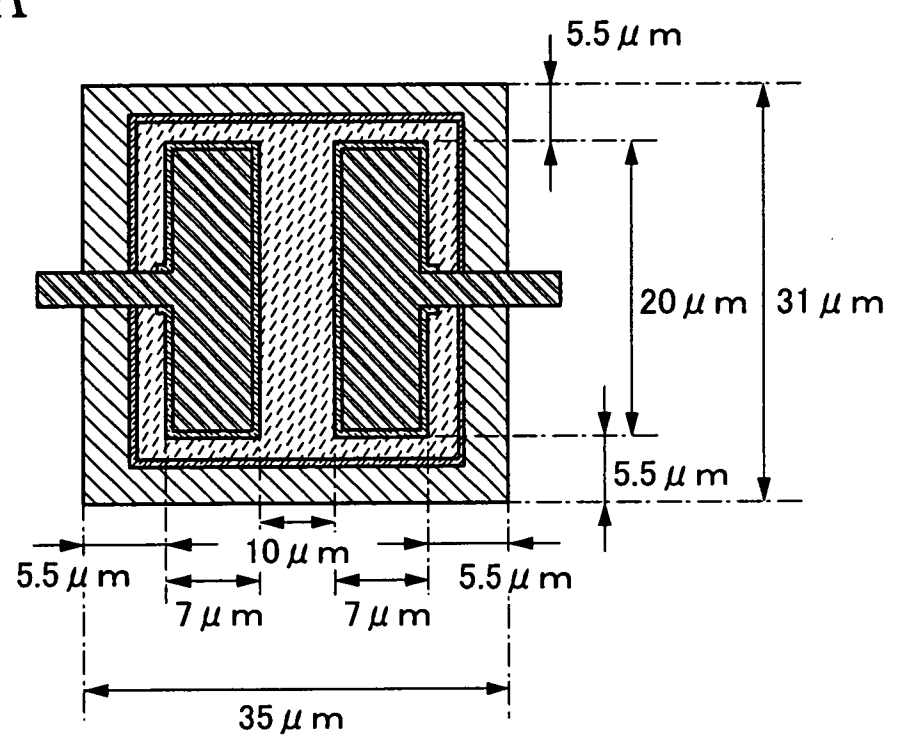


圖 20B

