(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 27/04

(45) 공고일자 2004년09월13일
(11) 등록번호 10-0448242
(24) 등록일자 2004년09월01일

(21) 출원번호 10-2002-0023021
(22) 출원일자 2002년04월26일
(65) 공개번호 10-2003-0084348
(43) 공개일자 2003년11월01일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 윤동수
경기도이천시대월면사동리441-1현대전자사원아파트109-704

(74) 대리인 특허법인 신성

심사관 : 전범재

(54) 반도체 소자의 캐패시터 상부전극 제조방법

요약

본 발명은 반도체 소자의 캐패시터 제조시 산소충진공정이 포함된 상부전극 형성방법을 적용하여 특성을 향상시킨 캐패시터 제조방법에 관한 것으로, 이를 위한 본 발명은 기판상에 하부전극과 유전체를 차례로 형성하는 단계; 상기 유전체 상에 50 100Å의 두께를 갖는 제1 티타늄질화막을 형성하는 단계; 상기 제1 티타늄질화막에 산소를 충진시키되, 산소를 충진시키는 공정은 오존분위기(O_3), 산소분위기, 산소플라즈마 분위기, N_2O 분위기, N_2O 플라즈마 분위기, N_2+O_2 분위기, N_2+O_2 플라즈마 분위기 또는 전술한 여러 분위기를 혼합한 분위기에서 5초 1분 동안 급속열처리 하는 단계; 및 상기 제1 티타늄질화막 상에 도전층을 형성하는 단계를 포함하여 이루어진다.

대표도

도 2b

색인어

상부전극, 산소충진, 티타늄질화막

명세서

도면의 간단한 설명

도1은 종래기술에 따른 캐패시터 제조공정을 도시한 순서도,
도2a 내지 도2b는 본 발명의 일실시예에 따른 캐패시터 제조공정을 도시한 단면도,
도3은 본 발명의 일실시예에 따른 캐패시터 제조공정을 도시한 순서도.
도면의 주요부분에 대한 부호의 설명
20 : 기판
21 : 제1 절연막
22 : 플러그

23 : 제2 절연막
24 : 하부전극
25 : 유전체
26 : 제1 티타늄질화막
27 : 제2 티타늄질화막
28 : 도핑된 폴리실리콘

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 상부전극 형성시에, 상부전극을 2단계로 형성하고 산소충진 공정을 도입하여 캐패시터의 특성을 향상시킨 것이다.
현재, 반도체 메모리 소자는 크게 RAM(Random Access Memory)과 ROM(Read only Memory)로 구분할 수가 있다. 특히, RAM은 다시 다이나믹램(Dynamic RAM, 이하 DRAM이라 칭함)과 스태틱램(Static RAM)으로 나눠지며, 이 중에서도 DRAM은 1개의 트랜지스터(transistor)와 1개의 캐패시터로 1개의 단위셀(unit cell)이 구성되어 집적도에서 가장 유리하기 때문에 메모리 시장을 주도하고 있다.
반도체 소자에서 사용되는 캐패시터는 하부전극, 유전체 및 상부전극이 적층되어 구성되는데, 이와 같은 캐패시터 제조공정을 도1을 참조하여 설명한다.
도1은 종래의 캐패시터 제조공정을 도시한 순서도로서 먼저, 소정공정이 완료된 반도체 기판상에 캐패시터의 하부전극을 형성하는 단계가 도시되어 있다. 캐패시터의 하부전극으로는 폴리실리콘이나 금속물질이 사용될 수 있으며, 또는 여러가지 물질이 적층된 구조가 캐패시터의 하부전극으로 적용되기도 한다.
다음으로, 하부전극 상에 캐패시터의 유전체를 형성하는 단계를 수행한다. 초기에는 캐패시터의 유전체로 SiO_2/Si_3N_4 등의 실리콘 화합물을 이용하였는데, 메모리 셀의 집적도가 증가함에 따라, 좁은 면적에서도 충분한 캐패시턴스를 확보하기 위해서 고유전율을 갖는 새로운 유전물질을 사용하게 되었다.
탄탈륨산화막(Ta_2O_5), Al_2O_3, $SrTiO_3$, TaON 등의 고유전물질이나 $(Bi,La)_4Ti_3O_{12}$ (이하 BLT), $SrBi_2Ta_2O_9$ (이하 SBT), $Sr_xBi_y(Ta_iNb_j)_2O_9$ (이하 SBTN), $Ba_xSr_{(1-x)}TiO_3$ (이하, BST), $Pb(Zr,Ti)O_3$ (이하 PZT) 와 같은 강유전체는 종래의 ONO 유전물질에 비해 수배에서 수십배에 달하는 유전율을 가지고 있기 때문에 제한된 면적에서도 충분한 캐패시턴스를 확보할 수 있어, 이에 대한 연구가 활발히 이루어지고 있으며 탄탈륨 유전체(Ta_2O_5, TaON)의 경우는 공정에 적용되고 있다.
탄탈륨 유전체을 캐패시터의 유전체로 사용할 경우에는, 800℃ 이상의 고온에서 탄탈륨 유전체를 증착한 뒤에, 탄탈륨 유전체를 결정화시키면서 탄탈륨 유전체에 산소를 공급하기 위한 열처리 단계가 수행된다.
이와 같은 유전체 열처리 단계 이후에, 유전체상에 상부전극을 형성한다. 캐패시터의 상부전극으로는 폴리실리콘이나 티타늄질화막을 사용할 수도 있으며 또는 백금, 이리듐, 루테늄 등 귀금속물질을 상부전극으로 사용하기도 한다.
상부전극으로 티타늄질화막과 폴리시리콘이 적층된 구조를 사용하는 경우에는, 티타늄질화막을 먼저 300Å 정도의 두께로 형성하고, 상기 티타늄질화막 상의 단차를 따라 도핑된 폴리실리콘을 1000 3000 Å의 두께로 증착하여 상부전극 구 조를 완성한다.
종래에는 이와 같이 상부전극을 형성하는 단계 이후에, 도핑된 폴리실리콘 내의 도판트(dopant)들의 활성화, 유전체와 상부전극간의 계면특성향상, 유전체의 안정화 등을 위하여 700 800℃의 온도, 질소분위기에서 30분 정도의 열처리 단계를 수행하였다.
하지만 이러한 열처리 단계는 유전체와 상부전극 물질인 티타늄질화막 간의 계면반응을 유발하여 저유전상수를 가지는 티타늄산화물을 형성하므로, 캐패시터의 충전용량을 감소시키며 또한, 유전체에 공급된 산소 중 일부를 티타늄질화막에 빼앗기게 됨에 따라, 유전체 내에는 금속성분이 많아지게 되어, 누설전류가 증가하는 등 캐패시터 특성이 열화되는 단점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로, 캐패시터 상부전극과 유전체 사이의 계면에 저유전율을 갖는 산화막이 생성되는 것을 억제하여, 특성을 향상시킨 캐패시터 제조방법을 제공함을 그 목적으로 한다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명은, 기판상에 하부전극과 유전체를 차례로 형성하는 단계; 상기 유전체 상에 50 100Å의 두께를 갖는 제1 티타늄질화막을 형성하는 단계; 상기 제1 티타늄질화막에 산소를 충진시키되, 산소를

충진시키는 공정은 오존분위기(O_3), 산소분위기, 산소플라즈마 분위기, N_2O 분위기, N_2O 플라즈마 분위기, N_2+O_2 분위기, N_2+O_2 플라즈마 분위기 또는 전술한 여러 분위기를 혼합한 분위기에서 5초 1분 동안 급속열처리 하는 단계; 및 상기 제1 티타늄질화막 상에 도전층을 형성하는 단계를 포함하여 이루어진다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.

도2a 내지 도2b는 본 발명에 따른 캐패시터 제조공정을 도시한 단면도로서 이를 참조하여 설명하면, 먼저 트랜지스터, 비트라인, 워드라인 등의 소정공정이 완료된 반도체 기판(20) 상에 제1 절연막(21)을 형성한 후에, 제1 절연막(21)을 관통하여 상기 기판(20)에 콘택되는 플러그 (22)를 형성한다. 플러그 물질로는 폴리실리콘 또는 텅스텐 등이 사용될 수 있으며, 콘택플러그 구조에는 물질 상호간의 확산을 막는 확산방지막과 오믹접촉을 이루는 실리사이드층이 통상적으로 적용된다.

다음으로 플러그(22)를 포함하는 제1 절연막(21) 상에 제2 절연막(23)을 형성하고, 상기 제2 절연막(23)을 선택적으로 식각하여 콘택플러그 부분을 노출시키는 트렌치 홀을 형성한다. 여기서 트렌치 홀을 캐패시터의 하부전극영역을 정의한다.

상기 제1 내지 제2 절연막은 모든 종류의 유리질 실리콘 산화막 (예를 들면 USG, PSG, TEOS, HTO, PE-TEOS, SOG 등)을 이용하여 형성할 수 있으며, 통상적인 화학기상증착법 (Chemical Vapor Deposition : CVD)또는 플라즈마 인핸스드 화학기상증착법 (Plasma Enhanced CVD)을 이용하여 형성한다.

다음으로 트렌치 홀을 포함한 제2 절연막(23) 상에 하부전극을 적절한 두께 로 증착하고, 제2 절연막(23)의 표면이 노출될 때까지 화학기계연마 (Chemical Mechanical Polishing : CMP)를 수행하여 고립된 하부전극(24)을 형성한다.

하부전극(24)으로는 폴리실리콘, 백금(Pt), 티타늄질화막(TiN), 루테늄(Ru), 루테늄산화막(RuO_2), 이리듐(Ir), 이리듐산화막(IrO_2) 등이 사용될 수 있으며 또는 이들을 적층하여 사용할 수도 있다.

하부전극(24)을 형성하고 난 뒤에, 하부전극을 포함한 제2 절연막(23) 상에 유전체(25)를 형성하는데, 유전체(25)로는 Ta_2O_5, TaON 등의 고유전체와 SiO_2/Si_3N_4 등의 통상적인 유전체 또는 $(Bi,La)_4Ti_3O_{12}$ (이하 BLT), $SrBi_2Ta_2O_9$ (이하 SBT), $Sr_xBi_y(Ta_iNb_j)_2O_9$ (이하 SBTN), $Ba_xSr_{(1-x)}TiO_3$ (이하, BST), $Pb(Zr,Ti)O_3$ (이하 PZT) 와 같은 강유전체가 사용될 수 있으며, 화학기상증착법 또는 원자층증착법 (Atomic Layer Deposition : ALD)을 이용하여 형성한다.

본 발명의 일실시예에서는 탄탈륨 유전체를 적용하였으며, 탄탈륨 유전체는 800℃ 이상의 고온에서 증착되며, 탄탈륨 유전체를 형성하고 난 후에, 탄탈륨 유전체의 결정화 및 산소공급을 위하여 800℃ 이상의 온도와 산소분위기에서 한번의 열처리 단계가 수행된다.

이와 같은 유전체 열처리 단계 이후에 상부전극을 형성하는데, 본 발명의 일실시예에 따른 산소를 충진시키는 공정이 포함된 상부전극 형성방법에 대해 도2b를 참조하여 설명한다.

본 발명의 일실시예에서는 상부전극으로 티타늄질화막과 도핑된 폴리실리콘 이 적층된 구조를 사용하는데, 티타늄질화막은 $TiCl_4$ 선구물질과 NH_3 가스를 이용하여 화학기상증착법 또는 원자층증착법을 이용하여 형성된다.

본 발명의 일실시예에서는, 티타늄질화막 형성은 2단계로 진행되는데 먼저, 50 100Å 정도의 매우 얇은 두께를 갖는 제1 티타늄질화막(26)을 증착한 후, 산소분위기에서 짧은 시간동안 열처리를 수행하여 제1 티타늄질화막(26)에 산소를 충진시킨다.

본 발명의 일실시예에 따른 제1 티타늄질화막은 얇은 두께를 갖고 있기 때문에 산소충진이 용이하다. 하지만, 산소충진 공정이 수행되는 동안에 제1 티타늄질화막(26)은 완전히 산화되어 부도체가 되어서는 안되며, 산소와 결합하더라도 전도체로서의 성질을 갖고 있어야 한다.

제1 티타늄질화막(26)에 산소를 충진시키기 위한 열처리는 400 700℃의 온도에서 5초 내지 1분동안 급속열처리 방식으로 수행되는데, 이러한 열처리는 여러 분위기에서 수행될 수 있다.

우선, 산소분위기, 오존분위기(O_3), 산소플라즈마 분위기 등과 같이 산소가 포함된 분위기에서 수행될 수 있으며 또한, N_2O 분위기, N_2O 플라즈마 분위기, N_2+O_2 분위기, N_2+O_2 플라즈마 분위기 등과 같이 질소와 산소가 포함된 분위기에서 수행될 수도 있다. 또는 전술한 여러 분위기를 혼합한 분위기에서 열처리가 수행될 수도 있다.

전술한 여러 분위기에서 5초 내지 1분 동안 급속열처리하면 상기 제1 티타늄 질화막(26)에 충분한 산소를 공급해 줄 수 있다.

이러한 열처리 이후에 나머지 티타늄질화막(27)을 100 400Å의 두께로 형성하고, 그 상부에 도핑된 폴리실리콘(28)을 1000 3000Å의 두께로 형성하여 상부전극 구조를 완성한다.

이후에 도핑된 폴리실리콘 내부의 도판트(dopant)들의 활성화, 유전체와 상부전극간의 계면특성향상, 유전체의 안정화 등을 위하여, 종래와 같이 600 800℃의 온도, 질소분위기에서 30분 정도의 열처리 단계를 수행한다.

600 800℃의 온도, 질소분위기에서 수행되는 열처리는 퍼니스(furnace)에서 20 40분 동안 수행될 수 있으며, 급속열처리를 이용하는 경우에는 1분 3분 동안 수행된다.

이와같이 얇은 두께의 제1 티타늄질화막(26)을 먼저 형성하고 산소를 공급해 주는 열처리를 수행하면, 티타늄질화막의 전기적인 저항은 조금 증가하게 되지만, 티타늄질화막에 산소가 충진되어 있으므로 후속 열처리시에 상부전극이 유전체로부터 산소를 빼앗아 가는 경우가 감소하기 때문에 누설전류도 감소하게 되며, 유전체와 티타늄질화막 사이의 계면에서 티타늄산화물의 형성도 억제되어 유전율 감소와 같은 단점이 억제되는 효과가 있다.

본 발명은 도3에 도시된 바와 같이 상부전극형성을 2단계로 진행하고, 제1 상부전극형성 후, 제1 상부전극에 산소를 충진시키기 위한 열처리 공정을 도입하여 유전체의 특성저하를 방지하고 상부전극과 유전체 사이의 계면에 저유전율을 갖는 산화물의 생성을 억제한 것이다.

본 발명의 일실시예에서는 상부전극으로 티타늄질화막과 폴리실리콘이 적층되는 구조를 사용하였지만, 상부전극으로 루테늄, 루테늄산화물, 이리듐, 이리듐산화물 등을 사용하는 경우에는 상부전극 형성후, 산소를 충진시켜 주는 공정을 추가하면 유사한 효과를 얻을 수 있다.
이상에서 설명한 바와 같이 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

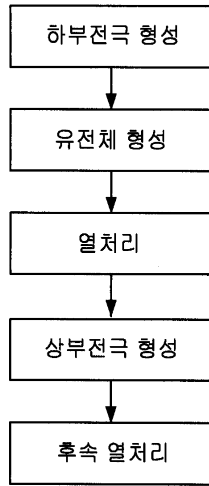
본 발명을 반도체 소자의 캐패시터 제조공정에 적용하게 되면, 상부전극과 유전체 사이의 계면에 저유전율막이 생성되는 것을 억제할 수 있으며, 또한 상부전극 증착시 유전체의 표면에 손상된 부분을 완전히 회복시킬 수 있으므로 신뢰성 있고 전기적인 특성이 우수한 캐패시터를 제조할 수 있다.

(57) 청구의 범위

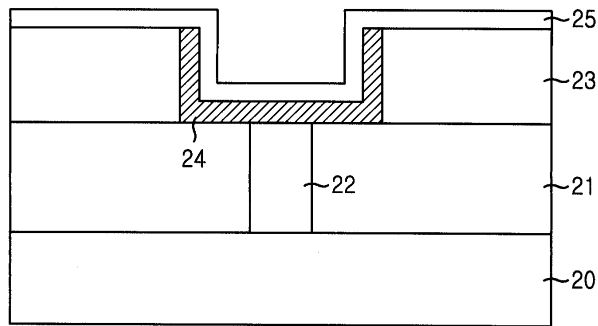
청구항 1.
기판상에 하부전극과 유전체를 차례로 형성하는 단계;
상기 유전체 상에 50 100Å의 두께를 갖는 제1 티타늄질화막을 형성하는 단계;
상기 제1 티타늄질화막에 산소를 충진시키되, 산소를 충진시키는 공정은 오존분위기(O_3), 산소분위기, 산소플라즈마 분위기, N_2O 분위기, N_2O 플라즈마 분위기, N_2+O_2 분위기, N_2+O_2 플라즈마 분위기 또는 전술한 여러 분위기를 혼합한 분위기에서 5초 1분 동안 급속열처리 하는 단계; 및
상기 제1 티타늄질화막 상에 도전층을 형성하는 단계
를 포함하는 반도체 소자의 캐패시터 제조방법.
청구항 2.
삭제
청구항 3.
삭제
청구항 4.
제1항에 있어서,
상기 제1 티타늄질화막은 $TiCl_4$ 선구물질과 NH_3 가스를 이용하여 화학기상증착법 또는 원자층증착법을 이용하여 형성되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.
청구항 5.
제1항에 있어서,
상기 제1 티타늄질화막 상에 도전층을 형성하는 단계는,
상기 제1 티타늄질화막상에 제2 티타늄질화막과 도핑된 폴리실리콘을 적층하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.
청구항 6.
제5항에 있어서,
상기 제2 티타늄질화막은 100 400Å의 두께를 갖는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.
청구항 7.
제5항에 있어서,
상기 도핑된 폴리실리콘은 1000 3000Å의 두께를 갖는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.
청구항 8.
제5항에 있어서,
상기 제1 티타늄질화막 상에 도전층을 형성하는 단계는
질소분위기에서 열처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.
청구항 9.
제8항에 있어서,
상기 질소분위기에서 열처리하는 단계는
퍼니스에서 600 800℃의 온도와 20 40분 동안 수행되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.
청구항 10.
제8항에 있어서,
상기 질소분위기에서 열처리하는 단계는
600 800℃의 온도에서 1분 3분 동안 급속열처리 하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

도면

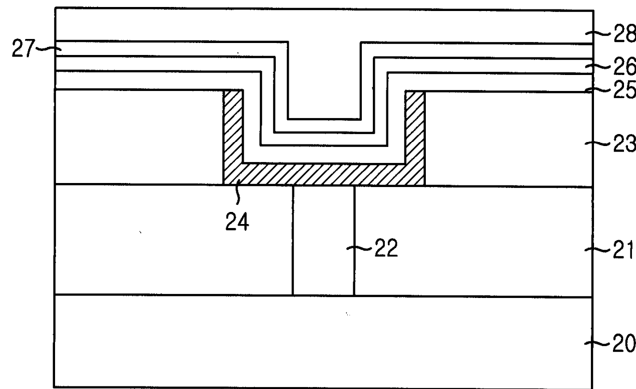
도면1



도면2a



도면2b



도면3