

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3648499号
(P3648499)

(45) 発行日 平成17年5月18日(2005.5.18)

(24) 登録日 平成17年2月18日(2005.2.18)

(51) Int. Cl.⁷

F I

HO 1 L	21/336	HO 1 L	29/78	3 O 1 P
HO 1 L	21/28	HO 1 L	21/28	A
HO 1 L	21/76	HO 1 L	21/28	3 O 1 D
HO 1 L	21/8238	HO 1 L	27/08	3 3 1 A
HO 1 L	21/8244	HO 1 L	27/10	3 8 1

請求項の数 11 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2002-210666 (P2002-210666)
 (22) 出願日 平成14年7月19日(2002.7.19)
 (65) 公開番号 特開2004-55791 (P2004-55791A)
 (43) 公開日 平成16年2月19日(2004.2.19)
 審査請求日 平成15年7月11日(2003.7.11)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100088889
 弁理士 橘谷 英俊
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康
 (74) 代理人 100107582
 弁理士 関根 毅

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法、及び、半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1のM I S F E Tと第2のM I S F E Tとを有する半導体装置の製造方法であって、
 半導体基板に埋め込み絶縁膜を形成する工程と、
 第1の拡散層を有する第1のM I S F E Tと第2の拡散層を有する第2のM I S F E T
 とを、前記埋め込み絶縁膜で素子分離して、形成する工程と、
 前記半導体基板の表面側を、クリーニング液によりクリーニングする工程と、
 前記クリーニングをする工程の前に、前記埋め込み絶縁膜の表面側と、前記第1のM I
 S F E Tの前記第1の拡散層の一部と、前記第2のM I S F E Tの前記第2の拡散層の一
 部とを、前記クリーニング液に対して耐性を有する保護膜で覆う工程と、
 を備えるとともに、
 前記クリーニングをする工程の後に、前記第1のM I S F E Tの前記第1の拡散層と前
 記第2のM I S F E Tの前記第2の拡散層とに、サリサイドメタル層を形成する工程と、
 前記保護膜の直接上に、前記保護膜を跨いで前記第1のM I S F E Tの前記第1の拡散
 層と前記第2のM I S F E Tの前記第2の拡散層とを接続する配線層を形成する工程と、
 を備えることを特徴とする半導体装置の製造方法。

【請求項2】

前記クリーニング液は、弗酸系の溶液である、ことを特徴とする請求項1に記載の半導
 体装置の製造方法。

【請求項3】

10

20

前記弗酸系の溶液は、フッ化水素（HF）、又は、フッ化アンモニウム（NH₄F）の溶液である、ことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】

前記保護膜は、弗酸系の溶液に耐性を有する材料で形成されている、ことを特徴とする請求項2又は請求項3に記載の半導体装置の製造方法。

【請求項5】

前記保護膜は、シリコン窒化膜により形成されている、ことを特徴とする請求項1乃至請求項4のいずれかに記載の半導体装置の製造方法。

【請求項6】

前記第1のMISFETと前記第2のMISFETのゲート電極の側壁部分に、サイドウォールを形成する工程をさらに備えるとともに、

前記サイドウォールと前記保護膜は同一の材料で形成されている、ことを特徴とする請求項1乃至請求項5のいずれかに記載の半導体装置の製造方法。

【請求項7】

前記第1のMISFETは、P型のMISFETであり、前記第2のMISFETはN型のMISFETである、ことを特徴とする請求項1乃至請求項6のいずれかに記載の半導体装置の製造方法。

【請求項8】

第1のMISFETと第2のMISFETとを有する半導体装置であって、

半導体基板に形成された、埋め込み絶縁膜と、

第1の拡散層を有する第1のMISFETと、

前記第1のMISFETに対して前記埋め込み絶縁膜により素子分離された、第2の拡散層を有する第2のMISFETと、

前記埋め込み絶縁膜の表面側全体と、前記第1のMISFETの前記第1の拡散層の一部と、前記第2のMISFETの前記第2の拡散層の一部とを覆う、弗酸系の溶液に対して耐性を有する材料により形成された、保護膜と、

前記第1のMISFETの前記第1の拡散層と前記第2のMISFETの前記第2の拡散層において、前記保護膜に対して自己整合的に形成されたサリサイドメタル層と、

前記保護膜の直接上に、前記保護膜を跨ぐように形成されて、前記第1のMISFETの前記第1の拡散層と前記第2のMISFETの前記第2の拡散層とを接続する配線層と

を備えることを特徴とする半導体装置。

【請求項9】

前記保護膜は、シリコン窒化膜により形成されている、ことを特徴とする請求項8に記載の半導体装置。

【請求項10】

前記第1のMISFETと前記第2のMISFETのゲート電極の側壁部分に形成された、前記保護膜と同一材料のサイドウォールを、さらに備えることを特徴とする請求項8に記載の半導体装置。

【請求項11】

前記第1のMISFETは、P型のMISFETであり、前記第2のMISFETはN型のMISFETである、ことを特徴とする請求項8乃至請求項10のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法、及び、半導体装置に関し、特に、良好な特性を有する半導体素子を形成する半導体装置の製造方法、及び、半導体装置に関する。

【0002】

【従来の技術】

10

20

30

40

50

近年の半導体装置においては、ポリシリコン配線及び拡散層の低抵抗化を図るために、これらの表面側にサリサイドメタル層が形成されている。このサリサイドメタル層を形成する場合には、ポリシリコン配線及び配線層に、均一なサリサイドメタル層を形成することが求められている。このようなサリサイドメタル層を形成するための製造工程は、例えば、特開平 8 - 2 5 0 7 1 6 号に開示されている。

【 0 0 0 3 】

図 1 乃至図 3 に基づいて、特開平 8 - 2 5 0 7 1 6 号などに開示されている、従来の半導体装置の製造工程を説明する。図 1 は、サリサイドメタル層を形成する前における従来の半導体装置の断面を示す図であり、図 2 は、サリサイドメタル層を形成した後における従来の半導体装置の断面を示す図である。図 3 は、図 2 の平面図である。

10

【 0 0 0 4 】

図 1 に示すように、サリサイドメタル層を形成する前に、均一なサリサイドメタル層を形成するために、希 H F によりクリーニングを行う。すなわち、P⁺ 拡散層 1 0、1 0 の表面、N⁺ 拡散層 1 2、1 2 の表面、及び、ポリシリコン層により構成されたゲート電極 1 4 の表面に形成された自然酸化膜及び異物の除去を行う。

【 0 0 0 5 】

次に、図 2 に示すように、P⁺ 拡散層 1 0、1 0 の表面、N⁺ 拡散層 1 2、1 2 の表面、及び、ポリシリコン層により構成されたゲート電極 1 4 の表面に、サリサイドメタル層を形成する。

【 0 0 0 6 】

【 発明が解決しようとする課題 】

しかしながら、従来の製造方法では、希 H F でのクリーニング処理中に、素子分離用の埋め込み絶縁膜 2 0 を形成するシリコン酸化膜 (S i O₂) が、希 H F により溶け出してしまうという問題があった。すなわち、次の化学式のように S i O₂ と H F が反応し、水ガラスが析出してしまいう問題があった。

20

【 0 0 0 7 】



特に図 3 に示すように、この析出した水ガラス 3 0 が、P⁺ 拡散層 1 0、1 0 の表面、N⁺ 拡散層 1 2、1 2 の表面、及び、ポリシリコン層により構成されたゲート電極 1 4 の表面に付着した場合、この水ガラス 3 0 がマスク材のように働いてしまう。このため、図 2 に示すように、水ガラス 3 0 の部分にサリサイドメタル層が形成されなくなってしまう、均一なサリサイドメタル層を得ることができなくなってしまう。均一なサリサイドメタル層が形成されなくなると、P⁺ 拡散層 1 0、1 0、N⁺ 拡散層 1 2、1 2、及び、ポリシリコン層により構成されたゲート電極 1 4 の抵抗が増加し、半導体素子としての M I S F E T の特性を悪化させてしまう。

30

【 0 0 0 8 】

また、図 2 に示す半導体装置においては、埋め込み絶縁膜 2 0 の高さ、ゲート電極 1 4 の高さが異なっており、両者の間に段差が生じている。このため、この上に層間絶縁膜を形成した場合に、その層間絶縁膜の平坦性が悪化するという問題もある。

【 0 0 0 9 】

そこで本発明は、前記課題に鑑みてなされたものであり、均一なサリサイドメタル層が形成されて、良好な特性の半導体素子を有する半導体装置の製造方法及び半導体装置を提供することを目的とする。また、層間絶縁膜の平坦性を容易に確保することのできる半導体装置の製造方法及び半導体装置を提供することを目的とする。

40

【 0 0 1 0 】

【 課題を解決するための手段 】

本発明に係る半導体装置の製造方法は、

第 1 の M I S F E T と第 2 の M I S F E T とを有する半導体装置の製造方法であって、半導体基板に埋め込み絶縁膜を形成する工程と、

第 1 の拡散層を有する第 1 の M I S F E T と第 2 の拡散層を有する第 2 の M I S F E T

50

とを、前記埋め込み絶縁膜で素子分離して、形成する工程と、

前記半導体基板の表面側を、クリーニング液によりクリーニングする工程と、

前記クリーニングをする工程の前に、前記埋め込み絶縁膜の表面側と、前記第1のMISFETの前記第1の拡散層の一部と、前記第2のMISFETの前記第2の拡散層の一部とを、前記クリーニング液に対して耐性を有する保護膜で覆う工程と、

を備えるとともに、

前記クリーニングをする工程の後に、前記第1のMISFETの前記第1の拡散層と前記第2のMISFETの前記第2の拡散層とに、サリサイドメタル層を形成する工程と、

前記保護膜の直接上に、前記保護膜を跨いで前記第1のMISFETの前記第1の拡散層と前記第2のMISFETの前記第2の拡散層とを接続する配線層を形成する工程と、

を備えることを特徴とする。

10

【0011】

本発明に係る半導体装置は、

第1のMISFETと第2のMISFETとを有する半導体装置であって、

半導体基板に形成された、埋め込み絶縁膜と、

第1の拡散層を有する第1のMISFETと、

前記第1のMISFETに対して前記埋め込み絶縁膜により素子分離された、第2の拡散層を有する第2のMISFETと、

前記埋め込み絶縁膜の表面側全体と、前記第1のMISFETの前記第1の拡散層の一部と、前記第2のMISFETの前記第2の拡散層の一部とを覆う、弗酸系の溶液に対して耐性を有する材料により形成された、保護膜と、

20

前記第1のMISFETの前記第1の拡散層と前記第2のMISFETの前記第2の拡散層において、前記保護膜に対して自己整合的に形成されたサリサイドメタル層と、

前記保護膜の直接上に、前記保護膜を跨ぐように形成されて、前記第1のMISFETの前記第1の拡散層と前記第2のMISFETの前記第2の拡散層とを接続する配線層と

を備えることを特徴とする。

【0013】

【発明の実施の形態】

〔第1実施形態〕

本発明の第1実施形態は、希HFによりこの半導体装置をクリーニングする前に、少なくとも埋め込み絶縁膜の表面側を希HFに対して耐性のある保護膜で覆うことにより、希HFによるクリーニングの際に、埋め込み絶縁膜が溶け出してしまふのを回避したものである。より詳しくを、以下に説明する。

30

【0014】

まず、図4に示すように、例えばシリコンから構成された半導体基板100に、埋め込み絶縁膜102を形成する。本実施形態においては、この埋め込み絶縁膜102は、シリコン酸化膜(SiO_2)により形成される。また、本実施形態においては、この埋め込み絶縁膜102は、STI製造プロセスにより、形成される。続いて、この半導体基板100の表面側にヒ素等の不純物イオンを打ち込むことにより、N型のウェル110を形成し、半導体基板100の表面側にボロン等の不純物イオンを打ち込むことにより、P型のウェル112とを形成する。

40

【0015】

次に、図5に示すように、この半導体基板100の表面に、シリコン酸化膜等の絶縁膜と、ポリシリコン層とを形成し、これら絶縁膜とポリシリコン層をRIE(Reactive Ion Etching)により、所定のパターンにエッチングすることにより、ゲート絶縁膜114、116とゲート電極120、122を形成する。続いて、P型のウェル112の領域、及び、N型のウェル110の所定の領域をレジスト等で覆い、ボロン等の不純物イオンを打ち込むことにより、 P^+ 拡散層130、130を形成する。これら P^+ 拡散層130、130の一方がソース拡散層となり、他方がドレイン拡散層となる。続いて、これとは反対に

50

、N型のウェル110の領域、及び、P型のウェル112の所定の領域をレジスト等で覆い、ヒ素等の不純物イオンを打ち込むことにより、 N^+ 拡散層132、132を形成する。これら N^+ 拡散層132、132の一方がソース拡散層となり、他方がドレイン拡散層となる。これにより、LDD構造(Lightly Doped Drain Structure)のP型のMISFETと、N型のMISFETとが、形成される。

【0016】

次に、図6に示すように、この半導体基板100の表面に、絶縁膜140を形成する。本実施形態においては、この絶縁膜140は、シリコン窒化膜(SiN)により形成されている。続いて、この埋め込み絶縁膜102の上部を覆うように、絶縁膜140上に、レジスト142をパターニングして形成する。

10

【0017】

次に、図7に示すように、RIEにより絶縁膜140をエッチングすることにより、ゲート電極120、122の側壁部分に、サイドウォール150、152を形成するとともに、埋め込み絶縁膜102上に、この埋め込み絶縁膜102の表面側全体を覆う保護膜154を形成する。すなわち、絶縁膜140をエッチバックすることにより、自己整合的に、サイドウォール150、152を形成する。また、レジスト142で覆われた部分にある絶縁膜140を、エッチングで残すことにより、保護膜154を形成する。この保護膜154は、埋め込み絶縁膜102の表面側全体を覆うが、後述するサリサイドメタル層を形成する領域は少なくとも覆わないように、形成する。続いて、希HFでクリーニングすることにより、この半導体基板100の表面側にある自然酸化膜や異物の除去を行う。この希HFでのクリーニングの際には、埋め込み絶縁膜102は、保護膜154で覆われているので、 SiO_2 の溶解を抑えることができ、水ガラスの生成を抑えることができる。

20

【0018】

次に、図8に示すように、ゲート電極120、122のポリシリコン層の表面側と、拡散層130、132の表面側とに、サリサイドメタル層160、162、170、172を形成する。本実施形態においては、サリサイドメタル層160、162、170、172は、次のように形成する。すなわち、この半導体基板100の表面側に、高融点金属膜を形成する。この高融点金属膜は、例えば、Ti、Mo、W、Ni等から形成される。この高融点金属膜を形成する際には、上述したように水ガラスが生成されていないので、均一な高融点金属膜を形成することが可能になる。そして、熱処理を施すことにより、ゲート電極120、122の表面側に、自己整合的に、サリサイドメタル層160、170を形成し、拡散層130、132の表面側に、保護膜154に対して自己整合的に、サリサイドメタル層162、172を形成する。

30

【0019】

次に、図9に示すように、この半導体基板100の表面に、全体的に、シリコン酸化膜を形成する。この際、保護膜154が形成されているので、ゲート電極120、122と埋め込み絶縁膜102との段差が抑えられており、このため、シリコン酸化膜の平坦性が向上する。続いて、シリコン酸化膜をCMP(Chemical Mechanical Polishing)により平坦化することにより、層間絶縁膜180とする。

【0020】

以上のように、本実施形態に係る半導体装置によれば、希HFによるクリーニングの前に、埋め込み絶縁膜102を保護膜154で覆うこととしたので、クリーニング処理の際に、埋め込み絶縁膜102から水ガラスが析出してしまふのを回避することができる。このため、均一なサリサイドメタル層160、162、170、172を形成することができる。MISFETの特性を良好に保つことができる。

40

【0021】

また、埋め込み絶縁膜102を保護膜154で覆うことにより、埋め込み絶縁膜102とゲート電極120、122との間の段差を小さくすることができるので、この上に層間絶縁膜を形成した場合の平坦性を向上させることができる。

【0022】

50

さらに、保護膜154の材料は、サイドウォール150、152の材料と同じ絶縁膜140であるので、新たな成膜工程を増加することなく、この保護膜154を得ることができる。

【0023】

〔第2実施形態〕

本発明の第2実施形態は、上述した第1実施形態の保護膜154を、拡散層130、132側に大きく張り出して形成することにより、MISFETの寄生容量を増加させたものである。より詳しくを、以下に説明する。

【0024】

本実施形態に係る半導体装置の製造方法は、図4及び図5までは、上述した第1実施形態と同様である。但し、レジスト142の大きさが、上述した第1実施形態と異なる。すなわち、図10に示すように、レジスト242を絶縁膜140上に形成するが、このレジスト242の大きさは、埋め込み絶縁膜102上のみならず、P⁺拡散層130及びN⁺拡散層132上まで張り出して、大きく形成される。

10

【0025】

次に、図11に示すように、RIEにより絶縁膜140をエッチングすることにより、ゲート電極120、122の側壁部分に、サイドウォール150、152を形成するとともに、埋め込み絶縁膜102上に、この埋め込み絶縁膜102並びに拡散層130、132の一部を覆う保護膜254を形成する。すなわち、絶縁膜140をエッチバックすることにより、自己整合的に、サイドウォール150、152を形成する。また、レジスト242で覆われた部分にある絶縁膜140をエッチングで残すことにより、保護膜254を形成する。この保護膜254は、埋め込み絶縁膜102の表面側全体、及び、拡散層130、132の一部を覆うが、後述するサリサイドメタル層を形成する領域は少なくとも覆わないように、形成する。続いて、希HFでクリーニングすることにより、この半導体基板100の表面側にある自然酸化膜や異物の除去を行う。本実施形態においても、この希HFでのクリーニングの際には、埋め込み絶縁膜102は、保護膜254で覆われているので、SiO₂の溶解を抑えることができ、水ガラスの生成を抑えることができる。

20

【0026】

この後の製造工程は、上述した第1実施形態と同様である。すなわち、図12に示すように、ゲート電極120、122のポリシリコン層の表面側と、拡散層130、132の表面側とに、自己整合的に、サリサイドメタル層160、162、170、172を形成する。続いて、この半導体基板100の表面に、全体的に、シリコン酸化膜を形成する。この際、保護膜254が形成されているので、ゲート電極120、122と埋め込み絶縁膜102との段差が抑えられており、このため、シリコン酸化膜の平坦性が向上する。続いて、シリコン酸化膜をCMP (Chemical Mechanical Polishing) により平坦化することにより、層間絶縁膜180とする。

30

【0027】

以上のように、本実施形態に係る半導体装置によっても、埋め込み絶縁膜102を保護膜254で覆うことにより、クリーニング処理の際に、埋め込み絶縁膜102から水ガラスが析出してしまうのを回避することができ、均一なサリサイドメタル層160、162、170、172を形成することができる。このため、MISFETの特性を良好に保つことができる。

40

【0028】

また、埋め込み絶縁膜102を保護膜254で覆うことにより、埋め込み絶縁膜102とゲート電極120、122との間の段差を小さくすることができるので、この上に層間絶縁膜を形成した場合の平坦性を向上させることができる。

【0029】

さらに、保護膜254の材料は、サイドウォール150、152の材料と同じ絶縁膜140であるので、新たな成膜工程を増加することなく、この保護膜254を得ることができる。

50

【0030】

しかも、拡散層130、132の一部までを覆うように、保護膜254を形成したので、この拡散層130、132がキャパシタとして機能して、MISFETの寄生容量を増加させることができる。例えば、図13に示すように、保護膜254を跨いで、拡散層130と拡散層132とを電氣的に接続する配線層300を形成したとする。この場合、配線層300と拡散層130との間にキャパシタ誘電体として保護膜254が挟まれることとなり、配線層300と拡散層132との間にもキャパシタ誘電体として保護膜254が挟まれることとなり、キャパシタを構成する。このため、2つのMISFETの寄生容量を増加させることができ、MISFETの駆動能力を向上させることができる。

【0031】

このため、例えば、図14に示すようなSRAMセルに、本実施形態に係るMISFETを用いることにより、SRAMセルのデータ線駆動能力を向上させることができる。すなわち、図13におけるP型のMISFETをQPとし、N型のMISFETをQNとした場合、図14のSRAMセルにおいては、MISFET QP1とMISFET QN1から、1つの相補的MISインバータが構成され、MISFET QP2とMISFET QN2から、もう1つの相補的MISインバータが構成される。MISFET QN3及びMISFET QN4は、データ読み出し線であるビット線BLに接続する選択トランジスタである。これらMISFET QN3及びMISFET QN4のゲートは、ワード線WLに接続されている。

【0032】

このようなSRAMセルに、図13に示すような構成の相補的MISインバータを用いた場合、相補的MISインバータのデータ出力ノードN1、N2に、それぞれ、キャパシタC1、C2が付加された構成になる。このため、データ出力ノードN1、N2のビット線BLに対する駆動能力を高めることができる。

【0033】

なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、上述した実施形態においては、図7及び図11において、半導体基板100表面側をクリーニングする際の溶液として、フッ化水素(HF)の溶液を用いたが、フッ化アンモニウム(NH₄F)などの他の弗酸系の溶液を用いることもできる。この場合、保護膜154、254は、弗酸系の溶液に対して耐性のある保護膜を使用すればよい。但し、酸化物に対するエッチングレートは、フッ化水素(HF)が高いので、弗酸系の溶液の中でも、フッ化水素(HF)の溶液が、クリーニング液として最も適している。

【0034】

さらには、図7及び図11において、半導体基板100表面側をクリーニングする際の溶液は、弗酸系の溶液に限られるものでもなく、同等のクリーニング作用を有する他のクリーニング液を使用することもできる。この場合、保護膜154、254は、この使用するクリーニング液に対して耐性のある保護膜を使用すればよい。

【0035】

また、上述した実施形態においては、埋め込み絶縁膜102で素子分離される半導体素子として、MISFETを例示したが、他の半導体素子を形成し、この埋め込み絶縁膜102で素子分離するようにしてもよい。

【0036】

【発明の効果】

以上説明したように、本発明に係る半導体装置の製造方法、及び、半導体装置によれば、クリーニング液によるクリーニング処理をする前に、半導体基板に形成された埋め込み絶縁膜の表面側を保護膜で覆うようにしたので、このクリーニング処理の際に、埋め込み絶縁膜が溶解してしまうのを回避することができる。

【図面の簡単な説明】

【図1】従来の半導体装置の製造工程を説明する断面図(クリーニング処理)。

【図2】従来の半導体装置の製造工程を説明する断面図(サリサイドメタル層形成処理)

10

20

30

40

50

。【図3】図2の半導体装置の平面図。

【図4】本発明の第1実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図5】本発明の第1実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図6】本発明の第1実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図7】本発明の第1実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図8】本発明の第1実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図9】本発明の第1実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図10】本発明の第2実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図11】本発明の第2実施形態に係る半導体装置の製造工程の一部を説明する断面図。

10

【図12】本発明の第2実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図13】本発明の第2実施形態に係る半導体装置において、配線層を形成した場合の一例を説明するための断面図。

【図14】図13に示すMISFETを用いてSRAMセルを構成した場合の一例を説明するための回路図。

【符号の説明】

100 半導体基板

102 埋め込み絶縁膜

110 N型のウェル

112 P型のウェル

20

114、116 ゲート絶縁膜

120、122 ゲート電極

130 P⁺拡散層

132 N⁺拡散層

140 絶縁膜

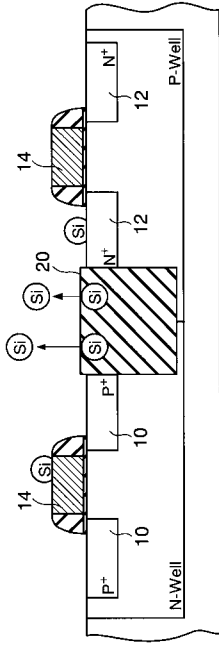
150、152 サイドウォール

154 保護膜

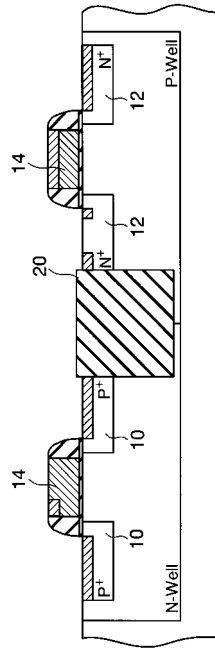
160、162、170、172 サリサイドメタル層

180 層間絶縁膜

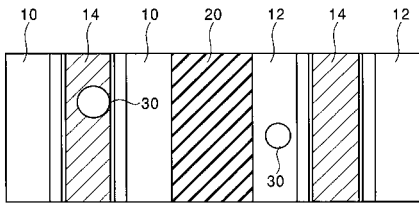
【 図 1 】



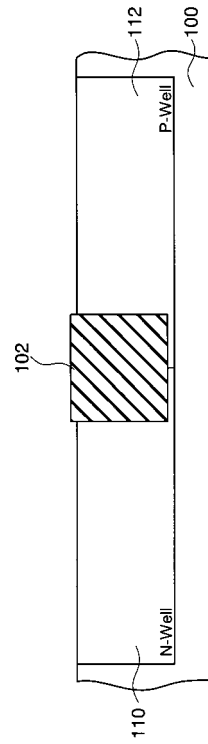
【 図 2 】



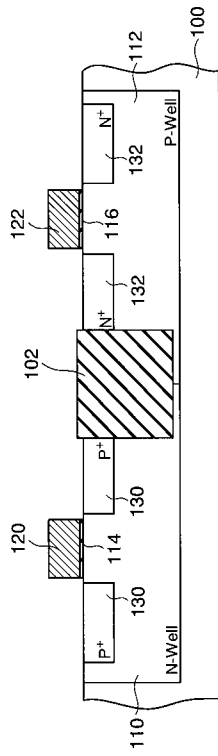
【 図 3 】



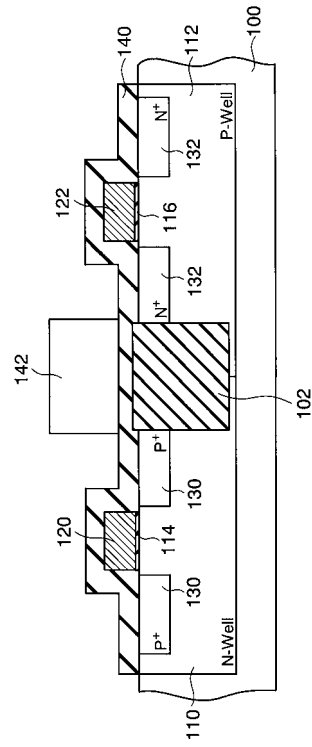
【 図 4 】



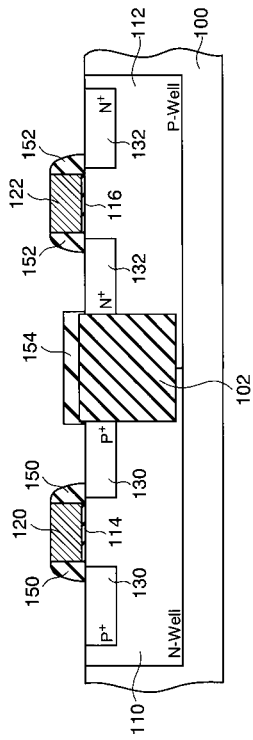
【 図 5 】



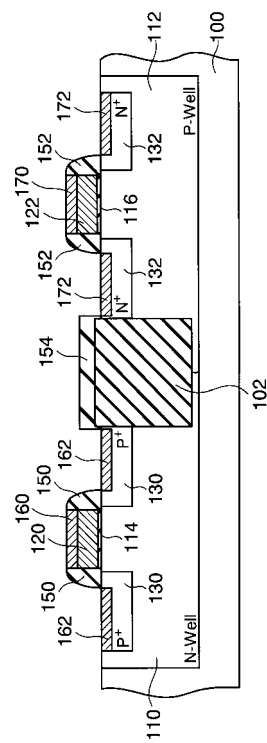
【 図 6 】



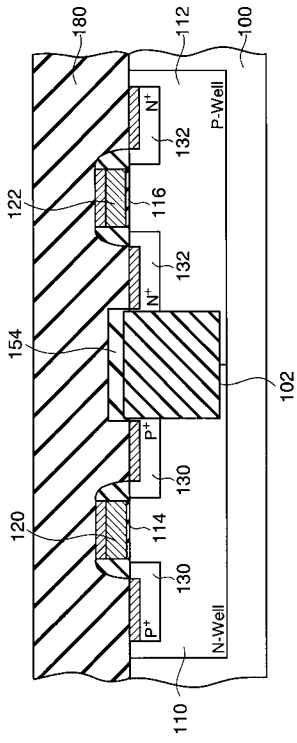
【 図 7 】



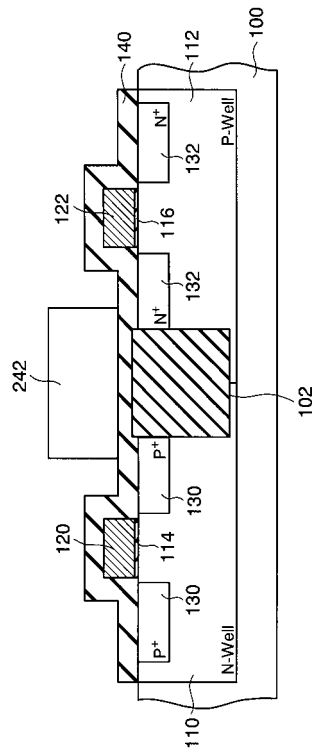
【 図 8 】



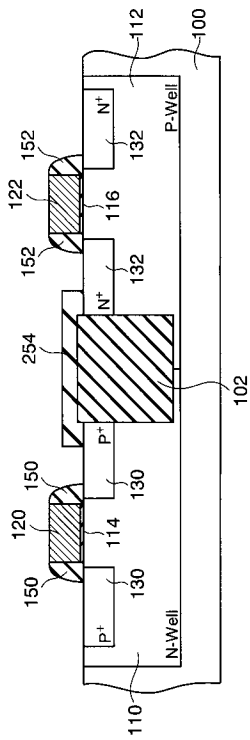
【 図 9 】



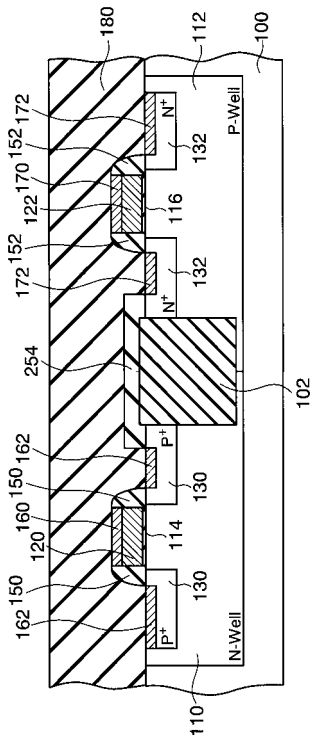
【 図 10 】



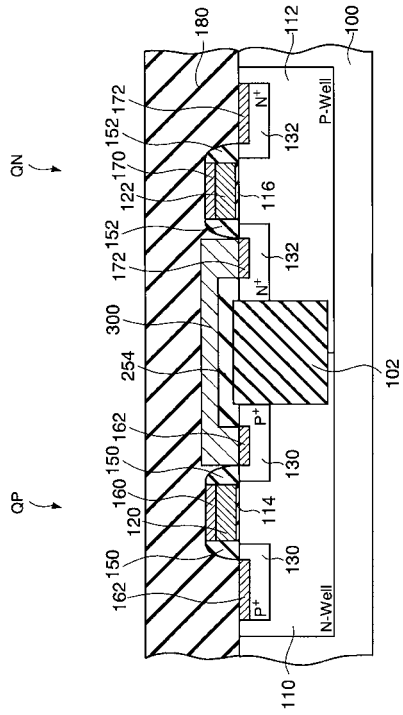
【 図 11 】



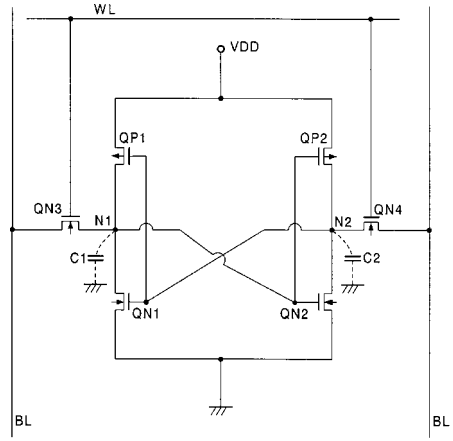
【 図 12 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51) Int.Cl.⁷ F I
H 0 1 L 27/08 H 0 1 L 27/08 3 2 1 F
H 0 1 L 27/092 H 0 1 L 21/76 L
H 0 1 L 27/11
H 0 1 L 29/78

(72)発明者 岡 田 裕 生
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 松本 貢

(56)参考文献 特開平11-340456(JP,A)
特開2003-037115(JP,A)
特開平06-168955(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)
H01L 29/78