

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H04L 12/00	(45) 공고일자 1998년 12월 01일	(11) 등록번호 특0161668
(21) 출원번호 특 1991-022457	(24) 등록일자 1998년 08월 25일	(65) 공개번호 특 1992-013994
(22) 출원일자 1991년 12월 07일	(43) 공개일자 1992년 07월 30일	
(30) 우선권주장 (73) 특허권자	90 12 3647.1 1990년 12월 08일 유럽(EU) 미크로나스 인터메탈 게엠베하 레오노르 회르닉 독일연방공화국 데-7800 프라이부르크 임 브라이스가우 포스트패취 840 한 스-분테-슈트라세 19	
(72) 발명자	클라우스 헤베레 독일연방공화국 데-7801 로우테 힌테르 덴 에이첸 42	
(74) 대리인	나영환, 도두형	

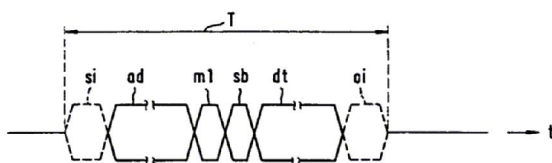
심사관 : 김연호

(54) 단일 가요성 와이어 버스를 갖는 마스터-슬레이브 데이터 전송 시스템

요약

마스터-슬레이브 데이터 전송 시스템은 하나의 마스터(M)가 한번에 하나의 슬레이브(S)로부터 데이터를 판독하거나 하나의 슬레이브로 데이터를 발송하는 하나의 마스터(M)를 갖는 다중 마스터 및 다중 슬레이브를 운용하는데 적합하다. 데이터 전송은 가변 길이 어드레스 부분(ad), 가변 길이 데이터 부분(dt), 라벨(mi)에 의해 한정되는 각 메세지 부분의 끝부분 및 시작 부분, 및 고정된 비트 클럭을 갖는 가요성 메세지(T)에 의해 수반된다. 다중 마스터의 운용시, 우선 제어 방법은 둘 또는 그 이상의 마스터들(M,M1,M2)가 동시에 단일-와이어 버스(B)를 액세스하지 못하게 한다.

대표도



명세서

[발명의 명칭]

단일 가요성 와이어 버스를 갖는 마스터-슬레이브 데이터 전송 시스템

[도면의 간단한 설명]

- 제1도는 단일 와이어 버스상의 간단한 메세지 포맷을 개략적으로 도시하는 도면.
- 제2도는 확장 포맷을 개략적으로 도시한 도면.
- 제3도는 단일 와이어 버스를 통해 접속된 4개의 슬레이브 및 3개의 마스터를 도시하는 블럭도.
- 제4도는 메세지의 일부분을 개략적으로 도시하는 도면.
- 제5도는 복합적인 실시예에서의 마스터의 각 기능 모듈들의 블럭도.
- 제6도는 복합적인 실시예에서의 슬레이브의 각 기능 모듈들의 블럭도.
- 제7도는 어드레스 길이 검색 장치의 블럭도.
- 제8도는 센서 소자들로 형성되는 부분 및 슬레이브에 포함된 복수 데이터 소스의 블럭도.
- 제9도는 3도선 센서 소자를 개략적으로 도시하는 도면.
- 제10도는 제1 메모리 소자의 블럭도.
- 제11도는 3도선 메모리 소자를 개략적으로 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

M, M1, M2 : 마스터 S, S1, S2 : 슬레이브

B : 단일 와이어 버스

[발명의 상세한 설명]

본 발명은 마스터-슬레이브 데이터 전송 시스템에 관한 것으로, 특히 입력/출력단을 거쳐 슬레이브로부터 데이터를 판독하거나 슬레이브로 데이터를 발송하는 마스터를 구비하여 슬레이브내의 데이터 싱크(data sink)나 데이터 소스(data source)를 지정하는 어드레스 부분, 전송 데이터 또는 판독 데이터를 포함하는 데이터 부분, 및 시작과 종료 부분을 갖는 메시지에 의하여 단일 와이어 버스를 통하여 데이터를 전송하는 마스터-슬레이브 데이터 전송 시스템에 관한 것이다.

이러한 마스터-슬레이브 데이터 전송 시스템은 본래 하나의 데이터 채널을 갖는 원격 제어 시스템의 하나로 알려져 있다. 두개 또는 그 이상의 마스터 및/ 또는 두개 또는 그 이상의 슬레이브가 존재할 경우, 단일 와이어 버스의 충돌 방지 제어는 복합 제어 회로를 필요로 하며, 이 복합 제어 회로는 부가 버스 및 제어 라인을 거리상의 이유로 사용할 수 없는 경우에만 가격을 현실화할 수 있다. 직접 기술, 특히 모놀리식 집적 회로 기술이 발달함에 따라 지금까지 수동 소자로 여겨진 소자들을 인공 지능 소자와 함께 설치하는 것을 가능하게 하였다. 이러한 집적 기술의 발달은 후술될 것과 같은 거리상의 문제점이 없는 데이터 전송 시스템에서도 커다란 이점을 제공하게 될 것이다.

따라서, 본 발명의 목적은 다중 마스터 및 다중 슬레이브 동작을 가능하게 하는 마스터-슬레이브 데이터 전송 시스템용 단일 가요성 와이어 버스 시스템과 전송 및 동작 요건을 최적화 할 수 있는 마스터-슬레이브 데이터 전송 시스템의 데이터 포맷을 제공함에 있다.

상기 목적은 청구범위 제1항의 특징부에 있는 특징에 의해 달성된다. 그외 장점을 갖는 본 발명의 장치는 종속항 및 독립항에서 보호된다. 본 발명에 의하여 발생하는 장점은 다음과 같다.

단일-와이어 버스를 갖는 마스터-슬레이브 데이터 전송 시스템의 가요성은 실제로 메시지마다 데이터 포맷에 있는 각 요소의 수량 및 그 자체를 변화시키는 것에 근거한다.

또 다른 장점은 단축 어드레스에 의하여 중요한 데이터를 신속하게 액세스하도록 어드레스 길이를 임의로 선택한다는 것이다.

다른 장점은 대치 가능한 소자로된 마스터 및 슬레이브로 데이터 전송 시스템을 구성한다는 것이다. 마스터로서 제공된 하나 또는 그 이상의 프로세서가 슬레이브로서 제공되어 공간적으로 분리된 센서로부터 데이터를 판독하는 경우 본 발명은 자동 분야에 응용될 수 있다.

데이터 라인을 모든 소자들이 접속되어 있는 하나의 단일-와이어 버스로 충분하게 절감하는 것 외에도 각 소자의 단자수를 절감하는 것은 본 발명의 중요한 장점이다. 도선의 수 및 상호 접속 라인의 수를 감소시킬 수록 개회로나 혼선 문제로 인하여 접속이 취소되거나 실패할 위험은 감소된다.

임의로 선택 가능한 어드레스 길이는 또한 대응 장치나 개장 장치를 현존 기능과 대립되지 않게 운용하기에 용이하며, 이는 소위 옵션이라 하는 새로운 부가 기능을 긴 어드레스에 의해 호출하도록 하고 현존 기능은 짧은 어드레스에 의하여 호출하도록 할 수 있기 때문이다.

또 다른 장점은 이러한 시스템에 함께 결합되는 자체내에 내장된 구성 부분들의 도선을 절감하는 것이다. 극단적인 경우, 지능 센서, 메모리, 변환기, 등의 도선 수를 3개로 감소시킬 수 있다.

이하 본 발명 및 본 발명의 장점들을 첨부한 도면을 참조하여 상세하게 설명한다.

제1도에 도시된 메시지(T)는 시작 정보(Si)로부터 시작된다. 이 시작 정보는 가변 길이 어드레스 부분(ad), 제1 라벨(mi), 동기 비트(sb), 가변 길이 데이터 부분(dt), 및 종료 정보(oi)를 이끈다. 메시지의 전후에서, 단일-와이어 버스(B)(제3도 참조)는 대기 휴지나 대기 상태가 된다. 대기 휴지 상태에 있어서, 단일-와이어 버스는 하이 임피던스 상태나 상위 또는 하위 절한 전위가 된다(제4도 참조). 메시지(T)의 바깥부분에서, 비트 클럭(bt)은 대기 신호로서 단일 와이어 버스에서 전송될 것이다. 그 경우에 있어서, 시작 및 종료 정보(si,oi)에 대한 특정 비트의 전송을 하지 않을 수 있다. 비트 클럭이 전송되는 대기 상태에 대하여, 시작 정보(si)는 마지막 비트 클럭 기간에 의하여 정의되고, 종료 정보(oi)는 두개의 잇따른 비트 클럭 기간에 의하여 정의된다. 제1 라벨(m1) 및 동기 비트(sb)도 역시, 각각 단 하나의 비트 클럭 기간 보다 길게 정의한다. 제4도는 다른 표시 공백 비율에 의하여 각 신호를 식별하는 방법을 도시하고 있다.

제2도는 제1도의 메시지의 모든 요소들을 포함하는 더 복잡한 메시지(T)를 도시적으로 나타낸다. 메시지(T)의 바깥쪽에 있는 대기 유지나 대기 상태에서 마스터는 단일-와이어 버스상에 비트 클럭(bt)을 항상 전송한다. 비트 클럭의 종료 및 어드레스 부분(ad)의 데이터 시작 정보(si)를 형성한다. 제1도에서와 같이 어드레스 부분(ad)은 제1 라벨(m1), 동기 비트(sb), 및 가변 길이 데이터 부분(dt)을 이끈다. 데이터 부분(dt) 다음에 종료 정보(oi)가 있는 제1도와는 달리, 제1 라벨(m2)은 메시지(T)가 아직 종료되지 않았다는 것을 지시한다. 제2 라벨(m2)은 가변 길이 시험 부분(tx), 제3 라벨(m3), 금지 비트(bb), 및 종료 정보(oi)를 이끈다. 시험 부분(tx)은 어드레스 부분(ad) 및/ 또는 데이터 부분(dt)을 시험한다. 오류가 검출될때, 금지 비트(bb)의 논리 상태가 변화되고, 그것에 의해 전송된 모든 메시지(T)는 삭제된다.

또한, 제1도의 포맷에서의 어드레스 부분(ad)은 장치 어드레스(da), 내부 어드레스(ia), 및 동작 어드레스(oa)로 구분된다. 장치 어드레스(da)는 다른 슬레이브를 지정한다. 내부 어드레스(ia)는 슬레이브내의 다른 데이터 소스나 데이터 싱크를 액세스할 수 있다. 동작 어드레스(oa)는 슬레이브에 의하여 수행될 동작을 지정한다. 실제로, 슬레이브가 판독/기록 메모리인 경우, 소정 동작 어드레스는 메모리의 판독 또는 기록 모드를 선택할 수 있다.

제1도 및 제2도에서의 동기 비트(sb)는 슬레이브가 메시지(T)를 수신할 준비에 있지 않다는 것을 마스터

에 지시하기 위하여 이용된다. 그때 마스터는 종료 정보(oi)를 전송하여 단일-와이어 버스를 포기하고, 그리고 다시 대기 시간이 지난 후에 메세지(T)를 전송한다.

2개 또는 그 이상의 마스터가 단일-와이어 버스에 접속되어 있는 경우, 시작 정보(si)의 검출은 자신의 메세지(T)의 전송을 단일-와이어 버스에서 종료 정보가 검출될 때까지 금지시킨다. 두개 또는 그 이상의 마스터가 동시에 메세지를 전송하기 시작했을 경우, 마스터들은 출력 오류 검출기(af), (제5도 참조)에 의하여 전송된 비트 및 수신된 비트간의 차이를 검출하여 교번적으로 버스를 포기할 것이다. 이는 단일-와이어 버스가 와이어드-OR(Wired-OR)와 같이 수행되는 사실에 의해 가능하게 된다. 두개의 상태중 한가지 상태인 항상 L 상태는 하나의 마스터나 하나의 슬레이브에 의해 미리 강요될 수 있다. 비슷한 형태로, 동기 비트(sb) 및 금지 비트(bb)의 논리 상태를 각 비트 주기내에서 변화시키면, 버스 제어는 출력 오류 검출기(af)에 의하여 간단하게 달성된다.

또한 와이어드-OR 및 하이 임피던스 상태 (삼 상태 논리중 제3 상태)를 조립할 경우, 그때 작동중인 마스터 및 슬레이브를 제외한 모든 마스터 및 슬레이브는 하이 임피던스 상태가 된다.

동작중인 마스터의 경우, 자신의 메세지를 전송한 후 대기 상태에서 자신의 비트 클럭을 전송하여, 새로운 마스터가 시작 정보(si)를 전송함에 의하여 점유할 때까지 모든 다른 마스터 및 슬레이브에 자신의 비트 클럭을 인가한다. 대기 상태 동안에 비트 클럭(bt)의 표시 공백 비율은 제1 어드레스 비트를 검출하는 방법에 따른다. 상기 방법은 제1 어드레스 비트 전에 시작 정보로서 논리 0 나 1 또는 라벨의 삽입을 필요로 한다.

제3도는 단일-와이어 버스(B)에 의하여 함께 접속되어질 세개의 마스터(M,M1,M2) 및 4개의 슬레이브(S,S1,S2,S3)를 도시한다. 이 버스를 통하여, 하나의 마스터는 직렬 형태로 한꺼번에 하나의 슬레이브에 데이터를 발송하거나 하나의 슬레이브로부터 데이터를 판독할 수 있다. 각 슬레이브는 다른 장치 어드레스(da)에 의하여 식별 가능하다. 마스터간 데이터 교환이 가능한 경우, 슬레이브와 비슷하게 번지 지정이 가능하여야 한다. 슬레이브(S3)는 공급 전압 도선인 두개의 도선 및 단일-와이어 버스(B)에 접속되어 있는 제3도선을 갖는 3도선 소자로서 도시되어 있다. 실제로, 이 소자는 단일-와이어 버스(B)를 통해 디지털 온도값을 판독하는 전자 온도 감지기이다.

제4도는 비트 클럭(bt)와 함께 결합된 메세지(T)의 일부분에 대한 신호 파형을 도시적으로 나타낸다. 단지 신호 파형 그 자체의 표시 공백 비율이 제멋대로이기 때문에 네트 클럭(bt)의 주기만을 따로 표시하였다. 비트 클럭(bt)의 하측에 도시된 것은 약간의 비트 클럭 주기분의 메세지(T)의 신호 파형이다. 각 비트 클럭 주기의 시작 부분은 L 에서 H 로 전이되며, 네가티브 에지(Negative edge)는 비트 클럭 주기 동안의 소정 시간에 발생되어 다른 길이의 H 및 L 상태를 설정한다. 1보다 작은 제1 표시 공백 비율은 논리 0으로 규정하고, 1보다 큰 제2 표시 공백 비율은 논리 1로 가정한다. 제3 표시 공백 비율은 라벨(mi)을 규정하며 또한 대기 상태 동안 비트 클럭(bt)를 규정한다.

비트 클럭(bt)으로부터나 라벨(mi)로부터 데이터 비트 0이나 1로 변화하는 것은 시작 정보(si)을 나타낸다. 종료 정보는 적어도 2개 이상의 라벨(mi)이 연속적으로 전송되어진 경우에 검출된다. 동기 비트(sb) 및 금지 비트(bb)는 제1 논리 상태, 즉 1이 마스터에 의해 전송되었다는 사실에 의해 특정 지어진다. 슬레이브가 메세지(T)를 처리할 준비를 하는 경우, 마스터는 동기 비트(sb)는 금지 비트(bb)의 논리 상태를 유지한다.

슬레이브가 메세지(T)를 처리할 준비를 못한 경우, 슬레이브는 동기 비트를 제2 논리 상태, 즉 0으로 변화시켜 마스터에 비준비 신호를 인가한다. 오류가 검출된 경우에도 똑같이 슬레이브는 금지 비트(bb)를 제2 논리 상태, 즉 0으로 변화시키기에 의하여 마스터에 삭제 신호를 인가한다. 두가지 경우중 어떤 경우에서든지, 송신된 메세지는 취소되어 차후에 반복될 것이다. 이 할당은 0 이 1 보다 우세한 와이어드-OR에 적합한다.

필요한 표시 공백 비율은 주파수가 적어도 비트 클럭(bt)의 주파수 보다 2배 이상인 내부 시스템 클럭(cl)이나 보조 클럭(ht)(제5도 및 제6도 참조)에 의해 간단하게 발생될 수 있다. 메세지(T)의 포지티브 에지들(Positive edge)은 모든 보조 클럭과 슬레이브 및 다른 마스터내에 있는 클럭 발생기들을 위상 동기 루프의 도움으로 동기 시키기 위한 비트 클럭으로 규정한다.

제5도는 블럭도에 있는 마스터를 구성하는 각 기능 모듈을 도시한다. 기능 모듈은 통상의 지식을 가진 자들에게 잘 알려진 회로로서 상세한 도면 및 설명이 불필요하다. 각 기능 모듈의 타이밍 및 제어는 마스터 콘트롤러(st)에 의하여 수행되며, 마스터 콘트롤러(st)는 각 기능 모듈로부터 제어 신호를 수신하거나 각 기능 모듈 들을 동작시키기 위하여 각 기능 모듈에 제어 신호를 인가한다.

입력/출력단(io)은 단일 와이어 버스(B)에 접속된 출력 단자(K)를 갖으며, 전송 모드에서 각각의 H 및 L 절한 신호를 발생한다. 그리고 입력/출력단(io)은 수신 모드시, 단일-와이어 버스의 상태를 탐지하여 데코더(dec)로 전송된다. 입력/출력단(io)을 하이 임피던스 상태로 변화시킬 경우, 입력/출력단(io)은 제어 라인(f)(점선)상의 신호에 의해 변화된다. 수신된 신호를 위한 복호기(dec)와 대응되는 부호기(cod)는 송신된 비트의 표시 공백 비율을 조절하여 신호를 전송한다. 복호기(dec)는 표시 공백 비율에 의하여 수신된 신호를 복호한다. 해당 윈도우(window)는 복호기 및 부호기의 제어 입력에 접속되어 있는 표시 공백 비율 콘트롤러(tr)에 의하여 형성된다.

표시 공백 비율 콘트롤러(tr)는 입력/출력단(io)을 거쳐 단일-와이어 버스(B)쪽으로 라벨(mi)을 전송하는 라벨 발생기(mg)도 제어한다. 부호기(cod)의 직렬 입력 데이터는 어드레스 발생기(ag), 데이터 소스(dg) 또는 시험 데이터 발생기(tg)에서 발생된다. 복호기(dec)의 직렬 출력 데이터는 데이터 싱크(ds), 시험 데이터 발생기(tg) 또는 라벨 발생기(mg)로부터 기준 입력을 유입하는 정지 신호 검출기(sd)에 인가된다.

정지 신호 검출기(sd)가 상기 양 입력간의 표시 공백 비율에서의 실질적인 차이를 검출한 경우, 정지 신호 검출기(sd)는 비준비 신호 또는 삭제 신호가 검출되었음을 마스터 제어기(st)에게 신호할 것이다. 오

류 검출기(fd)는 간단한 형태로 동작한다. 오류 검출기(fd)의 입력 단자들중 하나에 시험 데이터 발생기(tg)로부터의 출력 데이터가 공급되고, 다른 입력 단자에는 복호기(dec)로부터의 출력 데이터가 공급된다. 시험 데이터 발생기(tg)는 어드레스 데이터 및/또는 전송되거나 수신된 데이터로부터 시험 데이터를 형성한다. 슬레이브가 데이터를 시험 데이터로 처리 할 경우, 오류 검출기(fd)는 수신된 시험 데이터와 시험 데이터 발생기(tg)로부터의 시험 데이터를 비교하여 전송 오류를 검출한다. 부호기(cod)의 출력 단자에 접속된 제1 데이터 입력 단자 및 입력/출력단(io)의 출력 단자(K)에 접속된 제2 데이터 입력 단자를 갖는 출력 오류 검출기(af)은 비준비 및 삭제 신호를 검출한다. 입력/출력단(io)의 두개의 단자에서의 표시 공백 비율간의 차이는 슬레이브(S)가 동기 또는 금지 비트(sb,bb)의 상태를 변경시켰다는 것을 나타낸다.

클럭 발생기(tc)는 제5도에 별도의 블록으로 도시되어 있다. 클럭 발생기(tc)는 내부 시스템 클럭(cl)을 발생하고, 그리고 클럭 발생기(tc)는 단일-와이어 버스(B)에 접속되어 있거나 외부 시스템 클럭(cl')이 공급되는 위상 동기 루프(도시하지 않음)를 내장한다. 대기 상태 동안, 단일-와이어 버스(B)는 라벨 발생기(mg)로부터 비트 클럭(bt)을 공급받는다.

마스터의 모든 기능 모듈은 처리 기능을 감소시킬 경우에 모두 있을 필요가 없다. 실례로, 데이터를 판독만 할 경우, 데이터 소스(dq)가 필요치 않으며, 또한 요구된 데이터 전송 신뢰성이 낮거나 다른 방법으로 달성될 수 있는, 즉 반복에 의해 달성될 수 있는 경우에 슬레이브에 필요한 확장 시험 데이터 발생기(tg)도 필요로 하지 않는다. 물론, 제1도의 데이터 포맷을 처리하는 경우, 시험 데이터 발생기는 그다지 요구되지 않는다.

제6도는 블록도 형태의 개별 기능 블록들로 구성된 슬레이브(S)를 도시한다. 마스터(M)와 기능적으로 유사하다는 것이 도면에 의해 더욱 명확해 진다. 입력/출력단(io)의 출력 단자(K')는 단일-와이어 버스(B)에 접속되어 있다. 이 입력/출력단(io)의 내부 데이터 출력은 복호기(dec')와 결합되어 있고, 내부 데이터 입력은 데이터 버스(dq')와 결합 되어 있는 부호기(cod')의 출력 단자에 접속되어 있다. 복호기(dec')의 출력 단자들은 데이터 싱크(ds'), 어드레스 길이 검사 장치를 갖는 어드레스 비교기(al) 및 라벨 검출기(md)와 결합되어 있다.

부호기(cod') 및 복호기(dec')에서의 다른 표시 공백 비율을 위한 원도우는 표시 공백 비율 컨트롤러(tr')에 의해 조절된다. 표시 공백 비율 컨트롤러(tr')는 정지 신호 발생기(sg)에서 형성되어 입력/출력단(io)으로 직접 인가되는 삭제 신호 및 미준비 신호에 대한 표시 공백 비율도 제어한다. 입력/출력단(io)은, 제2 논리 상태, 즉 0 인 각 동기 비트(sb)나 금지 비트(bb)를 강제로 발생시킨다.

대기 상태 동안 단일-와이어 버스에 비트 클럭(bt)이 존재하는 것은 비트 클럭이 없는 상태에서 슬레이브 제어기(st')를 동작시키는 모든 스위치(bu)에 의하여 전류 축적 상태를 초기화하는 비트 클럭 검출기(bd)에 의해 검출된다. 또한 비트 클럭 검출기(bd)에 접속된 보조 클럭 발생기(hg)는 비트 클럭(bt)에 대하여 정수배의 주파수 비율을 갖는 보조 클럭을 발생한다.

슬레이브(S)가 CMOS 기술을 사용하여 실현되는 경우, 슬레이브(S)는 회로에 전압이 인가하지 않도록 되어진 경우에만 내부 클럭을 발생하지 않을 필요성이 있다.

임의의 길이를 갖는 어드레스를 유입할 수 있는 어드레스 비교기(al)는 어드레스 길이 검사 장치(ue)를 포함한다. 어드레스 부분(ad)(또는 장치 어드레스(da)과 어드레스 길이가 같지 않은 경우, 인에이블 신호(aj : 제7도 참조)는 슬레이브 제어기(st')로 전송되지 않을 것이다. 그러므로, 다른 길이의 어드레스와 우연히 일치되는 것이 전송중에 발생할 수 없다.

제7도는 블록도 형태의 어드레스 길이 검사 장치(ue)의 실시예를 나타낸다. 이 장치는 약간의 부가적인 소자만을 필요로 하고, 어떠한 형태로 존재하든지 직렬로 공급되는 어드레스 부분(ad)의 데이터를 저장하는 쉬프트 레지스터(sr)를 내장한다.

쉬프트 레지스터(sr)는 어드레스 길이 검사 목적을 위하여 적어도 n+1 이상의 쉬프트 레지스터단을 포함한다. 여기서 n 은 인식되어질 어드레스의 비트수이다. 시작 정보로부터 파생된 시작 신호(si)에 의하여, 첫번째단을 제외한 모든 쉬프트 레지스터단은 늦어도 기록 동작이 시작될때 0으로 세트되고, 첫번째 쉬프트 레지스터단은 1로 세트된다. 각 쉬프트 레지스터단을 세트하는 동작은 그들의 세트 및 리세트 단자를 통하거나 1 이나 0이 제1 또는 제1 메모리(h1,h2)로부터 공급되는 그들의 데이터 입력 단자를 통해 수행된다.

어드레스 부분(ad)의 초기에 각 쉬프트 레지스터단은 어드레스를 직렬로 기록하기 시작하여 제1 라벨이 쉬프트되는 과정이 종료될때까지 계속 수행한다. 어드레스 길이가 같을 경우, 제1 쉬프트 레지스터단의 논리 1는 그 동안에 n+1 번째 쉬프트 레지스터 단까지 쉬프트되어야만 한다. 올바른 어드레스 길이에 대한 기준은 첫번째 쉬프트 레지스터단의 1이 n+1 번째 쉬프트 레지스터 단에 도달했는가와 첫번째 쉬프트 레지스터 단의 '1이 n+1 번째 쉬프트 레지스터단에 아직 도달하지 않았는가를 검사함에 있다.

제7도의 실시예에 있어서, 이러한 검사를 수행하기 위한 회로는 제1, 2 RS 플립플롭(f1,f2), 두개의 쉬프트 레지스터 단(n+1,n+2), 인버터(i), 및 제1, 2 앤드 게이트(u1,u2)를 포함한다. 시작 신호(si')를 공급받는 두개의 RS 플립플롭(f1,f2)의 리세트 입력들(R)은 어드레스 길이 측정 기간의 시작될때 동작된다. 제1, 2 RS 플립플롭(f1,f2)의 세트 입력들(set)은 쉬프트 레지스터 단들(n+1,n+2)에 각각 접속되어 있다. 제1 RS 플립플롭(f1)의 출력단자(Q)는 제1 앤드 게이트(u1)의 제1 입력 단자에 직접 접속되어 있고, 제2 플립플롭(f2)의 출력 단자(Q)는 인버터(i)를 거쳐 제1 앤드 게이트(u1)의 제2 입력 단자에 접속되어 있다. 제1 앤드 게이트의 제3 입력 단자는 쉬프트 레지스터단으로부터 병렬 형태의 장치 어드레스(da)를 공급받는 장치 어드레스 비교기(dk)의 출력에 접속되어 있다. 장치 어드레스 비교기(dk)는 하드웨어나 소프트웨어 정보 형태로 식별될 수 있는 장치 어드레스를 내장한다.

정확하게, 어드레스 길이를 식별하는 것은 다음의 상태들을 정당하게 검사하는 것에 기인한다.

1. 제1 RS 플립플롭(f1)의 출력(Q)이 논리 1 이어야만 하며, 이는 측정 기간 동안 적어도 한번 쉬프트 레지스터단(n+1)에 1이 존재하였다는 것을 뜻한다.
2. 제2 RS 플립플롭(f2)의 출력(Q)이 논리 0이어야만 하며, 이는 측정 기간 동안 쉬프트 레지스터단(n+2)에 1이 존재하지 않았다는 것을 의미한다. 그렇지 않으면, 제2 RS 플립플롭(f2)은 토글 되어 출력 단자(Q)에 1을 발생한다.
3. 마지막으로, 장치 어드레스 비교기(dk)의 출력은 동일한 장치 어드레스가 장치 어드레스(da) 영역내의 모든 비트 사이에 존재한다는 것을 지시하여야만 한다.
4. 선행 검사 상태 1-3는 단지 제1 라벨(m1)이 어드레스 부분(ad)의 끝부분임을 신호할 경우에만 인에이블 신호(aj)를 발생시키기 때문에 검사의 결과는 제1 라벨(m1)의 결과에 따라 구현된다. 이를 상세히 설명하면, 제2 앤드 게이트(u2)의 한쪽 입력 단자에 제1 라벨에 의해 발생된 신호(m1')가 공급되고, 제2 앤드 게이트(u2)의 다른쪽 입력 단자에는 제1 앤드 게이트(u1)로부터의 출력이 공급된다. 제2 앤드 게이트(u2)의 출력은 필요로 하는 인에이블 신호(aj)를 발생한다.

물론, 쉬프트 레지스터단(n+1)의 상태도 다른 형태로 검사될 것이다. 예를 들면, 마지막 비트 클럭 펄스가 발생할 때 또는 그 이전에 제 1 RS 플립플롭(f1)의 상태가 변화되었는가의 여부를 확인함에 의하여 구현된 검사 방법이다.

제8도는 슬레이브에서 데이터 소스(ad')로서의 역할을 하는 복수의 데이터 소스의 블록도이다. 데이터 소스는 제1 멀티플렉서(p1)에 의하여 연속적으로 선택되어 아날로그-디지털 변환기(ac)에 인가되는 복수의 아날로그 신호 소스(q1,q2,q3)로 적절하게 이루어져 있다. 아날로그-디지털 변환(ac)의 출력은 메모리 장치(mr)의 셀들(r1,r2,r3)에 데이터를 기록하는 제1 멀티플렉서(p2)에 인가된다. 개개의 메모리 셀로부터의 데이터를 판독하는 것은 내부 어드레스(ia) 수단에 의하여 각각의 셀들을 선택함으로써 수행된다. 만약 데이터 소스(aq)가 단 하나의 아날로그 신호 소스(q1)만을 포함할 경우에는 물론 제1 및 제2 멀티플렉서(p1,p2)는 불필요하고, 또한 메모리 장치(mr)가 단 하나의 셀(r1)만을 필요로 함으로 내부 어드레스에 의한 상기 어드레스로 역시 필요로 하지 않게 된다. 또한, 센서 소자의 도선수는 최악의 경우 제3도 및 제9도에 도시된 바와같이 3개로 감소될 수 있다. 제1도선(a1)는 단일 와이어 버스(B)에 센서 소자를 접속시킨다. 제2 및 제3도선(a2,a3)은 양극 및 음극 전원 단자에 센서 소자를 접속시킨다.

제9도는 회전각 트랜스듀서(Angle of rotation transducer)에 대하여 상반된 위치에 접속되어 있는 3도선 센서 소자를 도시한다. 트랜스듀서의 미지의 저항 값은 제2 및 제3도선 사이의 전압 및 단일 와이어 버스(B)에 의한 데이터와 같은 단락 전류를 판독함에 의하여 결정 될 수 있다. 마스터(M)는 상기 값들(u 및 l)과 알려진 전원 전압(ub)로부터 상기 미지의 저항값은 자체내에 있는 데이터 싱크(ds)와 접속된 연산 장치를 이용하여 결정할 수 있다.

전원 전압(Ub)을 알 수 없을 경우 상기 위치의 트랜스듀서(Rx)의 미지의 저항 값은 센서(S3)내에서 내부적인 조치에 스위치되도록 하여 전압(U) 또는 단락 전류 측정하는 두가지 상이한 방법으로 결정되어야만 한다. 필요로 하는 그 위치의 트랜스듀서(position transducer)의 절대 저항 값이 아니라면 상대적인 측정 방법은 충분하고, 이 상대적인 측정 방법은 센서(S3)내에 접속된 전류(I1)가 고정된 채로 가변 가능한 소정의 조치나 단순히 반복되는 조치로 가능하다. 그후, 그 위치의 트랜스듀서(Rx)의 상대 저항 값의 변화는 단락 전류(I)의 실제 값을 구하지 않고 측정된 전압 값(U)으로부터 결정할 수 있다. 이것은 소정 장소에 대상을 배치하거나 소정의 회전 각도로 재조정하는 등의 거의 모든 경우에 적합하다.

상기 슬레이브의 기능 모듈들(sj)과 더불어, 제9도의 센서 소자는 전류 소스 절환 장치 및/또는 전압 소스 절환 장치를 내장한다. 아날로그-디지털 소스는 제2 및 제3도선(a2,a3) 사이의 전압을 측정하기 위한 장치이며, 이 장치는 제9도에 도시되지 않았다.

제10도는 단일 와이어 버스를 갖는 마스터-슬레이브 전송 시스템에 대한 다른 양호한 실시예, 즉 지능을 내장한 메모리 소자(S4)를 도시한다. 메모리 장치(mr)의 보호 영역은 본 발명에 따른 마스터-슬레이브 전송 시스템을 거쳐 자체내에 기록된 어드레스 연산 프로그램을 포함한다. 슬레이브의 출력 단자(K')는 메모리 소자의 제1 도선으로서 단일 와이어 버스(B)에 접속되어 있다. 프로그램을 할 경우에, 메모리 소자(S4)는 어드레스 연산 프로그램의 각 단계를 포함하는 메세지(T)를 단일 와이어 버스(B)로부터 수신한다. 이 메세지는 어드레스 연산 장치에서 결정될 어드레스를 갖는 규칙적이고 간단한 주기적인 연산 프로그램이다. 메모리 장치(mr)중 자유롭게 액세스할 수 있는 영역(mf)은 데이터 출력단(vo) 및 데이터 입력단(ov)에 접속되어 있다. 적어도 하나의 각 도선 세트가 출력 및 입력 데이터(od, id)를 위하여 이용될 수 있고, 병렬 데이터 전송을 가능하게 한다.

보조 클럭 발생기에 의하여 발생하는 보조 클럭(ht)에 의하여 내부 동기를 설정하여 비트 클럭(bt)이나 판독 신호에 동기시킨다. 또한, 외부 판독 신호와 동기되어 있는 데이터 주기는 보조 클럭(ht) 주기(ht)나 비트 클럭(bt) 주기의 정수배이다. 다른 출력들간의 동기는 보조 클럭 발생기(hg)에 있는 위상 동기 루프에 의하여 통상의 형태로 달성된다.

어드레스 연산 기능을 내장한 이러한 메모리 소자(S4)는 판독 및 기록 속도 및 필요한 도선수가 매우 높은 경우에 특히 유리하다. 실제로 이러한 메모리는 프레임 단위의 칼라 텔레비전 신호를 저장하기 위한 비디오 신호 처리 장치에 이용된다.

복수의 리드를 갖는 메모리 소자를 패킷화하는 가격은 매우 높다. 대개, 도선의 길이는 그 수에 따라 증가한다. 리드들 간의 양방향 접속을 증가시키는 것은 데이터 속도를 제한하게 된다. 본 발명이 이 문제점을 해소할 수 있는 이유는 이러한 고속 소자가 어드레스 도선을 전혀 요구하지 않기 때문이다.

제11도는 다른 장점을 갖는 메모리 장치를 도시한다. 이 메모리 장치(S5)는 3개의 도선을 갖는 소자로서, 제1 터미널(a1)은 단일 와이어 버스(B)에 접속되어 있고, 제2 및 제3도선은 양극 및 음극 전원 전압에 접속되어 있다. 이러한 3개의 도선을 갖는 메모리 소자(S5)는 낮은 데이터 전송 속도로서 만족될 수

있는 경우에 이용된다. 그때 모든 데이터 전송은 단일 와이어 버스(B)를 통하여 직렬로 수행된다. 실제로 메모리 소자(S5)에서의 각 내부 어드레스를 메세지(T)중의 내부 어드레스 부분(ia)에 의해 선택할 수 있어 수송관에 의하여 데이터를 배열하거나 조절할 수 있다. 저장된 데이터가 동작중에 변화되지 않는다면 메모리 장치는 단지 읽기 전용 메모리(ROM)일 것이다. 이러한 3개의 도선을 갖는 소자의 장점은 낮은 가격의 3도선 트랜지스터 케이스를 이용할 수 있다는 것이다. 또한, 단일 와이어 버스(B)에서 메세지(T)를 느리게 처리하는 경우는 하나의 소자 형태로된 실제의 마스터(M)를 요구하지 않으나 통상의 이용 가능한 마이크로 프로세서내에 로딩되는 해당 처리 프로그램으로 실현할 수 있다.

(57) 청구의 범위

청구항 1

슬레이브(S)에서의 데이터 싱크나 데이터 소스를 한정하는 어드레스 부분(ad), 전송 데이터 및 판독 데이터를 포함하는 데이터 부분(at), 및 시작(si) 및 종료 정보를 포함하는 메세지(T)에 의하여 단일-와이어 버스(B)를 거쳐 데이터를 전송하는 입출력단(io)을 통하여 슬레이브(S)로부터 데이터를 판독하거나 슬레이브(S)로 데이터를 발송하는 마스터(M)를 구비한 장치에 있어서, 상기 단일-와이어 버스에 각각의 입력/출력단(io, io')을 거쳐 접속되어 있는 적어도 하나 이상의 마스터(M, M1, M2) 및 적어도 하나 이상의 슬레이브(S, S1, S2, S3); 상기 어드레스부분(ad)의 길이를 상기 메세지(T) 마다 임의로 결정하기 위하여 어드레스 부분(ad)의 끝부분에 배열된 제1 라벨(m1); 변지 지정될 각 슬레이브(S)에 구비되는 어드레스 길이 검사 장치(ue); 상기 메세지(T) 마다 임의로 설정된 데이터 부분(dt)의 길이; 상기 메세지(T) 상에 중첩되어 있는 비트 클럭(bt); 적어도 메세지(T)의 주기 동안 다른 마스터들(M1, M2)을 동결시키는 시작 정보(si); 및 우선 순위 제어 목적을 위하여 제공되어 둘 또는 그 이상의 마스터간의 회선 쟁탈을 방지하는 출력 에러 검출기(af)를 구비한 것을 특징으로 하는 마스터-슬레이브 데이터 전송 시스템.

청구항 2

제1항에 있어서, 상기 메세지(T)가 제1 라벨(m1) 뒤에 삽입되는 동기 비트(sb)를 구비하며; 상기 슬레이브(S)가 상기 동기 비트(sb)를 제1 논리 상태로 유지 시키도록 하여 메세지(T) 처리중임을 상기 마스터(M)에게 인식 시키며; 상기 동기 비트(sb)를 제2 논리 상태(0)로 변화시킴에 의해 형성되는 비준비 신호에 의하여 상기 슬레이브(S)로 하여금 상기 메세지(T)를 처리할 준비가 되어 있지 않음을 상기 마스터(M)에게 인식시키고; 및 상기 마스터(M)가 상기 종료 정보(oi)를 발송하여 상기 단일 와이어 버스(B)를 포기하도록 한 것을 특징으로 하는 마스터-슬레이브 데이터 전송 시스템.

청구항 3

제2항에 있어서, 상기 어드레스 부분(ad)이 장치 어드레스(de) 및/또는 내부 어드레스(ia) 및/또는 동작 어드레스(oa)를 구비한 것을 특징으로 하는 마스터-슬레이브 데이터 전송 시스템.

청구항 4

제3항에 있어서, 상기 데이터 부분(dt)이 상기 각 내부 어드레스(ia)에 의하여 지정된 위치내에 기록되어질 프로그램 명령을 구비한 것을 특징으로 하는 마스터-슬레이브 데이터 전송 시스템.

청구항 5

제2항에 있어서, 상기 데이터 부분(dt) 및 종료 정보(oi) 사이에 순서대로 배열된 제2 라벨(m2), 데이터 부분(dt) 및/또는 어드레스 부분(ad) 검사용 가변 길이 시험 부분(tx), 및 금지 비트(bb)를 추가로 구비하고; 및 에러가 검출되었을때, 상기 슬레이브(S)가 금지 비트(bb)의 상태를 변화시켜 전송된 메세지(T)를 삭제한다는 삭제 신호를 발생하도록 한 것을 특징으로 하는 마스터-슬레이브 데이터 전송 시스템.

청구항 6

제1항에 있어서, 상기 메세지(T)이외의 구간에서 단일-와이어 버스(B) 상에 비트 클럭(bt)을 전송함에 의하여 접속된 슬레이브를 동작 상태로 하고; 및 상기 단일 와이어 버스(B) 상에 비트 클럭(bt)을 금지함에 의하여 적어도 하나 이상의 슬레이브(S, S1, S2, S3)를 커렌트-세이빙 대기 상태로 한 것을 특징으로 하는 마스터-슬레이브 데이터 전송 시스템.

청구항 7

제1항에 있어서, 상기 메세지(T)에서의 비트의 논리 상태(1, 0)가 상기 단일-와이어 버스(B)의 제1 상태(H) 및 제2 상태(L)간의 제1 또는 제2 시간비에 의하여 정의되고, 각 비트 클럭 주기의 시작이 상기 제2 상태(L)로부터 상기 제2 상태로의 전이에 의하여 정의되며; 및 상기 제1, 제2, 및 제3 라벨(m1, m2, m3) 그리고 종료 정보(oi)의 비트가 상기 제1 및 제2 상태(H, L)간의 제3 시간비, 특히 1:1의 비로 정의되도록 한 것을 특징으로 하는 마스터-슬레이브 데이터 시스템.

청구항 8

제5항에 있어서, 상기 동기 비트(sb) 및 금지 비트(bb)가 각각 제1 및 제2 상태(H, L)간의 제1 또는 제2 시간비로 정의된 제1 논리 상태(1) 또는 제2 논리 상태(0)를 갖도록 하여; 상기 제1 논리 상태(1)로 메세지(T)의 정상적인 처리를 신호하고, 및 상기 제2 논리 상태(0)로 메세지(T)의 중단 또는 무효를 신호하도록 한 것을 특징으로 하는 마스터-슬레이브 데이터 전송 시스템.

청구항 9

제1항에 있어서, 상기 단일-와이어 버스(B)와 접속된 상기 마스터들(M,M1,M2) 및 슬레이브들(S,S1,S2,S3)의 입력/출력단(io,io')이 하나의 마스터나 하나의 슬레이브에 의해 강제로 점유될 수 있는 단일-와이어 버스의 상태(L)중 하나를 갖는 와이어드 오아를 형성하고, 제2 시간비에서 점유된 상태의 기간이 제1 시간비에서 점유 상태의 기간 보다 길게되도록 한 것을 특징으로 하는 마스터-슬레이브 데이터 전송 시스템.

청구항 10

제1항에 있어서, 상기 어드레스 길이 검사 장치(ue)가 수신된 어드레스 부분(ad)을 저장하는 쉬프트 레지스터(sr)를 구비하고 ; 상기 쉬프트 레지스터(sr)가 적어도 인식 가능한 어드레스의 비트의 수(n)+1 개의 쉬프트 레지스터단을 구비하고 ; 최근의 시작 정보(si)에 의하여, 제1 쉬프트 레지스터단을 1로 세트하고 다른 쉬프트 레지스터단들을 0으로 세트하며 ; 및 상기 제1 라벨(m1)이 시작 시간 이후 1이 쉬프트 레지스터단(n+1)에 도착했는가 그렇지 않으면 아직 도착하지 않았는가를 검사하는 평가 회로와 함께 어드레스 길이 검사를 시작시키도록한 것을 특징으로 하는 마스터-슬레이브 데이터 전송 시스템.

청구항 11

제1항에서와 같은 데이터 전송 시스템을 구비한 센서 소자에 있어서, 상기 메시지(T)에 의하여 자신의 한쪽 리드에 접속되는 상기 단일-와이어 버스(B)를 통해 상기 마스터(M)에 의해 판독 가능하도록 아날로그-디지털 변환기(ac)에 의하여 디지털화되어 메모리셀(ri)에 저장되는 신호값들을 갖는 데이터 소스(dq')로서 적어도 하나의 아날로그 신호 소스(q)를 포함하여 상기 슬레이브(S)를 형성하는 센서 소자(S3)를 구비한 것을 특징으로 하는 센서 소자.

청구항 12

제1항에 있어서, 상기 슬레이브(S,S3)에 있는 둘 또는 그 이상의 상기 아날로그 신호 소스(q1,q2)가 독립적인 제1 멀티플렉서(P1)에 의해 선택되어 아날로그-디지털 변환기(ac)에 의하여 디지털화되고 ; 아날로그-디지털 변환기(ac)의 출력 데이터가 상기 제1 멀티플렉서(P1)와 동기된 제2 멀티플렉서(P2)에 의하여 각 아날로그 신호 소스에 해당하는 하나의 메모리 셀(r1,r2,r3)에 저장되며 ; 및 각 메모리 셀(r1,r2,r3)이 단일 와이어 버스를 거치는 장치 어드레스(da) 및 내부 어드레스(ia)에 의해서만 선택되도록 한 것을 특징으로 하는 센서 소자.

청구항 13

제1항에 있어서, 상기 단일 와이어 버스(B)에 접속된 제1 도선(a1), 양의 전원 전압에 접속된 제2 도선(a2), 및 음의 전원 전압에 접속된 제3 도선(a3)을 갖는 최소한 3개의 도선을 갖도록한 것을 특징으로 하는 센서 소자.

청구항 14

제13항에 있어서, 상기 제2 및 제3 도선(a2,a3) 사이에서 측정된 전압(U) 또는 전류(I)가 단일 와이어 버스(B)에 의한 데이터 워드로 판독될 수 있도록한 것을 특징으로 하는 센서 소자.

청구항 15

제14항에 있어서, 상기 센서 소자가 적어도 두개의 정의된 단계에서 상기 제2 및 제3 도선(a2,a3) 사이의 전류 흐름(I) 가변하는 전류 소스 절환 스위치(xu)를 포함하고 ; 및/또는 상기 센서 소자가 적어도 두개의 정의된 단계에서 상기 제2 및 제3도선 사이의 전압(U)을 가변하는 전압 소스 절환 장치(xq)를 추가로 구비한 것을 특징으로 하는 센서 소자.

청구항 16

제1항과 같은 데이터 전송 시스템을 구비한 메모리 소자에 있어서, 상기 동작 어드레스(oa)에 의하여 판독 모드로부터 기로 모드 절환됨과 아울러 장치 어드레스(da) 및/또는 내부 어드레스(ia)에 의하여 데이터를 판독 및/또는 기록할 수 있는 다수의 메모리 셀(ri)로 이루어진 모놀리식 집적 메모리 장치로서 구성된 상기 데이터 소스 또는 데이터 싱크를 갖는 슬레이브(S4,S5)를 형성하도록한 것을 특징으로 하는 메모리 소자.

청구항 17

제16항에 있어서, 상기 슬레이브(S4,S5)가 판독 및/또는 기록 동작을 포함하는 소정 어드레스 주기를 위한 어드레스 연산 장치를 추가로 구비하여 판독 및/또는 기록 동작을 포함하는 어드레스 주기를 요청한 후 후속 메시지(T)에서 어드레스 부분(ad)이 생략되도록한 것을 특징으로 하는 메모리 장치.

청구항 18

제17항에 있어서, 상기 어드레스 연산 장치(ap) 및 메모리 장치가 상기 모놀리식 집적 회로의 일부분품이고 ; 상기 어드레스 연산 장치(ap)를 위한 프로그램이 상기 메모리 장치(mr)의 보호 영역에 있는 어드레스 연산 프로그램으로서 저장되어 있으며 ; 및 상기 어드레스 연산 프로그램이 상기 단일 와이어 버스(B)를 거쳐 상기 메모리 장치내에 기록되도록한 것을 특징으로 하는 메모리 장치.

청구항 19

제16항에 있어서, 상기 단일 와이어 버스(B)에 접속된 제1 도선(a1), 양의 전원 전압에 접속된 제2 도선(a2), 및 음의 전원 전압에 접속된 제3 도선(a3)을 갖는 최소한 3개의 도선을 갖도록한 것을 특징으로 하는 메모리 장치.

청구항 20

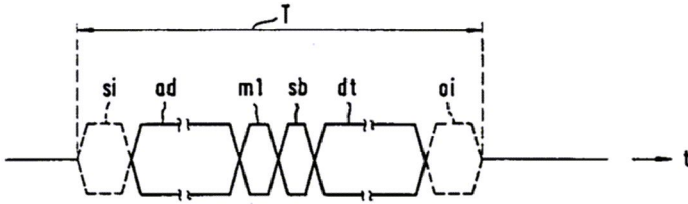
제17항에 있어서, 상기 메모리 소자가 메모리 어드레스를 공급하기 위한 도선을 갖지 않고 ; 프로그래밍을 실시할시 단일 와이어 버스(B)에 접속된 도선이 어드레스 연산 프로그램을 제공하는데 이용되며 ; 정상 동작 실행시 어드레스의 내부 연산을 외부 판독 신호(sa)와 동기 시키고 ; 및 데이터 워드의 모든 비트를 데이터 도선들을 거쳐 병렬로 입력 및/또는 출력되도록한 것을 특징으로 하는 메모리 장치.

청구항 21

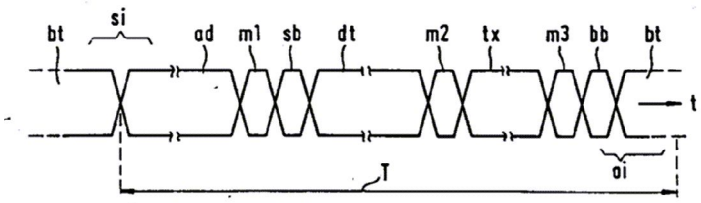
제20항에 있어서, 텔레비전 신호 레인지(range)로부터의 비디오 데이터를 고정된 어드레스 주기로 기록 및 판독되도록한 것을 특징으로 하는 메모리 장치.

도면

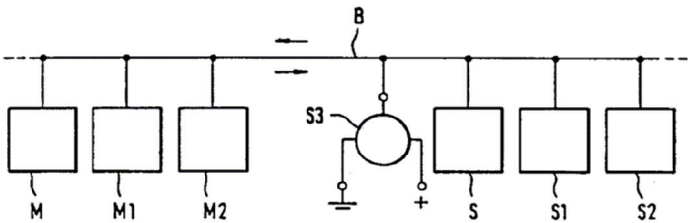
도면1



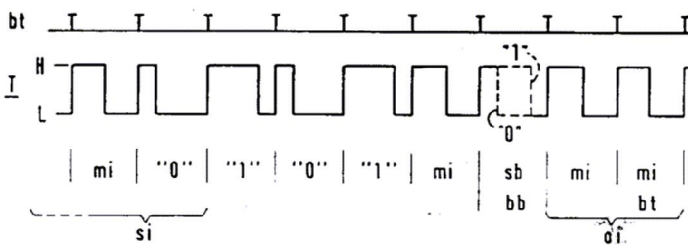
도면2



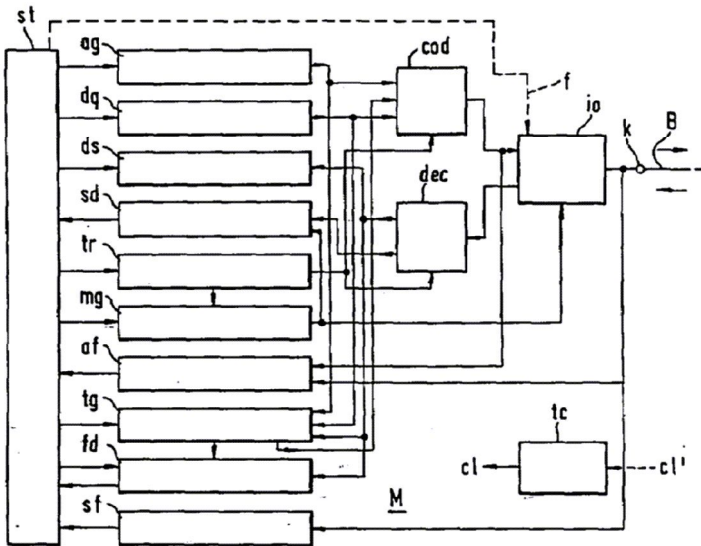
도면3



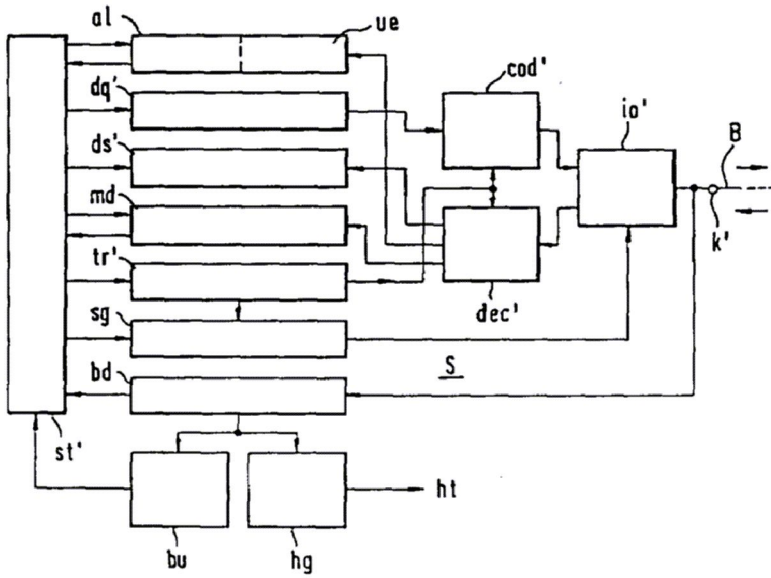
도면4



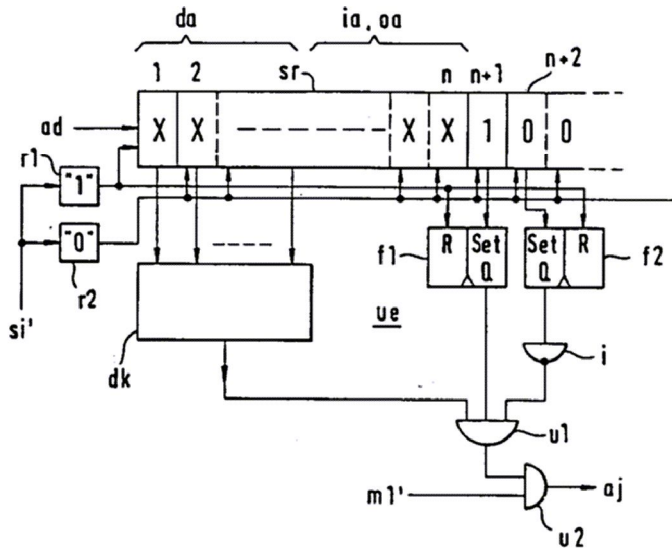
도면5



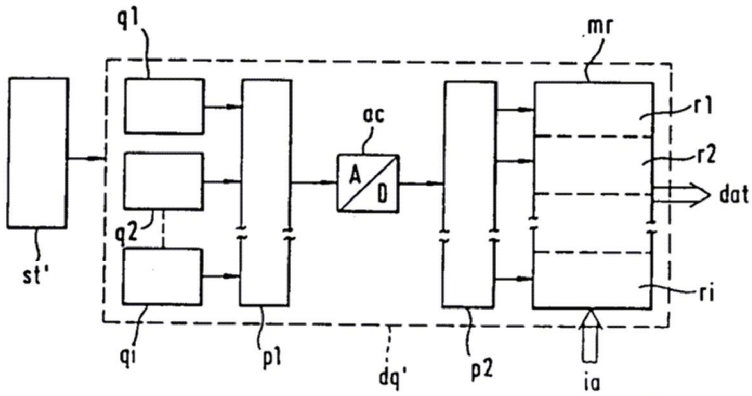
도면6



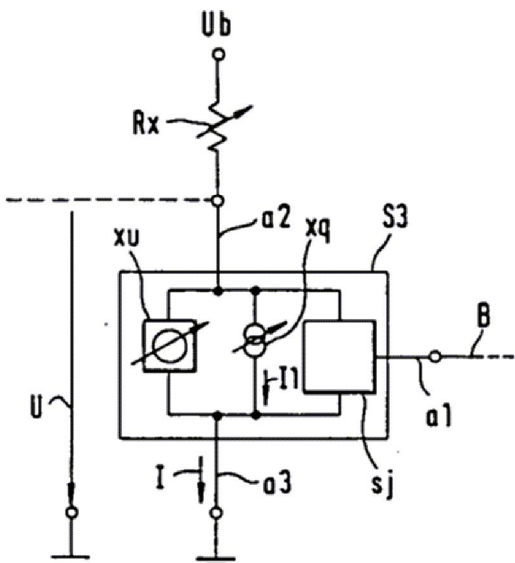
도면7



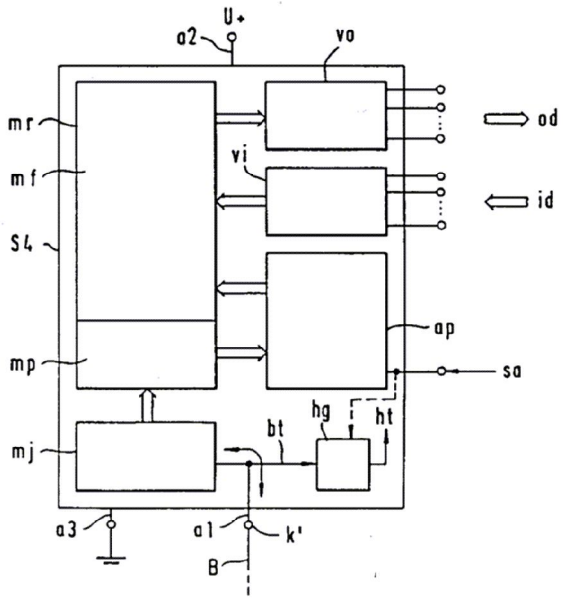
도면8



도면9



도면10



도면11

