



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년02월25일
 (11) 등록번호 10-1017713
 (24) 등록일자 2011년02월18일

(51) Int. Cl.
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
 (21) 출원번호 10-2005-7016555
 (22) 출원일자(국제출원일자) 2004년01월08일
 심사청구일자 2008년12월24일
 (85) 번역문제출일자 2005년09월05일
 (65) 공개번호 10-2006-0009819
 (43) 공개일자 2006년02월01일
 (86) 국제출원번호 PCT/US2004/000502
 (87) 국제공개번호 WO 2004/079824
 국제공개일자 2004년09월16일
 (30) 우선권주장
 10/382,726 2003년03월05일 미국(US)
 (56) 선행기술조사문헌
 US06436768 B1
 전체 청구항 수 : 총 9 항

(73) 특허권자
 스펀션 엘엘씨
 미국 캘리포니아 94088-3453 서니베일 피.오.박스
 3453 메일 스톱 68 윈 에이엠디 플레이스
 (72) 발명자
 카말 타즈리엔
 미국 캘리포니아 95134 산 호세 #304 엘란 빌리
 지 레인 390
 람스베이 마크 티.
 미국 캘리포니아 94087 서니베일 큐무러스 애비뉴
 402
 (뒷면에 계속)
 (74) 대리인
 박장원

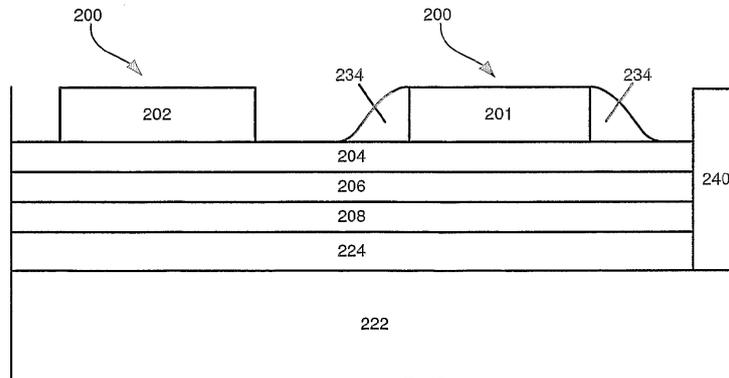
심사관 : 김기환

(54) 콘택 홀 형성으로 인한 손상을 방지하는 전하-트랩핑 메모리 어레이

(57) 요약

본 발명은 기관(222), 콘택(240)를 갖는 복수의 비트라인(222), 및 상기 비트라인(224)과 교차하는 복수의 워드라인(201,202)을 포함하는 메모리 어레이(100)에 관한 것이다. 보호 스페이서(234)가 상기 비트라인 콘택(240)의 형성 중에 야기된 손상을 방지하기 위해 상기 비트라인 콘택(240)에 인접한 상기 워드라인(201)으로부터 상기 비트라인 콘택(240)을 분리하는데 사용된다. 본 발명은 또한 상기 메모리 어레이를 형성하는 방법에 관한 것이다.

대표도 - 도2b



(72) 발명자

쉬라이와 히데코

미국 캘리포니아 95120 산 호세 벨리 웨일 서클
1208

첵 프레드 티케이

미국 캘리포니아 95136 산 호세 킹 조지 애비뉴
536

특허청구의 범위

청구항 1

기관(222)과;

비트라인 콘택들(240)을 갖는 복수의 비트라인들(224)과;

복수의 메모리 셀들(200)과, 상기 메모리 셀들 각각은 두개의 비트라인들(224) 사이에 위치하며 상기 기관(222) 상에 형성된 전하-트랩핑 유전 물질(209)을 포함하며;

상기 전하-트랩핑 유전 물질(209) 상에 형성된 복수의 워드라인들(201, 202)과; 그리고

상기 비트라인 콘택들(240)에 인접한 워드라인(201)과 상기 비트라인 콘택들(240) 사이의 적어도 하나의 절화물 스페이서(234)

를 포함하며,

상기 절화물 스페이서(234)는, 상기 비트라인 콘택들(240)에 인접한 상기 워드라인(201)과 상기 전하-트랩핑 유전 물질(209) 중 적어도 하나를 상기 비트라인 콘택(240)의 형성시에 야기되는 손상으로부터 보호하도록 된 것을 특징으로 하는 메모리 어레이(100).

청구항 2

제1항에 있어서,

상기 전하-트랩핑 유전 물질(209)은,

상기 기관(222) 상에 형성된 하부 유전층(208)과;

상기 하부 유전층(208) 상에 형성된 전하-트랩핑층(206)과; 그리고

상기 전하-트랩핑층(206) 상에 형성된 상부 유전층(204)을 포함하는 것을 특징으로 하는 메모리 어레이(100).

청구항 3

제1항 또는 제2항에 있어서,

상기 적어도 하나의 스페이서(234)는 상기 상부 유전층(204) 상에 형성되는 것을 특징으로 하는 메모리 어레이(100).

청구항 4

제1항 또는 제2항에 있어서,

상기 스페이서(234)는, 하나 이상의 비트라인(224)들의 상기 콘택들(240)로부터 에지 워드라인(201)을 분리하는 것을 특징으로 하는 메모리 어레이(100).

청구항 5

제1항 또는 제2항에 있어서,

상기 스페이서(234)들은 250 옴스트롱에서 1300 옴스트롱까지의 범위 내에 있는 것을 특징으로 하는 메모리 어레이(100).

청구항 6

삭제

청구항 7

제1항 또는 제2항에 있어서,

상기 스페이서(234)들은, 실리콘 나이트라이드, 실리콘이 풍부한 나이트라이드, SiON 중에서 하나 이상을 포함

하는 것을 특징으로 하는 메모리 어레이(100).

청구항 8

제1항 또는 제2항에 있어서,

상기 전하-트랩핑 메모리 셀들(200)은 듀얼-비트 메모리 셀들인 것을 특징으로 하는 메모리 어레이(100).

청구항 9

제1항 또는 제2항에 있어서,

상기 어레이(100)는 $2(n+1)K$ 의 크기를 갖는 메모리 블록이며, 여기서 n 은 0보다 큰 정수인 것을 특징으로 하는 메모리 어레이(100).

청구항 10

메모리 어레이를 형성하는 방법으로서,

기관(222)을 제공하는 단계와;

상기 기관(222) 상에 전하-트랩핑 유전 물질(209)을 형성하는 단계와;

비트라인 콘택 위치들을 갖는 복수의 비트라인들(224)을 형성하는 단계와;

상기 전하-트랩핑 유전 물질(209) 상에 워드라인들(201, 202)을 형성하는 단계와;

상기 비트라인 콘택 위치들에 인접한 워드라인들(201)과 상기 비트라인 콘택 위치들 사이에 질화물 스페이서들(234)을 형성하는 단계와; 그리고

비트라인 콘택들(240)을 상기 비트라인 콘택 위치들에 형성하는 단계

를 포함하며,

상기 질화물 스페이서(234)는, 상기 비트라인 콘택들(240)에 인접한 상기 워드라인(201)과 상기 전하-트랩핑 유전 물질(209) 중 적어도 하나를 상기 비트라인 콘택(240)의 형성시에 야기되는 손상으로부터 보호하도록 된 것을 특징으로 하는 메모리 어레이를 형성하는 방법.

명세서

기술분야

[0001] 본 발명은 반도체 디바이스 및 그의 제조방법에 관한 것이고, 더 구체적으로, 비트라인 콘택의 형성으로부터 발생하는 품질 저하를 감소시키는 디바이스에 관한 것이다.

배경기술

[0002] 플래시 메모리는 재기록될 수 있고 파워 없이도 그 내용을 유지할 수 있는 전자 메모리의 일 타입이다. 플래시 메모리 디바이스는 일반적으로 100K로부터 300K 기록 주기의 수명을 갖는다. 단일 바이트가 소거될 수 있는 다이나믹 랜덤 액세스 메모리(DRAM) 및 스테틱 랜덤 액세스 메모리(SRAM)와 달리, 플래시 메모리는 일반적으로 고정된 멀티비트 블록 또는 섹터로 소거되고 기록된다. 전기적으로 소거가능한 판독 전용 메모리(EEPROM) 칩 기술이 발전하여, 플래시 메모리는 비용이 저렴하고 더 조밀하다. 이와 같은 EEPROM의 새로운 카테고리는 EPROM의 조밀성의 장점과 EEPROM의 전기적 소거성의 장점을 결합하는 중요한 비휘발성 메모리로서 부상하였다.

[0003] 종래의 플래시 메모리는 셀 구조로 구축되고, 여기서 단일 비트 정보는 각 셀에 저장된다. 그와 같은 단일 비트 메모리 아키텍처에서, 각 셀은 전형적으로 기관 또는 P-웰에 소스, 드레인 및 채널을 구비하는 금속 산화물 반도체(MOS) 트랜지스터 구조뿐 아니라 상기 채널을 덮는 적층 게이트 구조를 포함한다. 상기 적층 게이트는 상기 P-웰의 표면 상에 형성된 박막 게이트 유전체층(중중 터널 산화물로 칭해짐)을 포함할 수 있다. 상기 적층 게이트는 또한, 상기 터널 산화물을 덮는 실리콘 플로팅 게이트 및 상기 플로팅 게이트를 덮는 인터폴리(interpoly) 유전체층을 포함한다. 상기 인터폴리 유전체층은 그 사이에 질화물층이 삽입된 2개의 산화물층을 갖는 산화물-질화물-산화물(ONO)층 등의 다중층 유전체이다. 마지막으로, 폴리실리콘 제어 게이트는 상기 인터폴리 유전체층을

덮는다.

[0004] 상기 제어 게이트는 전형적인 NOR 구성으로 그와 같은 셀의 섹터를 형성하기 위해 상기 셀의 행(row)과 관련된 워드라인에 접속된다. 또한, 상기 셀의 드레인 영역은 도전성 비트라인에 의해 함께 접속된다. 상기 셀의 채널은, 적층 게이트 구조에 의해 채널에 전개된 전계에 따라 상기 소스와 드레인 사이에서 전류를 도통시킨다. NOR 구성에서, 하나의 열(column) 내에 있는 트랜지스터들의 각 드레인 단자는 동일한 비트라인에 접속된다. 또한, 이들 각각의 플래시 셀은 서로 다른 워드라인에 접속된 적층 게이트 단자를 갖는 한편, 상기 어레이의 모든 플래시 셀은 공통 소스 단자에 접속된 자체의 소스 단자를 갖는다. 동작에 있어서, 개개의 플래시 셀은 프로그래밍(기록), 판독 또는 소거 기능을 위해 주변 디코더 및 제어 회로를 이용하여 각각의 비트라인 및 워드라인을 통해 어드레싱된다.

[0005] 그와 같은 단일 비트 적층 게이트 플래시 메모리 셀은 제어 게이트에 소정 전압을 인가하고 소스를 그라운드에 접속하고 소스보다 높은 소정 전위에 드레인을 접속함으로써 프로그래밍된다. 그 결과로서 터널 산화물에 걸친 높은 전계는 "파울러-노드하임(Fowler-Nordheim)" 터널링 현상을 야기한다. 상기 프로세스 동안, 플로팅 게이트는 상기 인터폴리 유전체 및 터널 산화물에 의해 둘러싸이기 때문에, 상기 코어 셀 채널 영역의 전자는 게이트 산화물을 통과하여 플로팅 게이트로 터널링되고, 상기 플로팅 게이트에서 트랩핑된다. 상기 트랩핑된 전자의 결과로서, 셀의 임계 전압이 증가한다. 상기 트랩핑된 전자에 의해 형성된 셀의 임계 전압(및 그로 인한 채널 도전성)의 이와 같은 변화는 상기 셀의 프로그래밍을 야기하는 것이다.

[0006] 전형적인 단일 비트 적층 게이트 플래시 메모리 셀을 소거하기 위해서는, 소정 전압이 소스에 인가되고, 제어 게이트는 네거티브 전위로 유지되는 한편, 드레인은 플로팅된다. 이들 조건 하에서, 상기 플로팅 게이트와 상기 소스 사이의 터널 산화물에 걸쳐 전계가 발달된다. 플로팅 게이트에 트랩된 전자는 상기 소스 영역 위에 놓인 플로팅 게이트의 소정 부분을 향해 흐르고 그 부분에서 클러스터되며, 플로팅 게이트로부터 추출되어 상기 터널 산화물을 통해 파울러-노드하임 터널링에 의해 상기 소스 영역으로 들어간다. 전자들이 플로팅 게이트로부터 제거됨에 따라, 상기 셀이 소거된다.

[0007] 종래의 단일 비트 플래시 메모리 디바이스에서, 블록내의 각각의 셀 또는 이러한 셀들의 세트가 적절하게 소거되었는지를 결정하기 위해, 소거 확인(또는 검증)이 행해진다. 현재의 단일 비트 소거 확인 방법은 비트 또는 셀 소거의 확인을 제공하고, 초기의 확인에 실패한 개개의 셀에 대해서 보충적인 소거 펄스가 인가된다. 그 후에, 상기 셀의 소거 상태는 다시 검증되고, 상기 프로세스는 상기 셀이나 비트가 성공적으로 소거되거나, 또는 상기 셀이 이용불가로 판정될 때까지 계속된다.

[0008] 최근에, 듀얼 비트 플래시 메모리 셀이 훨씬 더 널리 보급되었다. 듀얼 비트 메모리 셀은 단일 메모리 셀에 2비트의 정보를 저장할 수 있다. 최근에, 워드라인 접속을 제공하기 위해 상기 전하-트랩핑 유전체 재료층 위에 폴리실리콘층을 사용하는 전하-트랩핑 플래시 메모리 디바이스 등의, 플로팅 게이트를 이용하지 않는 듀얼 비트 플래시 메모리 구조가 도입되었다. 종래의 기술은 이들 타입의 디바이스와 관련된 특성을 제거하지 못한다.

[0009] 전하-트랩핑 메모리 셀이 메모리 어레이에서 사용되면, 전하-트랩핑 유전체 재료는 상기 기판 상에 형성되고 복수의 비트라인이 상기 기판에 형성된다. 비트라인 사이에, 그리고 상기 전하-트랩핑 유전체 재료 위에 복수의 워드라인, 일반적으로 폴리실리콘이 형성된다. 상기 셀이 적절하게 기능하면, 전하는 상기 전하-트랩핑 유전체 재료에 트랩된다. 그러나, 콘택 에지 틈에 의해 콘택 홀이 상기 비트라인에 형성되면, 플라스마 충전은 상기 콘택 홀 근처의 유전체 전하-트랩핑 재료를 손상시킬 수 있다. 그와 같은 손상은 의도되지 않은 전하 트랩핑 영역의 형성을 포함할 수 있다. 결과적으로, 상기 콘택 홀 근처의 전하 트랩핑 유전체 재료는 상기 콘택 홀로부터 멀리 떨어진 유전체 재료와 동일한 방법으로 전하를 트랩하지 않을 수 있다.

[0010] 따라서, 전하-트랩핑 메모리 셀을 사용하고 콘택 홀 형성에 의해 발생하는 품질 저하를 방지하는 신규하고 개선된 메모리 어레이가 기술분야에 요구된다.

발명의 상세한 설명

[0011] 본 발명에 따르면, 기판과 콘택을 구비하는 복수의 비트라인을 포함하는 메모리 어레이가 제공된다. 상기 비트라인 사이에는, 전하-트랩핑 유전체 재료를 갖는 복수의 전하-트랩핑 메모리 셀이 상기 기판 위에 형성된다. 복수의 워드라인은 상기 전하-트랩핑 유전체 재료 위에 형성된다. 질화물 스페이서는 상기 비트라인 콘택과 상기 비트라인 콘택에 인접한 워드라인 사이에 형성된다.

[0012] 또한, 본 발명에 따르면, 메모리 어레이를 형성하는 방법이 제공된다. 상기 방법에 따르면, 기판이 제공되고 상

기 기관 위에 전하-트랩핑 유전체 재료가 형성된다. 콘택 위치를 갖는 복수의 비트라인이 형성되고 워드라인이 상기 전하-트랩핑 유전체 재료 위에 형성된다. 그 후에, 보호 스페이서는 상기 비트라인 콘택 위치와 상기 비트라인 콘택 위치에 인접한 워드라인 사이에 형성된다. 상기 비트라인 콘택은 상기 비트라인 콘택 위치에 형성된다.

[0013] 또 다른 실시예에서, 본 발명은 반도체 디바이스를 제조하는 프로세스에 관한 것으로, 상기 프로세스는, 반도체 기관을 제공하는 단계; 상기 반도체 기관 상에 산화물층을 형성하는 단계를 포함하고, 상기 산화물층 및 상기 반도체 기관은 기관-산화물 계면을 형성하고, 상기 계면은 실리콘-수소 결합 또는 땀글링(dangling) 실리콘 결합 중 적어도 하나를 포함하고; 상기 실리콘-수소 결합 또는 땀글링 실리콘 결합 중 적어도 하나의 적어도 일부분을 실리콘-원자 결합으로 변환하는데 충분한 조건하에, 실리콘-수소 결합을 절단하는데 충분한 에너지, 실리콘-원자 결합을 형성할 수 있는 적어도 하나의 원자를 갖는 적어도 하나의 가스를 포함하는 분위기 및 약 500℃ ~ 약 1100℃의 범위의 온도에서 상기 계면을 자외선 방사에 노출시키는 단계; 및 상기 산화물층 상에 유전체 전하 저장층을 형성하는 단계를 포함하고, 상기 적어도 하나의 반응 가스는 하나 이상의 중수소, 산소, 일산화질소, 아산화질소, 오존 또는 단일항 산소(singlet oxygen)를 포함하고, 불활성 가스는 하나 이상의 비활성 기체 또는 질소를 포함하고, 분위기는 상기 적어도 하나의 반응 가스의 약 5%의 체적 내지 약 95%의 체적을 포함하고 상기 적어도 하나의 비활성 기체의 약 95% 중량 내지 약 5%의 중량을 포함한다.

[0014] 따라서, 본 발명은 땀글링 실리콘 결합으로 변환될 수 있는 실리콘-수소 결합과 땀글링 실리콘 결합 중 어느 하나 또는 양쪽의 존재로 인해, 기관과 오버라이딩(overlying) 산화물층 사이의 계면에 응력을 유발시킨 핫 캐리어 주입의 문제점에 대한 솔루션을 제공한다.

실시예

[0021] 이해될 사항으로서, 이하 개시되는 공정 단계 및 구조가 집적 회로를 제조하기 위한 완전한 공정 흐름을 형성하는 것은 아니다. 본 발명은 당업계에서 현재 이용되고 있는 집적 회로 제조 기술과 함께 실시될 수 있으며, 일반적으로 실시되는 공정 단계들중 본 발명을 이해하는 데에 필요한 것만을 포함한다. 또한, 이해될 사항으로서, 본 발명은 2 비트 전하 트랩핑 디바이스와 관련하여 설명될 것이지만, 본 발명은 이러한 디바이스로 한정되지 않고, 비트라인 및 워드라인 아키텍처를 갖는 메모리 어레이에서 이용되는 모든 전하 트랩핑 메모리 셀에 적용할 수 있다. 또한, 이해할 수 있는 사항으로서, 본 발명은 매물 비트라인과 관련하여 설명되지만, 본 발명은 다른 비트라인 구성에도 적용될 수 있다.

[0022] 도 1은 전하 트랩핑 메모리 셀을 이용하는 비트라인 및 워드라인 아키텍처를 갖는 메모리 어레이를 나타낸다. 어레이(100)의 상부도 또는 평면도가 나타나 있다. 나타난 바와 같이, 어레이(100)는, 예를 들어 8 비트 입/출력(I/O)을 갖는 64K 어레이(100)의 예이다. 당업자라면 이해할 수 있는 사항으로서, I/O는 16 비트, 32 비트, 64 비트 또는 그 이상이 될 수 있다. 또한, 이해할 수 있는 사항으로서, 어레이는 128K, 256K 등의 $2^{(n+1)}$ K의 크기를 갖는 메모리 블록이 될 수 있는 바, 여기서 n은 0 보다 크다. 어레이(100)는 하나의 섹터 또는 그 일부인 메모리 블록이 될 수 있다. 예를 들어, 하나의 섹터는 공통 금속 비트라인(224)을 연결하는 콘택(240)을 갖는 1개 이상의 블록에 의해 형성될 수 있다.

[0023] 전하 트랩핑 유전 스택(209)은 메모리 어레이(100)의 길이방향으로 확장할 수 있다. 어레이(100)는 16개의 I/O 또는 칼럼(224)의 그룹을 포함한다. 각 "워드" 또는 I/O의 그룹은 8개의 트랜지스터 또는 8개의 통상 비트 및 8개의 상보 비트로 이루어진다. 각 I/O는 워드라인(201 또는 202)을 포함하는 바, 이는 셀의 로우를 어드레싱하기 위한 폴리실리컨이 될 수 있다. 메모리 어레이(200)의 개별적인 비트의 판독, 기록 및 소거를 가능하게 하는 복수의 비트라인(224)이 전하 트랩핑 유전 스택(209)의 아래에 있다. 각 비트라인(224)은 16개 로우의 그룹의 한 단부에서 제 1 콘택(240) 및 금속 비트라인(미도시)에 접속되고, 그 그룹의 다른 단부에서 제 2 콘택(240)에 접속된다. 도 1에 나타난 바와 같이, 5개의 비트라인이 도시되어 있는 바, 이에 따라 비트라인은 칼럼의 매 다른 트랜지스터의 단부에 결합되고, 2개의 선택 트랜지스터를 이용하여 판독, 기록 및 소거를 위해 2개의 트랜지스터의 4 비트 사이를 선택할 수 있다. 각 예지 워드라인(201)과 콘택(240) 사이에는, 스페이서(234)가 있다. 일 실시예에서, 스페이서(234)는 전체 예지 워드라인(201)을 따라 있다. 일 실시예에서, 스페이서(234)는 실질적으로 비트라인(224) 위에만 배치된다. 일 실시예에서, 스페이서(234)는 약 250Å 내지 약 1300Å 범위의 간격만큼 예지 워드라인(201)을 넘어 연장되고, 예지 워드라인(201)과 콘택(240) 간의 전체 간격에 실질적으로 걸쳐도록 연장될 수 있다.

[0024] 다음으로, 도 2A 및 2B는 본 발명의 1개 이상의 다양한 양상이 실시될 수 있는 메모리 셀의 단면을 개략적으로

나타낸다. 메모리 셀(10)은 전하 트랩핑 유전 스택(209)을 포함하는 바, 이는 상부 유전층(204)과 바닥 유전층(208) 사이에 끼워진 전하 트랩핑층(206)으로 이루어진다. 폴리실리콘층(201 또는 202)이 전하 트랩핑 유전 스택(209) 위에 존재하는 바, 이는 메모리 셀(200)에 대한 워드라인 접속을 제공한다. 제 1 비트라인(224a)이 제 1 영역(203) 아래의 전하 트랩핑 유전 스택(209)의 아래에 있으며, 제 2 비트라인(224b)이 제 2 영역(207) 아래의 전하 트랩핑 유전 스택(209) 아래에 있다. 비트라인들(224a 및 224b)은 도전성부(230) 및 선택적인 산화물부(228)로 형성된다.

[0025] 일 실시예에서는, 붕소 코어 임플란트부(232)가 각 비트라인(224a 및 224b)의 양쪽 단부에 제공되는 바, 여기에서 비트라인은 하부 유전층(208)을 만나거나 또는 전체 트랜지스터를 따라간다. 붕소 코어 임플란트부는 P형 기판보다 고 도핑되어, 메모리 셀(200)의 V_T 의 제어를 돕는다. 일 실시예에서, 셀(200)은 P형 기판(222) 위에 있는 바, 비트라인들(224a 및 224b)의 도전성부(230)가 N^+ 비소 임플란트로부터 형성됨으로써, 비트라인들(224a 및 224b) 사이에 그리고 P형 기판에 걸쳐서 채널(220)이 형성된다. 메모리 셀(200)은, 폴리실리콘 워드라인들(201 또는 202)의 일부로서 형성되는 게이트와 함께, P형 기판 영역(222)에 있는 N^+ 비소 임플란트부(230)로부터 형성되는 서로 바뀔 수 있는 소스 구성 요소 및 드레인 구성 요소를 포함한다. 이해할 수 있는 사항으로서, 제 1, 2 비트라인들(224a 및 224b)을 도전성부(230) 및 선택적인 산화물부(228)와 관련하여 나타내었지만, 비트라인은 도전성부 만으로도 형성될 수 있다.

[0026] 일 실시예에서, 전하 트랩핑층(206)은 실리콘 나이트라이드(silicon nitride)이다. 셀의 프로그래밍은, 드레인 및 게이트에 전압을 인가하고 소스를 접지시킴으로써 이루어진다. 인가되는 전압에 의해 채널을 따라 전계를 발생시킴으로써, 전자들을 가속시켜 기판층(222)으로부터 전하 트랩핑층 내로 점프시킨다. 이러한 점프는 열 전자 주입으로서 알려져 있다. 전자들은 드레인에서 최고의 에너지를 얻기 때문에, 이러한 전자들은 트랩되어, 드레인 근처의 전하 트랩핑층(206)에 저장된 채로 유지된다. 셀(200)은 일반적으로 균일하며, 드레인 및 소스는 바뀔 수 있다. 전하 트랩핑층은 비도전성이기 때문에, 제 1 전하(234a)는 중심 영역(205)의 제 1 단부 가까이 전하 트랩핑층(206) 내에 주입될 수 있고, 제 2 전하(234b)는 중심 영역(205)의 제 2 단부 가까이 전하 트랩핑층(206) 내에 주입될 수 있다. 이러한 방식으로, 1개 이상의 전하가 전하 트랩핑층(206)에 저장됨으로써, 이중 비트 메모리 셀(200)을 생성한다. 또한, 이해될 사항으로서, 동일한 방식으로 2개 이상의 전하가 전하 트랩핑층(206)에 저장됨으로써, 2 비트 이상의 메모리 셀(200)을 생성할 수 있다.

[0027] 상기 설명한 바와 같이, 제 1 전하(234a)는 중심 영역(205)의 제 1 단부에서의 전하 트랩핑층(206) 내에 저장될 수 있고, 제 2 전하(234b)는 중심 영역(205)의 제 2 단부에서의 전하 트랩핑층(206) 내에 주입될 수 있는 바, 이에 따라 메모리 셀(200)마다 2 비트가 존재할 수 있다. 이중 비트 메모리 셀(200)은 일반적으로 대칭적이기 때문에, 드레인 및 소스는 바뀔 수 있다. 따라서, 왼쪽 비트를 프로그램할 때에는, 제 1 비트라인(224a)이 드레인 단자의 역할을 하고, 제 2 비트라인(224b)이 소스 단자의 역할을 한다. 마찬가지로, 오른쪽 비트를 프로그램할 때에는, 제 2 비트라인(224b)이 드레인 단자의 역할을 하고, 제 1 비트라인(224a)이 소스 단자의 역할을 한다.

[0028] 당업자라면 인식할 수 있는 사항으로서, 상기 설명한 타입의 메모리 셀 어레이의 적합한 기능에 있어서, 전기적인 전하(234a, 234b)는 바람직하게는 처음에 주입되었던 전하 트랩핑층(206)의 영역에 분리된 채로 유지된다. 또한, 당업자라면 일반적으로, 콘택 홀(240)을 형성하는 공정 동안, 전하 트랩핑 유전 스택(209) 및 게이트 전극(201)중 적어도 하나가 손상되는 것으로 믿고 있다. 이러한 손상은 에지 툴로부터의 플라즈마 차징에 의해 야기되는 것으로 여겨지고 있다. 이러한 손상에 의해, 전하들이 바닥 유전층(208) 내에 붙들려, 전하 트랩핑층(206) 내에 주입되지 못하게 됨으로써, 콘택 홀(240)에 인접하는 메모리 셀(200)이 적절하게 기능하지 못하게 된다.

[0029] 이제, 도 3 내지 8을 참조하여 본 발명에 대해 설명한다. 도 3 내지 6은 본 발명에 따라 전하 트랩핑 유전 스택(209) 및 그 위에 에지 워드라인(201)을 제조하는 공정 단계들의 단면을 나타낸다. 도 7 및 8은 본 발명에 따라 스페이서 및 식각 중지층을 제조하는 공정 단계들의 단면을 나타낸다. 도 9는 본 발명에 따른 공정 단계를 일반적으로 나타내는 개략적인 흐름도이다.

[0030] 도 9에서 단계(902)로서 개략적으로 나타난 본 발명의 제 1 단계에서는, 도 3에 나타난 반도체 기판(222)을 제공한다. 이 반도체 기판(222)은 당업계에 알려져 있는 임의의 적절히 선택된 기판이 될 수 있다. 적합한 반도체 기판으로는, 예를 들어 벌크 실리콘 반도체 기판, 실리콘 온 인슐레이터(SOI) 반도체 기판, 게르마늄 온 인슐레이터(GOI), 실리콘 온 사파이어(SOS) 반도체 기판, 및 당업계에 알려져 있는 다른 물질로 형성되는 반도체 기판

이 있다. 본 발명은 어떠한 특정한 타입의 반도체 기관(222)으로 한정되지 않는다.

[0031] 또한 도 3에서, 하부 유전체 층(208)의 형성이 도시된다. 이 단계는 도 9에서 단계(904)로서 개략적으로 도시된다. 본 발명에 따라서, 하부 유전체 층(208)이 반도체 기관(222) 위에 형성된다. 일 실시예에서, 하부 유전체 층(208)은 실리콘 다이옥사이드(dioxide)이다. 그러나, 당해 기술분야의 당업자에게는 하부 유전체 층(208)은 실리콘 이산화물에 한정되지 않음이 인지될 것이다. 일 실시예에서, 하부 유전체 층(208)은 하이-K(high-K) 유전 물질, 합성 유전 물질, 혹은 어떠한 하이-K 유전체 물질도 실질적으로 포함되지 않은 유전 물질을 포함한다. 본 명세서에서 사용된 바와 같이, 용어 "하이-K 유전 물질"은 대략 10 이상의 K를 구비한 유전 물질을 일컫는다. 이러한 하이-K 유전 물질은, 예를 들면 HfO_2 , ZrO_2 , 다른 물질을 포함하며, 일부는 아래서 더욱 상세하게 설명된다. 일반적으로, 용어 "하이-K 유전 물질"은 2원(binary), 3원(ternary), 및 고차원 산화물과 대략 10 이상의 K를 갖는 강유전성 물질을 포함한다. 또한, 하이-K 유전 물질은, 예를 들면, 대략 14의 K를 갖는 하프늄 실리케이트(hafnium silicate), 산소 및 질소의 상대적인 양에 따라 대략 16의 K를 갖는 하프늄 실리콘 옥시나이트라이드(hafnium silicon oxynitride), 및 대략 18의 K를 갖는 하프늄 실리콘 옥사이드와 같은 합성 유전 물질을 포함한다.

[0032] 적합한 하이-K 유전 물질은 ZrO_2 , HfO_2 , Al_2O_3 , Y_2O_3 , La_2O_3 , 규산염(ZrO_2 , HfO_2 , Al_2O_3 , Y_2O_3 , La_2O_3 중 하나 이상의 규산염), 또는 알루미늄산염(ZrO_2 , HfO_2 , Y_2O_3 , La_2O_3 중 하나 이상의 알루미늄산염)을 포함한다. 적합한 하이-K 유전 물질은 또한 탄탈 옥사이드(Ta_2O_5), 바륨 티탄산염($BaTiO_3$), 티타늄 다이옥사이드(TiO_2), 세륨 옥사이드(CeO_2), 란탄 옥사이드(La_2O_3), 란탄 알루미늄 옥사이드(La_2AlO_3), 납 티탄산염($PbTiO_3$), 스트론튬 티탄산염($SrTiO_3$), 납 지르콘산염($PbZrO_3$), 텅스텐 옥사이드(WO_3), 이트륨 옥사이드(Y_2O_3), 비스무트 실리콘 옥사이드($Bi_4Si_2O_{12}$), 바륨 스트론튬 티탄산염(BST)($Ba_{1-x}Sr_xTiO_3$), PMN($PbMg_xNb_{1-x}O_3$), PZT($PbZr_xTi_{1-x}O_3$), PZN($PbZn_xNb_{1-x}O_3$), 및 PST($PbSc_xTa_{1-x}O_3$)를 포함한다. 전술한 하이-K 유전 물질에 더하여, 다른 하이-K 유전체 물질은, 예를 들면 납 란탄 티탄산염, 스트론튬 비스무트 탄탈산염, 비스무트 티탄산염, 및 바륨 지르코늄 티탄산염과 같은 강유전성 하이-K 유전체 물질이 본 발명에서 사용될 수 있다. 예를 들면, 대략 10 이상의 K를 갖는 2원 및 3원 산화물을 포함하는, 해당 기술 분야에 공지된 다른 하이-K 유전 물질이 본 발명에서 또한 사용될 수 있다.

[0033] 본 명세서에 사용되는 바와 같이, 용어 "합성 유전 물질"은 적어도 두 개의 다른 유전 물질들 요소를 포함하는 유전 물질을 일컫는다. 일반적으로 합성 유전 물질은 하이-K 유전체 물질에 대해 상기 정의된 10보다 큰 K 값을 갖는다. 합성 유전 물질은, 예를 들면 혼성 금속 산화물(mixed-metal oxide), 금속 실리케이트, 금속 알루미늄산염, 또는 금속 혼성 알루미늄산염/규산염(metal mixed-aluminate/silicate)이다. 따라서, 예를 들어 예시적인 금속으로 하프늄을 사용하면, 상기 합성 유전 물질은 하프늄 지르코늄 옥사이드($Hf_xZr_{1-x}O_2$ 여기서 x는 0과 1 사이의 범위), 하프늄 실리케이트($HfSiO_4$), 하프늄 알루미늄산염($HfAl_2O_5$), 또는 하프늄 혼성 알루미늄산염/규산염($Hf_2Si_2Al_2O_{11}$ 와 같은 형태를 갖는 $HfO_2/SiO_2/Al_2O_3$)이다. 합성 유전 물질은 합성 유전 물질을 형성하도록 요소들을 결합하기 위해 성분 요소들의 동시 증착, 혹은 연속적인 증착 후에, 예컨대, 열처리와 같은 처리 단계를 함으로써 형성된다. 혼성 금속 산화물, 금속 실리케이트, 금속 알루미늄산염 혹은 금속 혼성 알루미늄산염/규산염을 위한 적합한 금속은, 예를 들면, 하프늄, 지르코늄, 이트륨, 세륨, 탄탈, 티타늄, 란탄, 텅스텐, 비스무트, 바륨, 스트론튬, 스칸듐, 니오브(niobium), 혹은 납, 또는 이들의 혼합물을 포함한다. 다른 금속 산화물, 실리콘 이산화물, 또는 알루미늄 산화물과 함께 결합할 때, 실리콘 이산화물보다 더 큰 K 값을 갖는 물질을 생성하는 다른 금속 산화물이 적절하다. 예를 들면, 혼성 금속 산화물, 금속 실리케이트, 금속 알루미늄산염, 또는 금속 혼성 알루미늄산염/규산염은, 대략 600-800°C의 온도에서 실리콘(혹은 폴리실리콘 또는 폴리실리콘-게르마늄)과 실질적으로 반응하지 않는 것으로 적합한 것이다.

[0034] 본 명세서에서 사용되는 바와 같이, 용어 "폴리실리콘-게르마늄(polysilicon-germanium)"은 폴리실리콘과 게르마늄의 혼합물을 일컫는바, 여기서, 게르마늄의 양은 0보다 약간 큰 값에서부터 혼합물의 중량의 대략 60%에 이르기까지 그 양이 변한다. 따라서, 게르마늄의 양은 도핑 양에서부터 혼합물의 중량의 대략 60%에 이르는 범위이다. 폴리실리콘-게르마늄은 기술분야에서 공지된 어떠한 방법, 즉, 폴리실리콘에 게르마늄을 도핑하거나, 동시 증착에 의해 형성될 수 있다.

[0035] 일 실시예에서, 하부 유전체 층(208)은 반도체 기관(222)의 표면의 산화에 의해 형성된다. 상기 산화는 기술 분야에서 공지된 모든 타입의 금속 열적 프로세스(RTP) 장치와 같은, 기술분야에서 공지된 어떠한 산화 프로세스에 의해서도 적절하게 수행될 수 있다. 예를 들면, RTP 장치는 단일-웨이퍼 클러스터 툴(single-wafer cluster

tool)의 일부분일 수 있다. 하부 유전체 층(208)은 또한 급속 열적 화학적 기상 증착(RTCVD)과 같은 증착 공정에 의해 형성될 수 있다. 일 실시예에서, RTP 장치는 단일 웨이퍼 클러스터 톨의 일부분일 수 있다. 하부 유전체 층(208)은 저압 화학적 기상 증착(LPCVD) 프로세스에 의해 배치로(batch furnace)에서 유전체 물질을 증착함으로써 형성될 수 있다. 일 실시예에서, 하부 유전체 층(208)은 PECVD, ALD(ALCVD), PLD, MLD, 또는 MOCVD와 같은 다른 적합한 방법에 의해 증착된다. 상기 CVD는 기술분야에서 공지된 모든 적합한 CVD 방법일 수 있다.

[0036] 하부 유전체 층(208)은 20 내지 대략 150Å의 두께를 가질 수 있다. 일 실시예에서, 하부 유전체 층(208)은 대략 100Å의 두께이다. 기술분야의 당업자에게 인식될 것으로서, 다른 공지된 방법이 상기 하부 유전체 층(208)을 증착하는데 사용된다. 전술한 단계(904)의 결과로서, 적합한 방법에 의해 하부 유전체 층(208)이 형성된다.

[0037] 도 9의 단계(906)로 도시된 본 발명의 다음 단계에서, 전하-트랩핑 층(206)이 하부 유전체 층(208) 위에 형성된다. 도 4에 도시된 바와 같이, 하부 유전체 층(208)을 형성한 후에, 전하 트랩핑 층(206)이 상기 하부 유전체 층(208) 위에 증착된다. 일 실시예에서, 전하 트랩핑 층(206)은 실리콘 나이트라이드를 포함한다. 다른 실시예에서, 전하 트랩핑 층(206)은 적합한 하이-K 유전체 물질을 포함한다. 다른 실시예에서, 전하 트랩핑 층(206)은 하이-K 유전체 물질과 실리콘 나이트라이드와 같은 표준-K 유전체 물질 양자를 모두 포함한다. 일 실시예에서, 층(206)은 합성 유전체 물질을 포함하는바, 이 합성 유전체 물질은 두 개 이상의 유전체 물질의 합성 혹은 반응 물질을 포함하고, 이들 중 하나는 하이-K 유전체 물질이고, 다른 하나는 실리콘 나이트라이드 같은 표준-K 유전체 물질이다. 따라서, 일 실시예에서, 하이-K 유전체 물질은 전하 트랩핑 층(206)에서 실리콘 나이트라이드를 완전히 대체한다. 다른 실시예에서, 하이-K 유전체 물질은 본질적으로 전하 트랩핑 층(206)을 형성하기 위해, 실리콘 나이트라이드에 더해지거나 이에 결합된다. 다른 실시예에서, 전하 트랩핑 층(206)은 실리콘 나이트라이드를 대체하는 합성 유전 물질을 포함한다. 전하 트랩핑 층에 사용하기 위한 적합한 하이-K 유전 물질이 본원과 함께 계류중인 2001년 12월 31자 미국출원 제 10/036,757호에서 개시되며, 이는 전하 트랩핑 유전체 스택(209)의 전하 트랩핑 층(206)에서 사용하기 위한 하이-K 유전 물질에 관련된 개시에 대해서 참조로서 본 명세서에서 인용된다.

[0038] 하이-K 유전 물질 층의 증착을 위한 적합한 방법은 RTCVD, 다른 화학 기상 증착(CVD) 방법, 또는 모든 다른 적합한 방법을 포함한다. 상기 CVD 방법은 하이-K 물질의 증착에 대해 기술분야에서 공지된 모든 적합한 CVD 방법일 수 있다. 예를 들면, 이 CVD 방법은 전술한 RTCVD 외에 ALD(ALCVD), PECVD, MOCVD 또는 MLD일 수 있다.

[0039] 전하 트랩핑 층(206)의 증착 후에, 도 9의 단계(908)로 도시된 메모리 어레이(100)를 형성하는 다음 프로세스 단계에서, 상부 유전체 층(204)이 전하 트랩핑 층(206) 위에 적합한 기술에 의해 형성된다. 상부 유전체 층(204)은 하부 유전체 층(208)에 대해 상기 개시된 모든 물질을 포함할 수 있다. 예를 들면, 상부 유전체 층(204)은 본 명세서에 정의된 바와 같이, 실리콘 이산화물, 하이-K 유전 물질, 또는 합성 유전 물질을 포함할 수 있다.

[0040] 도 5에 도시된 바와 같이, 전하 트랩핑 층(206)을 증착한 후에, 상부 유전체 층(204)이 상기 전하 트랩핑 층(206) 위에 형성된다. 상부 유전체 층(204)은 해당 기술분야에서 공지된 임의의 적합한 방법에 의해 형성될 수 있다. 일 실시예에서, 상부 유전체 층(204)은 전하 트랩핑 층(206)의 상부 표면의 인-시츄 스팀 발생(in-situ steam generation)(ISSG) 산화에 의해 형성된다. 일 실시예에서, 상부 유전체 층(204)은 전술한 RTCVD 또는 LPCVD와 같은 HTO 증착에 의해 형성된다. 일 실시예에서, 상부 유전체 층(204)은 PECVD, ALD(ALCVD), PLD, MLD, 또는 MOCVD와 같은 다른 적합한 방법에 의해 증착된다. CVD는 기술분야에서 공지된 모든 적합한 CVD이다.

[0041] 따라서, 전하 트랩핑 유전 물질(209)이 형성된다. "전하 트랩핑 유전 물질", "전하 트랩핑 유전체 스택", 및 "전하 트랩핑 유전체 구조"는 교환적으로 사용되도록 의미되는 것으로 인식될 것이다.

[0042] 본 발명에 따라 전하 트랩핑 유전체 물질(209)의 형성 후에, 도 9에서 단계(908)로 도시된 바와 같이, 워드라인 층(201 또는 202)이 상부 유전체 층(204) 위에 형성된다. 동일한 형성 프로세스가 워드라인들(202) 및 예지 워드라인들(201) 모두에 동일하게 적용된다. 워드라인(201 또는 202)을 형성하는 층은 이러한 사용을 위해 기술분야에서 공지된 모든 물질을 포함할 수 있다. 예를 들면, 워드라인 층(201 또는 202)은 폴리실리콘, 폴리실리콘-게르마늄, 금속 실리사이드, 금속, 또는 기술분야에서 공지된 다른 모든 적합한 물질을 포함한다. 그 다음, 리쏘그래피 패터닝 및 식각 프로세스가 전하 트랩핑 유전체 물질(209)과 워드라인(201 또는 202)을 정의하기 위해 수행된다. 기술분야의 당업자는 다양한 게이트 형성 물질들이 워드라인(201 또는 202)을 형성하는데 사용될 수 있음을 인식할 것이다. 예를 들면, 워드라인(201 또는 202)은 다결정(polycrystalline) 실리콘, 비정질 실리콘, 내화성 금속 실리사이드(refractory metal silicide), 금속, 및 이와 같은 것으로 형성될 수 있다.

[0043] 에지 워드라인(201)의 형성 후에, 도 9의 단계(912)로 표시된 바와 같이, 보호 스페이서(234)가 전하 트랩핑 유전체 물질(209) 위에, 및 에지 워드라인(201)과 장래 콘택(240)의 위치 사이에 형성된다. 콘택 홀(240)의 형성 동안에, 에지 톨들로부터의 플라즈마는 전하 트랩핑 물질(209)과 에지 워드라인(201)에 손상을 야기할 수 있다. 따라서, 콘택 홀(240)의 형성 전에, 보호 스페이서(234)가 플라즈마로부터와 같은 손상을 방지하고자 형성된다. 일 실시예에서, 스페이서(234)는 질화물 스페이서이다. 질화물 스페이서는 Si_3N_4 의 화학량론(stoichiometry)적인 조성을 가질 수 있다. 추가로, 다른 물질들이 스페이서(234)에 대해 사용될 수 있는바, 예컨대, 실리콘 나이트라이드, 실리콘 풍부한 나이트라이드(silicon rich nitride), $SiON$ 등과 같은 것이다. 스페이서(234)는 콘택 식각시의 UV 방사로부터 에지 트랜지스터들을 보호한다. 이는 에지 워드라인의 콘택 식각에 의한 손상을 방지한다.

[0044] 본 발명의 일 실시예에 있어서, 상기 스페이서(234)는 RTCVD 또는 LPCVD 와 같은 방법에 의하여 형성된다. 본 발명의 일 실시예에 있어서, 상기 스페이서(234)는 또 다른 적합한 방법, 즉 PECVD, ALD(ALCVD), PLD, MLD 또는 MOCVD와 같은 방법에 의하여 증착된다. 상기 CVD 방법은 본 발명의 기술 분야에서 공지된 임의의 적합한 CVD 방법일 수 있다. 본 발명의 일 실시예에서는, 그 다음으로, 리소그래픽(lithographic) 패턴링과 식각 공정이 수행되어 상기 스페이서(234)를 정의한다. 본 발명의 일 실시예에서, 상기 스페이서(234)들은 약 250 옹스트롬(angstroms)에서 1300 옹스트롬까지 범위 내에 형성되며, 본 발명의 일 실시예에는 약 750 옹스트롬에서 약 1200 옹스트롬 범위 내에 형성된다. 본 발명의 일 실시예에 있어서, 상기 스페이서들(234)의 높이는, 상기 에지 워드라인(201)을 형성하기 위한 상기 전하-트랩핑(charge-trapping) 유전 물질 상에 증착되는 물질의 높이와 거의 같다.

[0045] 본 발명의 일 실시예에 있어서, 상기 스페이서(234)는 상기 워드라인(201)과 연결하여 형성되며, 본 발명의 일 실시예에서, 상기 스페이서(234)는 상기 워드라인(201)으로부터 분리되어 형성된다. 본 발명의 일 실시예에 있어서, 소정의 싱글 스페이서(234)는, 하나 이상의 비트라인(224)의 콘택들(240)로부터 상기 에지 워드라인(201)을 분리하도록 연장되는바, 상기 비트라인은 워드라인(201)과 교차한다. 본 발명의 일 실시예에 있어서는, 도 8에 도시된 바와 같이, 소정의 식각-정지 층(etch-stop layer)(802)이 상기 콘택 물질이 형성되기 전에 상기 워드라인(201)과 상기 스페이서(234) 위에 형성된다. 상기 콘택 물질은 본 발명의 기술 분야에 종사하는 당업자가 이해하고 있는 임의의 콘택물질로서, 즉 규화 코발트(cobalt silicide)($CoSi_2$) 또는 규화 티타늄(titanium silicide)($TiSi_2$)와 같은 물질일 수 있다. 그 밖에도, 상기 식각-정지 층은 임의의 적합한 물질일 수도 있다. 그 밖에도, 상기 콘택 홀(240)이 생성되는 동안에 유발될 수 있는 손상으로부터 보다 향상된 절연을 제공하기 위하여, 상기 전하-트랩핑 유전 물질(209)은 산화층과 같은 유전 물질에 의하여 상기 콘택 홀(240)로부터 분리될 수 있다.

[0046] 이상 상술한 것은, 본 발명에 따른 것으로서, 콘택들을 형성하는 동안 그리고 동일한 것을 제조하는 공정 동안에 유발되는 손상에 내성이 있는 전하-트랩핑 메모리 어레이에 관한 것이다. 그러므로, 본 발명은 에지 워드라인들과 비트라인 콘택들 사이에 형성된 보호 스페이서들을 갖는 메모리 어레이를 제공한다. 또한, 본 발명은 보다 작은 비트라인 누설(leakage)을 나타내는 메모리 어레이를 제공한다.

산업상 이용 가능성

[0047] 비트라인들과 워드라인들을 갖는 메모리 어레이들은 콘택 홀 형성으로부터 기인된 손상에 민감하다. 본 발명에 따르면, 콘택 홀들을 형성하는 동안에 메모리 어레이에 대한 손상을 줄이는 시스템과 방법이 제공되며 따라서, 메모리 어레이들의 성능을 향상시킬 수 있다.

[0048] 비록, 특정 도면을 참조하여 본 발명의 실시예들이 기술 및 도시되었을지라도, 본 발명이 이들 도시된 도면과 기술한 실시예에 한정되지 않는다. 따라서, 본 발명은, 본 발명의 기술분야에 종사하는 통상의 기술자가 본 발명의 기술적 사상으로부터 실시 가능한 변형 및 개량으로 인식될 수 있는 것을 포함한다. 예컨대, 전하 저장 구조를 형성하기 위한 개별 층들의 두께는 본 발명에서 기술한 것으로부터 변형할 수 있는 것에 해당한다. 그러므로, 본 발명은 본 발명의 특허 청구 범위의 범위에 속하는 이러한 모든 변형들 및 개량들 그리고 균등한 사상을 포함한다.

도면의 간단한 설명

[0015] 도 1은 본 발명에 따른 비트라인 및 워드라인을 갖는 전하-트랩핑 메모리의 어레이의 평면도를 도시한다.

[0016] 도 2a 및 도 2b는 본 발명의 여러 양상이 구현될 수 있는 본 발명에 따라 제조된 구조의 예시적인 전하-트랩핑 메모리 셀의 단면도를 도시한다.

[0017] 도 3 ~ 도 6은 본 발명에 따른 전하-트랩핑 유전체 재료 구조 및 워드라인 구조의 제조를 위한 프로세스 단계를 단면으로 도시한다.

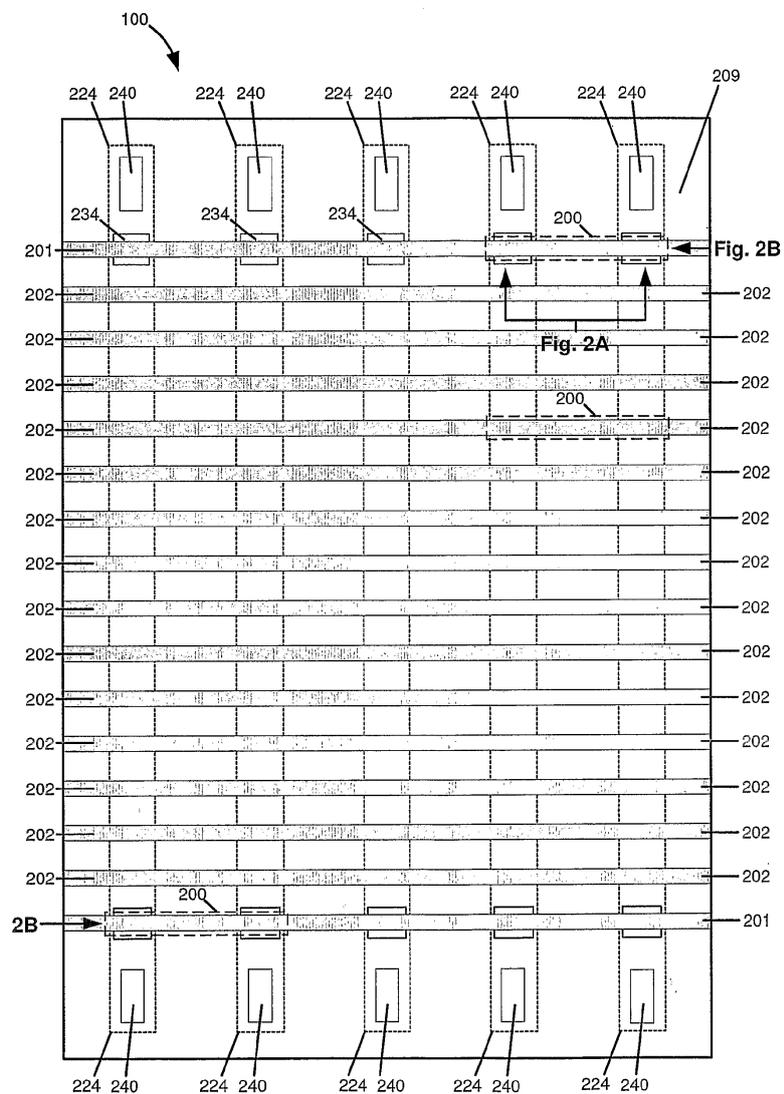
[0018] 도 8은 본 발명에 따른 에칭-스텝층의 제조를 위한 프로세스 단계를 단면으로 도시한다.

[0019] 도 9는 상기 스페이서의 형성을 포함하는 본 발명의 단계를 일반적으로 도시하는 개략적 흐름도이다.

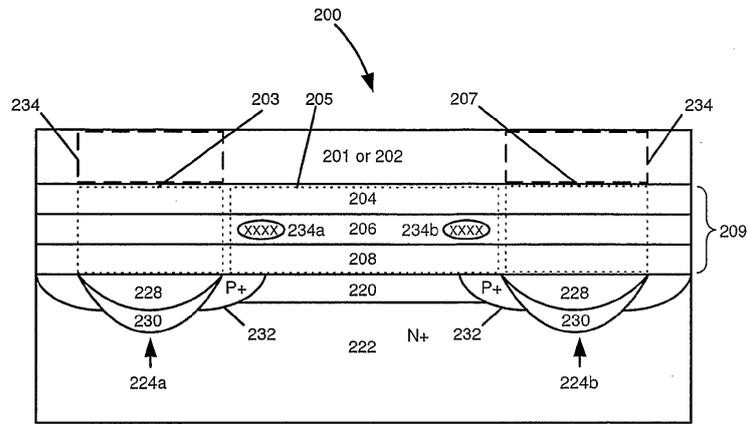
[0020] 도시의 간략성 및 명확성을 위해, 도면에 도시된 엘리먼트는 스케일링되어 도시될 필요는 없다. 예를 들어, 상기 엘리먼트의 일부 치수는 명확성을 위해 서로에 대해 과장되어 있다. 또한, 고려되는 적합한 참조 숫자는 대응하는 엘리먼트를 나타내기 위해 도면 중에 반복되었다.

도면

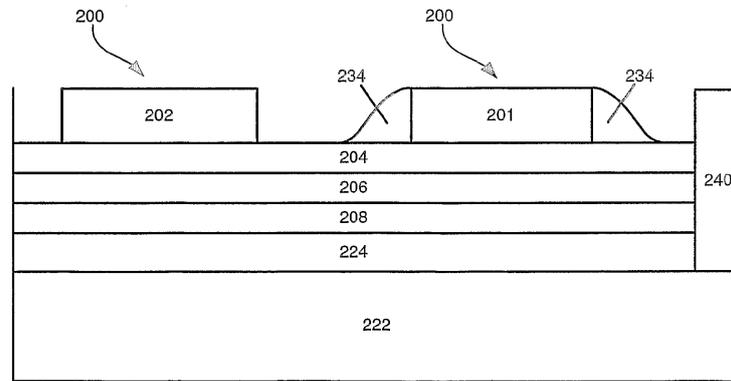
도면1



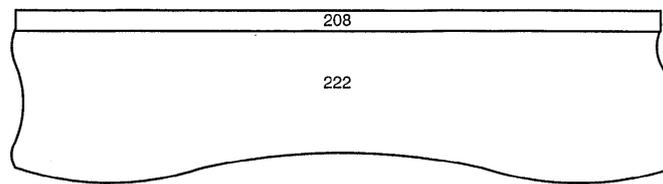
도면2a



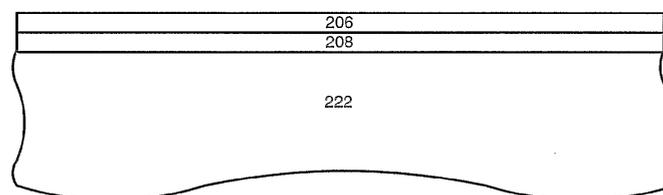
도면2b



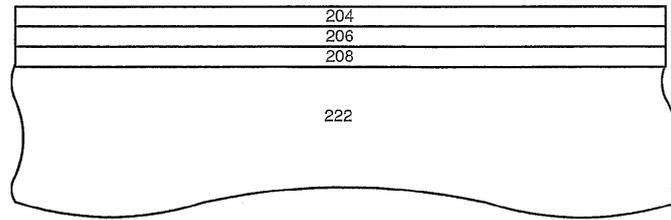
도면3



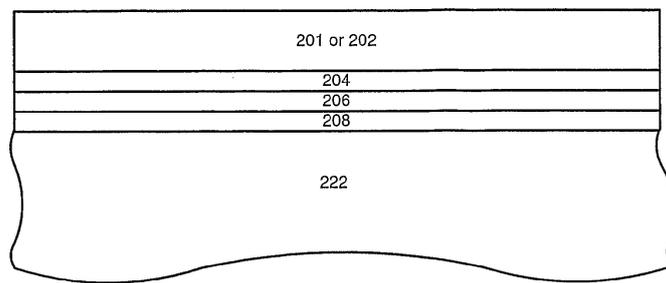
도면4



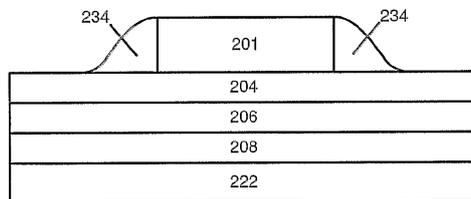
도면5



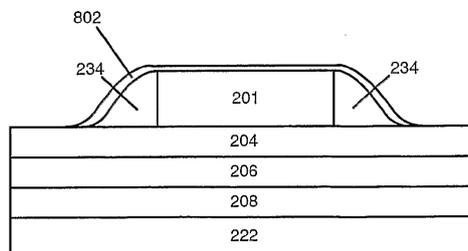
도면6



도면7



도면8



도면9

