



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I545540 B

(45) 公告日：中華民國 105 (2016) 年 08 月 11 日

(21) 申請案號：103141963

(22) 申請日：中華民國 103 (2014) 年 12 月 03 日

(51) Int. Cl. : G09G3/20 (2006.01)

G09G3/30 (2006.01)

(71) 申請人：廣東威創視訊科技股份有限公司 (中國大陸) VTRON TECHNOLOGIES LTD. (CN)
中國大陸

(72) 發明人：許景翔 HSU, CHING HSIANG (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

(56) 參考文獻：

TW 200823859A

US 2010/0302214A1

US 2011/0169800A1

US 2014/0362295A1

審查人員：陳恩笙

申請專利範圍項數：8 項 圖式數：9 共 27 頁

(54) 名稱

拼接屏顯示裝置及其顯示驅動方法

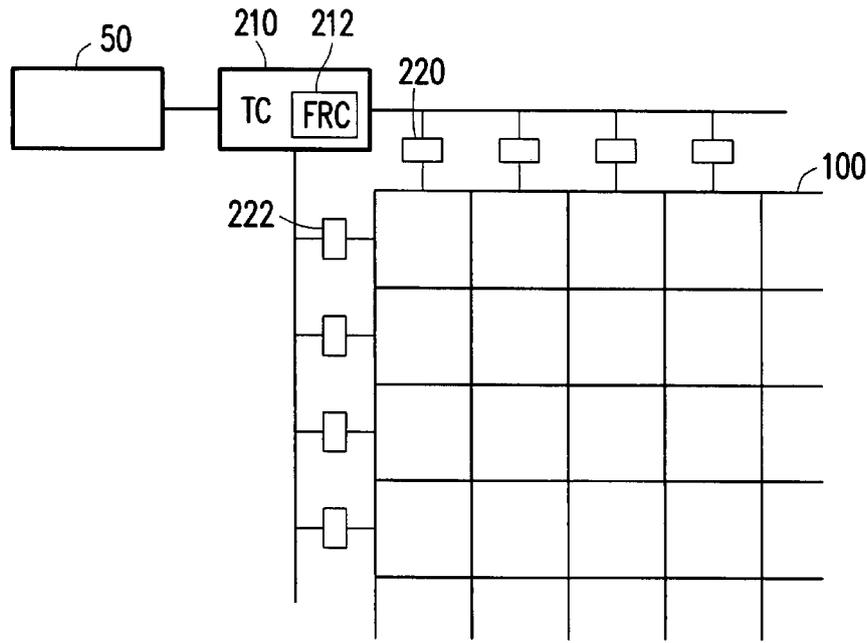
DISPLAYING APPARATUS WITH TILED SCREEN AND DISPLAY DRIVING METHOD THEREOF

(57) 摘要

一種拼接屏顯示裝置，包括一顯示螢幕，由多個次螢幕所拼接成。多個資料驅動器，分別驅動該些次螢幕。圖框速率控制電路，依照接收影像的一原始圖框速率，以 K 倍數增加該原始圖框速率，K 為大於或等於 2 的整數，如此對應該原始圖框速率所決定的一個圖框期間，會產生 K 個圖框給該些資料驅動器。該圖框速率控制電路也對每一個畫素的一原始灰階值做修正，而決定在該 K 個圖框中有一數量的圖框是以該原始灰階值增加一個灰階後的灰階值來顯示，該數量是 0 至 K-1 的其中一個。

A displaying apparatus with tiled screen includes a display screen, tiled from multiple tile screens. Multiple source drivers respectively drive the tile screens. A frame rate control circuit increases an original frame rate for receiving image by a factor of K, K is an integer greater than or equal to 2, wherein K frames are created for inputting to the source drivers during one frame duration determined by the original frame rate. The frame rate control circuit also corrects an original gray level value for each pixel and accordingly determines a number of the K frames having been corrected on gray level value by adding one gray level to the original gray level value, wherein the number is one of 0 to K-1.

指定代表圖：



符號簡單說明：

50 . . . 主機

100 . . . 拼接屏

210 . . . 時序控制器 (TC)

212 . . . 圖框速率控制電路(FRC)

220 . . . 資料驅動器

222 . . . 閘極驅動器

圖 4

發明摘要

※ 申請案號：103141963

※ 申請日：103.12.03

※ IPC 分類：

G09G 3/20 (2006.01)

G09G 3/30 (2006.01)

【發明名稱】

拼接屏顯示裝置及其顯示驅動方法

DISPLAYING APPARATUS WITH TITLED SCREEN AND
DISPLAY DRIVING METHOD THEREOF

【中文】

一種拼接屏顯示裝置，包括一顯示螢幕，由多個次螢幕所拼接成。多個資料驅動器，分別驅動該些次螢幕。圖框速率控制電路，依照接收影像的一原始圖框速率，以 K 倍數增加該原始圖框速率，K 為大於或等於 2 的整數，如此對應該原始圖框速率所決定的一個圖框期間，會產生 K 個圖框給該些資料驅動器。該圖框速率控制電路也對每一個畫素的一原始灰階值做修正，而決定在該 K 個圖框中有一數量的圖框是以該原始灰階值增加一個灰階後的灰階值來顯示，該數量是 0 至 K-1 的其中一個。

【英文】

A displaying apparatus with tiled screen includes a display screen, tiled from multiple tile screens. Multiple source drivers respectively drive the tile screens. A frame rate control circuit increases an original frame rate for receiving image by a factor of K, K is an integer greater than or equal to 2, wherein K frames are created for inputting to the source drivers during one frame duration

determined by the original frame rate. The frame rate control circuit also corrects an original gray level value for each pixel and accordingly determines a number of the K frames having been corrected on gray level value by adding one gray level to the original gray level value, wherein the number is one of 0 to $K-1$.

【代表圖】

【本案指定代表圖】：圖 4。

【本代表圖之符號簡單說明】：

- 50：主機
- 100：拼接屏
- 210：時序控制器 (TC)
- 212：圖框速率控制電路 (FRC)
- 220：資料驅動器
- 222：閘極驅動器

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

拼接屏顯示裝置以及其顯示驅動方法

DISPLAYING APPARATUS WITH TITLED SCREEN AND
DISPLAY DRIVING METHOD THEREOF

【技術領域】

【0001】 本發明是有關於一種拼接屏顯示裝置，且特別是有關於拼接屏顯示裝置的驅動技術。

【先前技術】

【0002】 對於大的顯示面積，例如是數位廣告看板，或是室內電視牆等，由於顯示面積遠大單一個顯示裝置的面積，因此會以拼接屏顯示裝置來顯示影像。

【0003】 所謂的屏顯示裝置，其是有多個次螢幕(tile screen)分別顯示一個影像的一部份，而這些次螢幕拼接成一個大尺寸的顯示螢幕。圖 1 繪示傳統拼接屏的架構示意圖。參閱圖 1，大尺寸的拼接屏 100 是由多個小尺寸的次螢幕 102 以 $M \times N$ 矩陣方式拼接所成。於此， M 值一般是大於 N 值，但也可以是等於 N 而構成一個方型大尺寸的拼接屏 100。每一個次螢幕 102 會顯示一張影像所對應的一部份，而這些次螢幕 102 個別的影像組合後徑成爲一張完整要顯示的影像。

【0004】 就目前發光元件(Light-Emitting Device, LED)陣列的拼接屏產品，其使用 LED 驅動器來驅動 LED 陣列，而達到顯示效果。以已間距(pitch)為 P1.488 的規格為例，一片 12cm 見方的次螢幕，基於一個色彩畫素是由是由紅、綠、藍三個 LED 組成，其大約需要 6400 個燈珠，而在一般使用 16 通道的驅動器，其約略需要 60 顆驅動器。這對於細間距 (fine pitch)的要求而言，所需的 LED 驅動器會更多。這不僅是對於細間距下會有散熱的問題，而在製造工藝上也會有限制。

【0005】 圖 2 繪示傳統次螢幕 102 的架構示意圖。參閱圖 2，對於一個次螢幕 102，其利用 n 條掃描線來顯示影像，而每一條掃描線上有 m 個畫素。每一個單色的畫素是一個 LED 燈珠。如此在掃描完 n 條掃描線後就可以呈現此次螢幕 102 所要顯示的影像，其是整體影像的一部份。畫素一般是由發光元件(Light-emitting device)所構成，然而也可以是液晶(LC)畫素。又一個顏色畫素一般是由紅/綠/藍三個畫素所構成，藉由紅/綠/藍三個畫素的別灰階值來組合成所要呈現的顏色。因此，在次螢幕 102 仍是會有一些數量的 n 條掃描線，以及掃描線上有一些數量的 m 個畫素。對於這些 $m \times n \times 3$ 個顏色畫素的啟動是由多個驅動器提供的多個通到來驅動，對應每一個顏色畫素，將所需要的灰階值轉換成電壓而驅動這些 $m \times n \times 3$ 個顏色畫素的發光元件，使對應發出所需要的亮度。因此，對於一個次螢幕 102，由於驅動器的通道數量低，傳統上需要很大數量的驅動器，會造成散熱等等的問題。

【0006】 更具體而言，圖 3 繪示傳統拼接屏 100 的驅動機制示意圖。參閱圖 3，主機 50 會將所要顯示的影像的數位圖框資料，輸

入給控制器 60 (Controller, TC)。控制器 60 控制多個驅動器 62。這些驅動器 62 所提供的通道會對應連接到拼接屏 100 的畫素，因此在一次的影像顯示中，由控制器 60 透過這些驅動器 62 將每一個畫素的發光源元件依照預定亮度的灰階數啓動，而構成一個顯示影像。這些驅動器 62 如前述，實際上是分組而對應設置在這些次螢幕 102 的背後。

【0007】 傳統驅動次螢幕 102 的方式是採用低成本而僅具有小數量通道(channel)的驅動器 62，這些驅動器 62 是直接配置在次螢幕 102 的背後與線路基板連接。然而一個次螢幕 102 仍是具有相當數量的 $m \times n \times 3$ 個顏色畫素，因此一個次螢幕 102 會需要多個驅動器 62。當影像的影像解析度日漸提高，次螢幕 102 的影像解析度($m \times n$)也會隨之提高。如此，次螢幕 102 所需要的驅動器 62 的數量也會提高，其可能導致一個次螢幕 102 需要更多數量驅動器的設置，其除了佈滿次螢幕 102 背後可用的面積，也可能造成無法足夠容置這些驅動器的問題，更會造成散熱問題。

【0008】 因此，傳統拼接屏 100 的驅動方式有必要更改設計，因應影像趨向高解析度的情形。

【發明內容】

【0009】 本發明提供拼接屏顯示裝置以及其顯示驅動方法，至少除了可以降低次螢幕所使用的驅動器數量。另外，也可以增加顯示影像的色彩層次。

【0010】 本發明一實施例，提供一種拼接屏顯示裝置，包括一顯示螢幕，由多個次螢幕所拼接成。多個資料驅動器，分別驅動該

些次螢幕。圖框速率控制電路，依照接收影像的一原始圖框速率，以 K 倍數增加該原始圖框速率， K 為大於或等於 2 的整數，如此對應該原始圖框速率所決定的一個圖框期間，會產生 K 個圖框給該些資料驅動器。該圖框速率控制電路也對每一個畫素的一原始灰階值做修正，而決定在該 K 個圖框中有一數量的圖框是以該原始灰階值增加一個灰階後的灰階值來顯示，該數量是 0 至 $K-1$ 的其中一個。

【0011】 本發明另一實施例，提供一種顯示驅動方法，使用於一拼接屏顯示裝置，其中該拼接屏顯示裝置包括顯示螢幕、多個資料驅動器以及圖框速率控制電路，該顯示螢幕是由多個次螢幕拼接所成。該顯示驅動方法包括：配置該些資料驅動器，以分別驅動該些次螢幕；藉由該圖框速率控制電路，依照接收影像的一原始圖框速率，以 K 倍數增加該原始圖框速率， K 為大於或等於 2 的整數，如此對應該原始圖框速率所決定的一個圖框期間，會產生 K 個圖框給該些資料驅動器；以及藉由該圖框速率控制電路，對每一個畫素的一原始灰階值做修正，而決定在該 K 個圖框中有一數量的圖框是以該原始灰階值增加一個灰階後的修正灰階值來顯示，該數量是 0 至 $K-1$ 的其中一個。

【0012】 本發明一實施例，該 K 值是 2^L ， L 為自然數。

【0013】 在一實施例，其 L 值是 2。該 2^L 個圖框整體所產生的灰階值是對該原始灰階值 增加 0、 $1/4$ 、 $2/4$ 或 $3/4$ 的灰階程度，其中 0 對應該畫素在該 2^L 個圖框中都顯示原始該原始灰階值； $1/4$ 對應該畫素在該 2^L 個圖框中有 3 個圖框顯示該原始灰階值，而有 1 個圖框顯示原始該原始灰階值加上該一個灰階的該修正灰階值；

$2/4$ 表示該畫素在該 2^L 個圖框中有 2 個圖框顯示該原始灰階值，而有 2 個圖框顯示該原始灰階值加上該一個灰階的該修正灰階值； $3/4$ 表示該畫素在該 2^L 個圖框中有 1 個圖框顯示該原始灰階值，而有 3 個圖框顯示該原始灰階值加上該一個灰階的該修正灰階值。

【0014】 在一實施例，該影像是儲存在一圖框記憶體，而依照該些次螢幕的組合，對應分配給該些次螢幕。

【0015】 在一實施例，該影像對應該些次螢幕預先分配後，分別儲存於對應該些次螢幕的多個圖框記憶體。

【0016】 在一實施例，該原始圖框速率是 60 Hz 或是 50 Hz。該 K 個圖框的圖框速率是 240 Hz 或是 200 Hz。

【0017】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0018】

圖 1 繪示傳統拼接屏的架構示意圖。

圖 2 繪示傳統次螢幕 102 的架構示意圖。

圖 3 繪示傳統拼接屏 100 的驅動機制示意圖。

圖 4 繪示依照本發明的一實施例的一種拼接屏顯示裝置示意圖。

圖 5(a)-5(b)繪示依照本發明的一實施例，拼接屏顯示裝置符合 VESA 標準的驅動訊號示意圖。

圖 6 繪示依照本發明的一實施例，一種顯示驅動方法示意圖。

圖 7 繪示依照本發明的一實施例，一種顯示驅動方法示意圖。

圖 8 繪示依照本發明的一實施例，灰階值與灰階電壓的關係示意圖。

圖 9 繪示依照本發明的一實施例，圖框速率控制電路產生灰階修正的機制示意圖。

【實施方式】

【0019】 本發明提出對拼接屏顯示裝置的驅動機制，除了可以降低次螢幕所使用的驅動器數量，另外也可以增加顯示影像的色彩層次。以下舉一些實施例來說明本發明，但是本發明不僅限於所舉的實施例。

【0020】 在考慮如何減少一個次螢幕所需要的驅動器的數量的問題上，本發明提出可以使用在一般平板顯示面板所使用的驅動器，而不再使用拼接屏傳統的驅動器。

【0021】 本發明提出的驅動架構，使用如平板顯示器的資料驅動器(source driver)與閘極驅動器的方式來推動 LED 畫素。另外由於單一個次螢幕，其影像解析度相對是較低，因此可以將原先的數位訊號重新分配處理。另外，也可以產生較快的圖框率，來增加灰階解析度，以增加色彩層次，而展現更豐富的色彩。

【0022】 圖 4 繪示依照本發明的一實施例的一種拼接屏顯示裝置示意圖。參閱圖 4，由於目前平板顯示面板的影像解析度遠比一個次螢幕 102 的影像解析度大。一般的平板顯示器例如是液晶顯示面板(LCD panel)或是發光元件顯示面板 (LED panel)，其影像解析度例如 720x480、1920x1080 或是甚至更高的影像解析度。因此使用在平板顯示面板的驅動器，例如單一顆資料驅動器 220 而言，

其具有的驅動通道數量就大於拼接屏 100 中的一個次螢幕所需要的通道數量。因此，本發明的一個次螢幕，就資料驅動器而言，其例如僅需要一個即可，又或是因應更高的影像解析度的研發，可以僅使用少量的資料驅動器即可驅動一個次螢幕。由於是採用資料驅動器 220 與閘極驅動器 222 的驅動方式，其需要時序控制器(TC)210 對資料驅動器 220 與閘極驅動器 222 的控制機制，也因應更改即可。

【0023】 如此在本發明的拼接屏顯示裝置中，對於一個次螢幕所需要的資料驅動器 220 的數量可以減少至一個，或是少量，不會影響散熱的問題，因此能因應高影像解析度的顯示。

【0024】 圖 5(a)-5(b)繪示依照本發明的一實施例，拼接屏顯示裝置符合 VESA 標準的驅動訊號示意圖。參閱圖 5(a)，在 VESA 標準下，垂直同步訊號 (Vsync)是對應一個圖框，因此一張影像的數位資料，其也是所謂的圖框資料，會在一個垂直同步訊號的期間輸入。換句話說，垂直同步訊號的頻率就是圖框速率，一般是 60 Hz 或是 50Hz。當垂直同步訊號的脈衝產生後，水平同步訊號 (Hsync)由閘極驅動器產生，以掃描每一條線的影像，其也就是在一個垂直同步訊號的週期內，需要發出 n 個脈衝訊號再加上前後的緩衝期間的緩衝脈衝。而在水平同步訊號(Hsync)的週期之間，發出訊號(DE)以定義由資料驅動器輸入資料得時間，其就是在一條掃描線上的 m 個畫素分別的灰階電壓需要在訊號(DE)的週期內驅動次螢幕。圖 5(b)是水平同步訊號 (Hsync)與訊號(DE)較明確的時序關係。訊號(DE)在高準位期間需要驅動一條水平掃描線的畫素對應灰階值的顯示。如此，一個垂直同步訊號 (Vsync)促發一個圖框的

顯示。

【0025】 本發明採用平板顯示器的驅動器來驅動次螢幕。由於平板顯示器的驅動器基於其顯示效能，其時脈可以更快，例如可以達到 240Hz 或是更高的圖框速率。這樣的圖框速率對於一個次螢幕的顯示，其驅動能力是大於需求。另外，對於標準 60 Hz 的圖框速率，其相當於一個畫素在相同的灰階下，會維持約 1/60 秒的顯示時間。又，由於拼接屏所顯示的影像，其灰階解析度較小，例如是 6 位元的解析度，也就是說灰階值只有 $2^6=64$ 個灰階值，因此色彩層次不足，而一般使用在平板顯示器的影像，其灰階解析度可達到 $2^8=256$ 個灰階值的變化。因此，本發明在使用高驅動通道及高圖框速率的資料驅動器時，除了降低在一個次螢幕所使用的資料驅動器的數量，例如是 1 個即可，另外本發明也提出採用圖框速率控制(Frame Rate Control, FRC)電路 212，例如圖 4 所示，因而可以達到更大的色彩解析度，其機制將描述於後。圖框速率控制(FRC)電路 212 一般會整合在時序控制器(TC)210 中，但是這不是唯一的方式。

【0026】 圖 6 繪示依照本發明的一實施例，一種顯示驅動方法示意圖。先描述基本的處理流程。參閱圖 6，在步驟 S250，將要輸入要顯示的完整圖框資料，儲存於圖框記憶體中。在步驟 S252，藉由分配單元依據拼接屏 100 的次螢幕的矩陣結構，是當將影像分割，以能適當分配到每一個次螢幕上。在步驟 S254，圖框速率控制電路會改變原始例如 60Hz 的圖框速率成完較高的圖框速率，例如是 240Hz。依照允許的最高圖框速率，一般是 60Hz 的 2^L 倍，L 是自然數，即是 1、2、3、...、N。於此其上限值是取決驅

動器的最高圖框速率。以 240Hz 的圖框速率，其也就是相對 60Hz 增加 4 倍的圖框速率。因此 60Hz 的原始一個圖框的期間，可以改變有 4 個圖框。有就是在 60Hz 的一個垂直同步訊號的週期，在 240Hz 下，改變為 4 個垂直同步訊號，因此除了原始的影像外，還可以再插入三張影像的顯示，其灰階值的改會在後面圖 8、圖 9 詳細描述。經過步驟 S254 對圖框速率的調整後，在步驟 S256，包括原始圖框資料以及插入的圖框資料會經過資料驅動器而依序驅動次螢幕顯示這些影像。

【0027】 圖 7 繪示依照本發明的一實施例，一種顯示驅動方法示意圖。圖 7 繪示另一種變化的實施例，但是機制仍與圖 6 相似，其間的差異如下。於圖 7 的實施例，每一個次螢幕會設置對應的圖框記憶體，此圖框記憶體的容量僅需要能夠儲存次螢幕的影像即可。相對於圖 6，在圖 7 的步驟 S250 與步驟 S252 互換。在步驟 S252，對於輸入要顯示的影像，在尚未儲存到圖框記憶體前就先分配好，之後在步驟 S250 將分配好的次圖框資料，分別儲存到對應的次圖框記憶體中。之後的步驟 S254 與步驟 S256 則相同於圖 6。

【0028】 以下描述圖框速率控制(FRC)電路 212 對灰階值的修正機制。如一般所知，以紅/綠/藍三個畫素來組成一個色彩畫素，其是利用其三個單色的畫素，依照灰階值產生此單色的亮度，而由紅、綠、藍三個單色畫素的亮度混合出一個色彩畫素。因此，灰階值的變化都會產生呈現出來的色彩變化。另外基於人眼的視覺暫留的特性，所改受的顏色一般是在 16.67ms 所接收的綜合色彩來決定，因此所增加的圖框速率可以用來調整最後由多個圖框所混合

的灰階值。

【0029】 首先描數位的灰階與實際驅動的灰階電壓。由於液晶化素或是 LED 化素的亮度是由施加的電壓或電流所決定，且一般不是線性的變化。圖 8 繪示依照本發明的一實施例，灰階值與灰階電壓的關係示意圖。參閱圖 8，一個單色的畫素，以 6 位元的灰階值為例，其有線性的 64 個灰階，但是對應每一個灰階所需要的驅動電壓不是線性，因此需要利用伽瑪曲線來修正驅動電壓，如此對於一個灰階值 g_i ，利用伽瑪曲線得到對應的驅動電壓 V_i 。但是基於例如是 6 位元的電路，其也僅會產生 64 種電壓。因此，灰階解析度就是 64 階。

【0030】 以下描述如何在 6 位元的 64 個灰階下，藉由圖框速率控制(FRC)電路 212 產生其他的灰階。圖 9 繪示依照本發明的一實施例，圖框速率控制電路產生灰階修正的機制示意圖。參閱圖 9，以 240Hz 的圖框速率為例來描述，其在 60Hz 圖框速率下的一個圖框，可以藉由圖框速率控制(FRC)電路 212 產生對應的 4 個圖框，以 f_1 、 f_2 、 f_3 、 f_4 來表示。對於一個畫素，其原始預定要顯示的灰階值例如是 g_i 。

【0031】 如果在這 4 個圖框 $f_1 \sim f_4$ 都是顯示 g_i 的灰階值，則這 4 個圖框 $f_1 \sim f_4$ 混合後仍維持灰階值 g_i ，因此灰階值的修正為 0。如果在這 4 個圖框 $f_1 \sim f_4$ 中的任一個圖框，其例如是圖框 f_1 ，而將此圖框 f_1 的此畫素的灰階值 g_i 加 1 成為 g_i+1 。另外其他的三個圖框 $f_2 \sim f_4$ 則維持顯示灰階值 g_i 。如此，這 4 個圖框 $f_1 \sim f_4$ 混合後可以得到增加 1/4 灰階的修正。如果在這 4 個圖框 $f_1 \sim f_4$ 中的任二個圖框，其例如是圖框 f_1 、 f_2 ，而將此圖框 f_1 、 f_2 的此畫素的灰階

值 g_i 加 1 成爲 g_{i+1} 。另外其他的二個圖框 f_3 、 f_4 則維持顯示灰階值 g_i 。如此，這 4 個圖框 $f_1 \sim f_4$ 混合後可以得到增加 $2/4$ 灰階的修正。如果在這 4 個圖框 $f_1 \sim f_4$ 中的任三個圖框，其例如是圖框 f_1 、 f_2 、 f_3 ，而將此圖框 f_1 、 f_2 、 f_3 的此畫素的灰階值 g_i 加 1 成爲 g_{i+1} 。另外其他的一個圖框 f_4 則維持顯示灰階值 g_i 。如此，這 4 個圖框 $f_1 \sim f_4$ 混合後可以得到增加 $3/4$ 灰階的修正。

【0032】 基於上述的機制，雖然電路是屬於 6 位元的電路，在增加圖框速率後，在此實施例可以達到對應在 8 位元電路的效果，具有 256 灰階的變化。由於圖框速率控制電路可以增加到 256 灰階的變化，因此圖框速率控制電路對於要顯示的影像，有具有影像處理的功能，以具有 256 灰階變化的條件下，修正畫素的灰階值，使具有更豐富的色彩變化。

【0033】 於此要注意的是，圖框速率的不限於實施例所舉 4 倍 (240Hz) 的增加，其他的 120Hz 或是 480Hz 也都可以依同理適用，而灰階的解析度也同理可以增加。於此，這階倍增的圖框速率是 2^L ， $L=1, 2, \dots$ ，其因此與灰階的位元可以一致。這也都是將時脈倍頻來產生。

【0034】 然而，就一般性而言，依照相同的機制，其他的圖框速率如 180Hz、360Hz 等等也能達到，其中頻率的增加需要不同的電路，不僅是如 120Hz 或是 480Hz 等藉由倍頻即可達成。180Hz 與 360Hz 爲例，其相對 60Hz 是產生 3 個、6 個圖框，而灰階值的調整是以 $1/3$ 、 $1/6$ 爲一個灰階單位來切割以進行調整。另外，如果灰階電路本就是 8 位元或是更高位元的解析度，其仍可利用 FRC 電路，增加其灰階解析度，而不限於 6 位元的灰階電路。

【0035】 換句話說，就一般性的特徵，本發明的 FRC 電路依照驅動器最大可能的驅動速率，可以 K 倍數增加原始圖框速率，K 為大於或等於 2 的整數。如此對應原始圖框速率所決定的一個圖框期間，會產生 K 個圖框給資料驅動器。圖框速率控制電路也對每一個畫素的一原始灰階值做修正，而決定在該 K 個圖框中有一數量的圖框是以該原始灰階值增加一個灰階後的修正灰階值來顯示，該數量是 0 至 K-1 的其中一個。

【0036】 又，由於不同的播放格式，例如 NTSC 與 PAL 的不同，其影像播放速率為 50Hz，而本發明也適用於 50Hz 的播放速率。

【0037】 綜上所述，本發明在拼接屏的應用上，提出一個次螢幕就資料驅動器而言，能夠僅使用一個或是少量資料驅動器來驅動，如此可以避免當影像解析度大量增加時，過多數量的驅動器占據可用面積的情形。另外，基於資料驅動器的驅動速度加快，藉由 FRC 電路的處理，可以更增加灰階解析度，使影像色彩的變化更為豐富。

【0038】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0039】

50：主機

60：控制器 (C)

- 62 : 驅動器
- 100 : 拼接屏
- 102 : 次螢幕
- 210 : 時序控制器 (TC)
- 212 : 圖框速率控制電路 (FRC)
- 220 : 資料驅動器
- 222 : 閘極驅動器
- S250 ~S256 : 步驟

申請專利範圍

1. 一種拼接屏顯示裝置，包括：

顯示螢幕，由多個次螢幕所拼接成；

多個資料驅動器，分別驅動該些次螢幕；以及

圖框速率控制電路，依照接收影像的一原始圖框速率，以 K 倍數增加該原始圖框速率， K 為大於或等於 2 的整數，如此對應該原始圖框速率所決定的一個圖框期間，會產生 K 個圖框給該些資料驅動器，

其中該圖框速率控制電路也對每一個畫素的一原始灰階值做修正，而決定在該 K 個圖框中有一數量的圖框是以該原始灰階值增加一個灰階後的修正灰階值來顯示，該數量是 0 至 $K-1$ 的其中一個，

其中該 K 值是 2^L ， L 為自然數，

其中該 L 值是 2，其中該 2^L 個圖框整體所產生的灰階值是對該原始灰階值增加 0、 $1/4$ 、 $2/4$ 或 $3/4$ 的灰階程度，其中 0 對應該畫素在該 2^L 個圖框中都顯示原始該原始灰階值； $1/4$ 對應該畫素在該 2^L 個圖框中有 3 個圖框顯示該原始灰階值，而有 1 個圖框顯示原始該原始灰階值加上該一個灰階的該修正灰階值； $2/4$ 表示該畫素在該 2^L 個圖框中有 2 個圖框顯示該原始灰階值，而有 2 個圖框顯示該原始灰階值加上該一個灰階的該修正灰階值； $3/4$ 表示該畫素在該 2^L 個圖框中有 1 個圖框顯示該原始灰階值，而有 3 個圖框顯示該原始灰階值加上該一個灰階的該修正灰階值。

2. 如申請專利範圍第 1 項所述的拼接屏顯示裝置，還包括一圖框記憶體，其中該影像是儲存在該圖框記憶體，而依照該些次

螢幕的組合，對應分配給該些次螢幕。

3.一種拼接屏顯示裝置，包括：

顯示螢幕，由多個次螢幕所拼接成；

多個資料驅動器，分別驅動該些次螢幕；

圖框速率控制電路，依照接收影像的一原始圖框速率，以 K 倍數增加該原始圖框速率， K 為大於或等於 2 的整數，如此對應該原始圖框速率所決定的一個圖框期間，會產生 K 個圖框給該些資料驅動器，其中該圖框速率控制電路也對每一個畫素的一原始灰階值做修正，而決定在該 K 個圖框中有一數量的圖框是以該原始灰階值增加一個灰階後的修正灰階值來顯示，該數量是 0 至 $K-1$ 的其中一個；以及

多個圖框記憶體分別對應該些次螢幕配置，該影像對應該些次螢幕預先分配後，分別儲存於該些圖框記憶體。

4.一種拼接屏顯示裝置，包括：

顯示螢幕，由多個次螢幕所拼接成；

多個資料驅動器，分別驅動該些次螢幕；以及

圖框速率控制電路，依照接收影像的一原始圖框速率，以 K 倍數增加該原始圖框速率， K 為大於或等於 2 的整數，如此對應該原始圖框速率所決定的一個圖框期間，會產生 K 個圖框給該些資料驅動器，

其中該圖框速率控制電路也對每一個畫素的一原始灰階值做修正，而決定在該 K 個圖框中有一數量的圖框是以該原始灰階值增加一個灰階後的修正灰階值來顯示，該數量是 0 至 $K-1$ 的其中一個，

其中該原始圖框速率是 60 Hz 或是 50 Hz，該 K 個圖框的圖框速率是 240 Hz 或是 200 Hz。

5. 一種顯示驅動方法，使用於一拼接屏顯示裝置，其中該拼接屏顯示裝置包括顯示螢幕、多個資料驅動器以及圖框速率控制電路，該顯示螢幕是由多個次螢幕拼接所成，該顯示驅動方法包括：

配置該些資料驅動器，以分別驅動該些次螢幕；

藉由該圖框速率控制電路，依照接收影像的一原始圖框速率，以 K 倍數增加該原始圖框速率，K 為大於或等於 2 的整數，如此對應該原始圖框速率所決定的一個圖框期間，會產生 K 個圖框給該些資料驅動器；以及

藉由該圖框速率控制電路，對每一個畫素的一原始灰階值做修正，而決定在該 K 個圖框中有一數量的圖框是以該原始灰階值增加一個灰階後的修正灰階值來顯示，該數量是 0 至 K-1 的其中一個，

其中該 K 值是 2^L ，L 為自然數，

其中該 L 值是 2，其中該 2^L 個圖框整體所產生的灰階值是對該原始灰階值 增加 0、1/4、2/4 或 3/4 的灰階程度，其中 0 對應該畫素在該 2^L 個圖框中都顯示原始該原始灰階值；1/4 對應該畫素在該 2^L 個圖框中有 3 個圖框顯示該原始灰階值，而有 1 個圖框顯示原始該原始灰階值加上該一個灰階的該修正灰階值；2/4 表示該畫素在該 2^L 個圖框中有 2 個圖框顯示該原始灰階值，而有 2 個圖框顯示該原始灰階值加上該一個灰階的該修正灰階值；3/4 表示該畫素在該 2^L 個圖框中有 1 個圖框顯示該原始灰階值，而有 3 個圖

框顯示該原始灰階值加上該一個灰階的該修正灰階值。

6. 如申請專利範圍第 5 項所述的顯示驅動方法，其中該影像是儲存在一圖框記憶體，而依照該些次螢幕的組合，對應分配給該些次螢幕。

7. 一種顯示驅動方法，使用於一拼接屏顯示裝置，其中該拼接屏顯示裝置包括顯示螢幕、多個資料驅動器以及圖框速率控制電路，該顯示螢幕是由多個次螢幕拼接所成，該顯示驅動方法包括：

配置該些資料驅動器，以分別驅動該些次螢幕；

藉由該圖框速率控制電路，依照接收影像的一原始圖框速率，以 K 倍數增加該原始圖框速率， K 為大於或等於 2 的整數，如此對應該原始圖框速率所決定的一個圖框期間，會產生 K 個圖框給該些資料驅動器；

藉由該圖框速率控制電路，對每一個畫素的一原始灰階值做修正，而決定在該 K 個圖框中有一數量的圖框是以該原始灰階值增加一個灰階後的修正灰階值來顯示，該數量是 0 至 $K-1$ 的其中一個；以及

該影像對應該些次螢幕預先分配後，分別儲存於對應該些次螢幕的多個圖框記憶體。

8. 一種顯示驅動方法，使用於一拼接屏顯示裝置，其中該拼接屏顯示裝置包括顯示螢幕、多個資料驅動器以及圖框速率控制電路，該顯示螢幕是由多個次螢幕拼接所成，該顯示驅動方法包括：

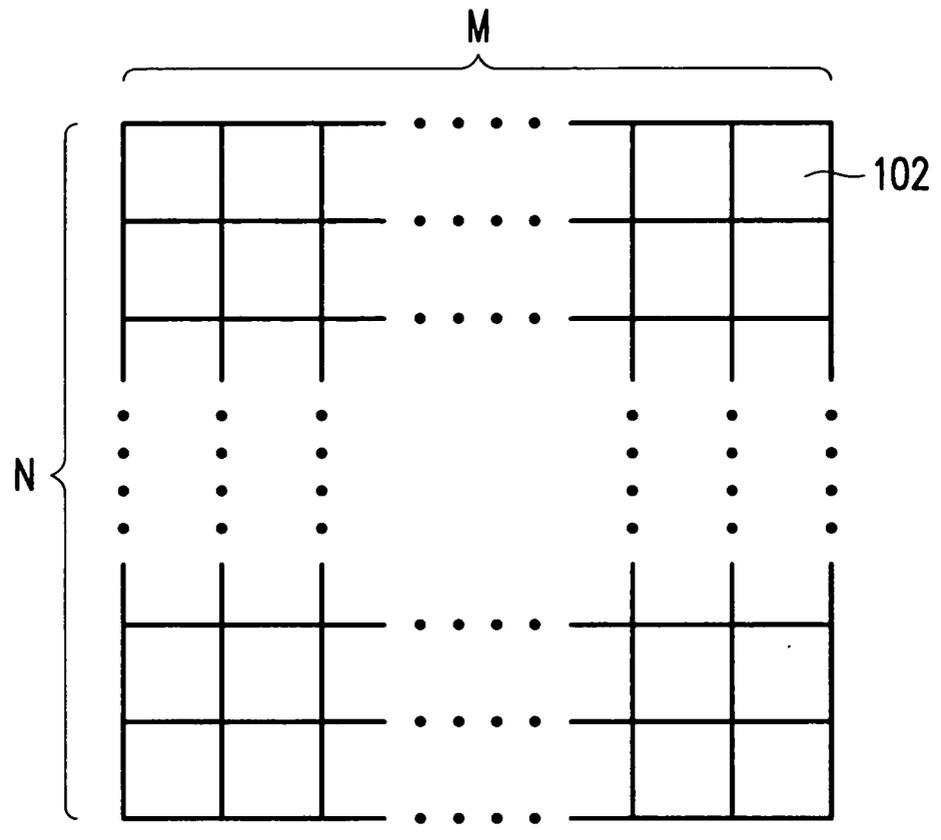
配置該些資料驅動器，以分別驅動該些次螢幕；

藉由該圖框速率控制電路，依照接收影像的一原始圖框速率，以 K 倍數增加該原始圖框速率， K 為大於或等於 2 的整數，如此對應該原始圖框速率所決定的一個圖框期間，會產生 K 個圖框給該些資料驅動器；以及

藉由該圖框速率控制電路，對每一個畫素的一原始灰階值做修正，而決定在該 K 個圖框中有一數量的圖框是以該原始灰階值增加一個灰階後的修正灰階值來顯示，該數量是 0 至 $K-1$ 的其中一個，

其中該原始圖框速率是 60 Hz 或是 50 Hz，該 K 個圖框的圖框速率是 240 Hz 或是 200 Hz。

圖式



100

圖 1

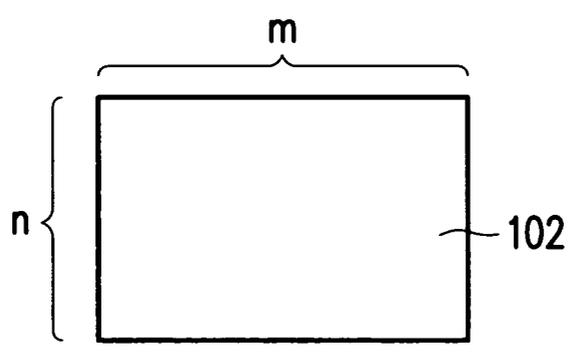


圖 2

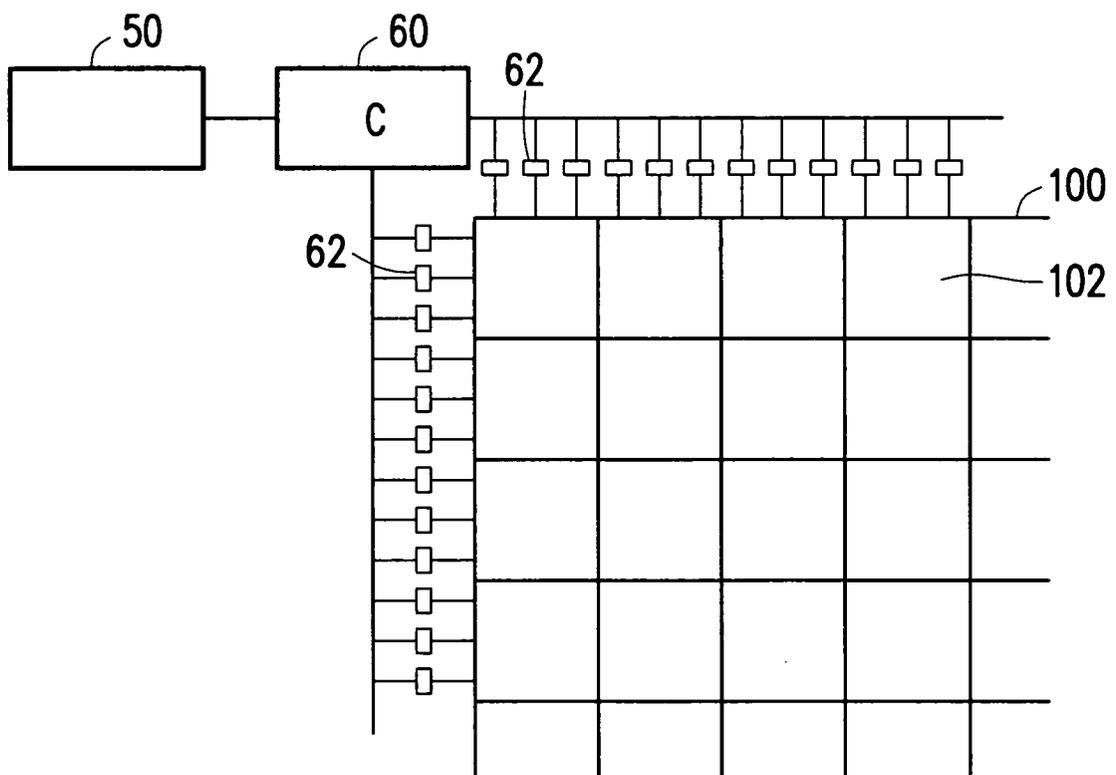


圖3

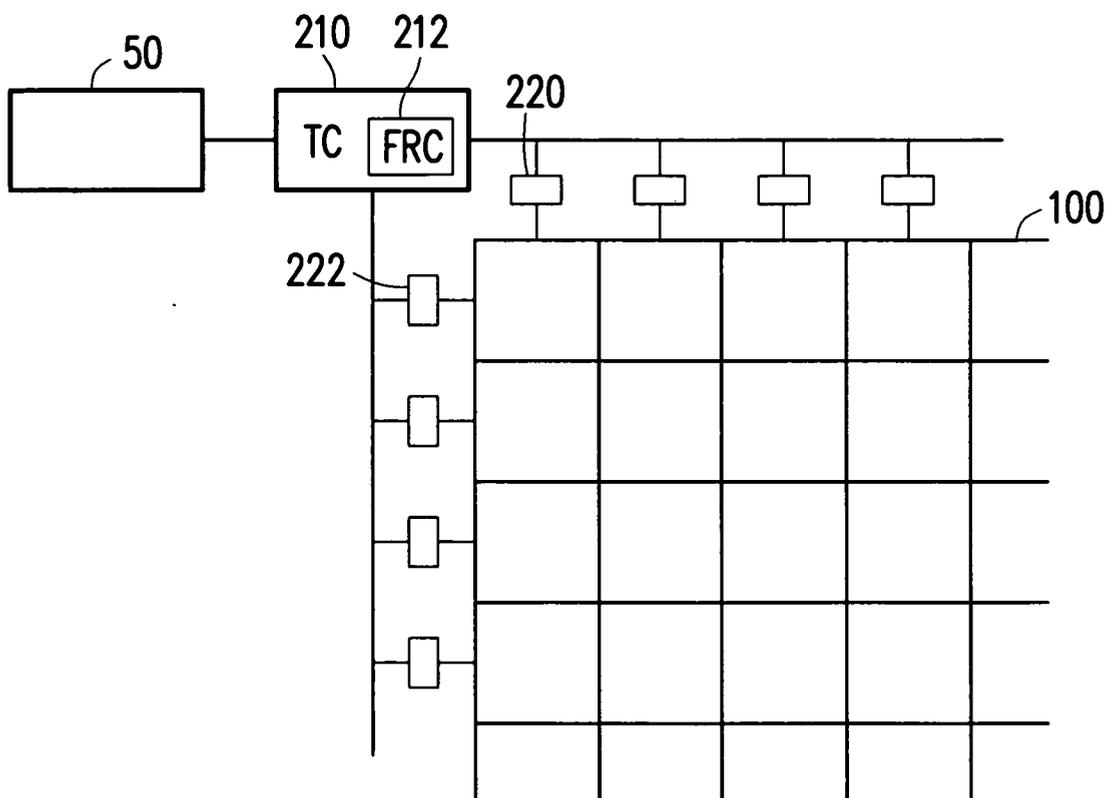


圖 4

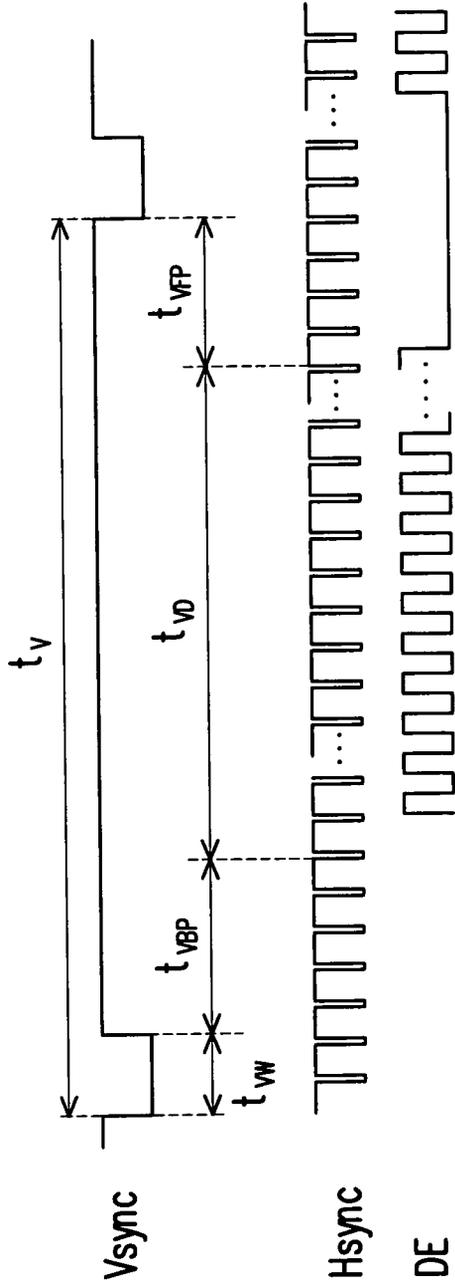


圖5 (a)

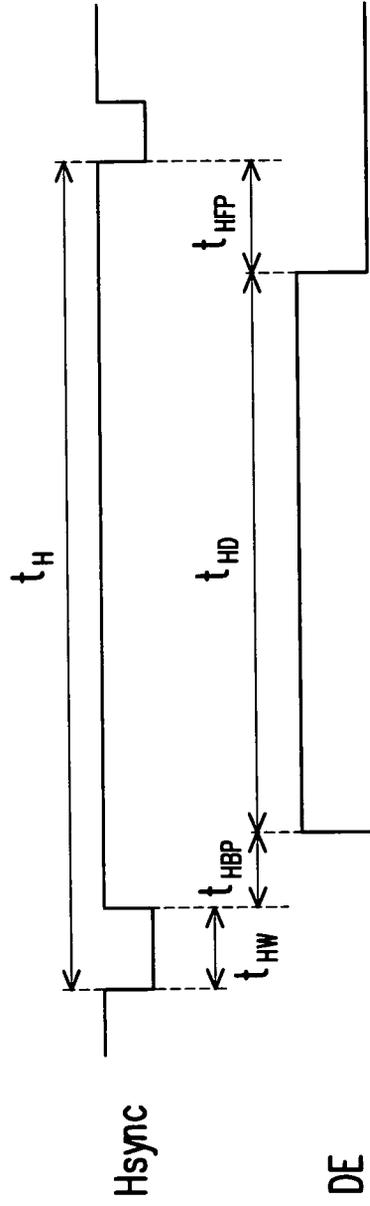


圖5 (b)

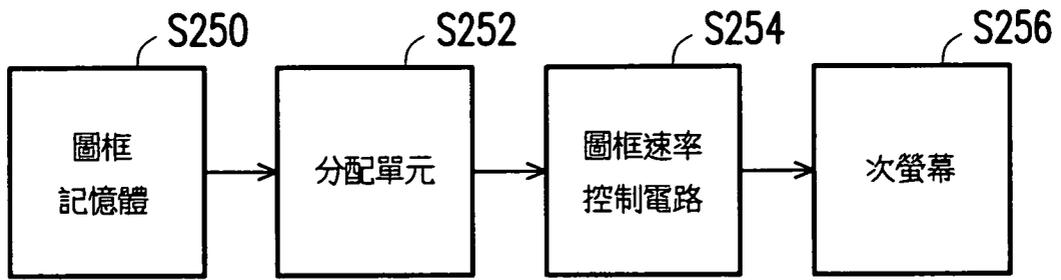


圖 6

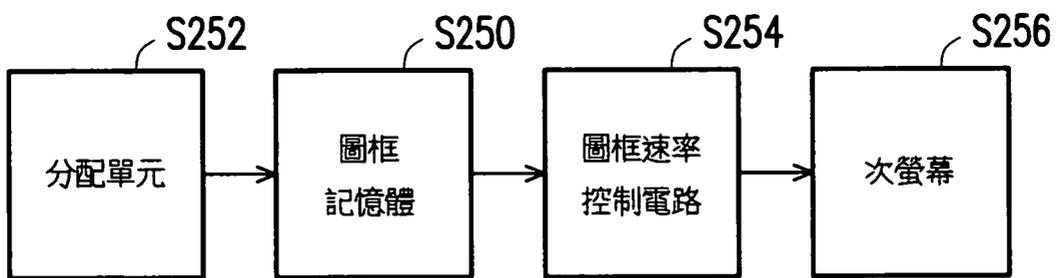


圖 7

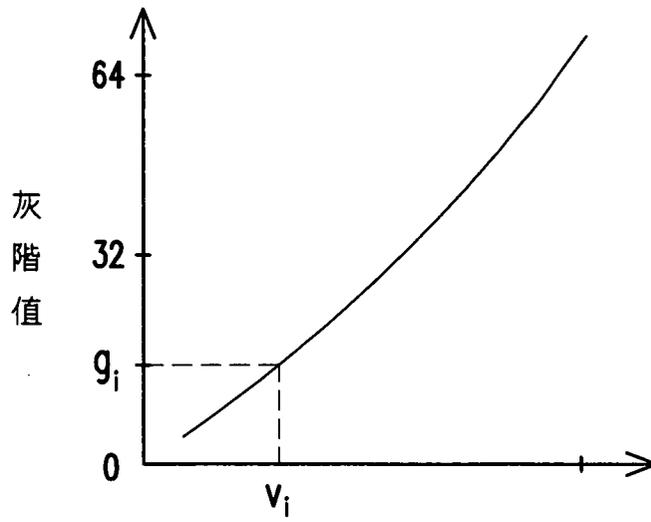


圖 8

f1	f2	f3	f4	
g_i	g_i	g_i	g_i	$\rightarrow 0$
g_i+1	g_i	g_i	g_i	$\rightarrow \frac{1}{4}$
g_i+1	g_i+1	g_i	g_i	$\rightarrow \frac{2}{4}$
g_i+1	g_i+1	g_i+1	g_i	$\rightarrow \frac{3}{4}$

圖 9