

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5247008号
(P5247008)

(45) 発行日 平成25年7月24日(2013.7.24)

(24) 登録日 平成25年4月19日(2013.4.19)

(51) Int. Cl. F 1
G09F 9/30 (2006.01) G09F 9/30 338
G02F 1/167 (2006.01) G02F 1/167

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2006-157996 (P2006-157996)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成18年6月7日(2006.6.7)	(74) 代理人	100082337 弁理士 近島 一夫
(65) 公開番号	特開2007-328066 (P2007-328066A)	(74) 代理人	100141508 弁理士 大田 隆史
(43) 公開日	平成19年12月20日(2007.12.20)	(72) 発明者	吉永 秀樹 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	平成21年6月8日(2009.6.8)	(72) 発明者	森 秀雄 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		審査官	田井 伸幸

最終頁に続く

(54) 【発明の名称】 透過型の表示装置

(57) 【特許請求の範囲】

【請求項1】

基板上に面状に形成された導電層と、
 該導電層上に形成された絶縁層と、
 該絶縁層上にマトリクス状に形成された複数の配線と、
 該複数の配線の各交差部分にそれぞれ配置された半導体素子及び該半導体素子を介して
 信号を付与される複数の画素と、を備え、
 該画素に信号付与する前記半導体素子の電極と前記導電層との間に補助容量が形成され
 てなり、

前記導電層が透明電極であり、

前記導電層が前記複数の画素にわたって全面に形成されている、

ことを特徴とする透過型の表示装置。

【請求項2】

前記マトリクス状の前記複数の配線をそれぞれ駆動する駆動手段を備え、

前記導電層の電位は、前記駆動手段内における何れかの電源電位に固定されている、

ことを特徴とする請求項1記載の透過型の表示装置。

【請求項3】

前記半導体素子の前記電極であるドレイン電極、或いは該ドレイン電極と電気的に接続
 された電極の何れにも電気的に接続されずに独立して配された容量形成電極を更に備え、
 前記導電層の電位は、前記容量形成電極の電位と同電位である、

ことを特徴とする請求項 1 又は 2 記載の透過型の表示装置。

【請求項 4】

前記半導体素子は、逆スタガー構成の T F T 構造である、

ことを特徴とする請求項 1 ないし 3 の何れか 1 項記載の透過型の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、補助容量を用いて保持駆動を行う構造の表示装置に係り、特に、広い設計マージンを得ることが可能な構造を備えた透過型の表示装置に関する。

【背景技術】

【0002】

近年、情報機器の発達に伴い、低消費電力且つ薄型の表示装置のニーズが増しており、これらニーズに合わせた表示装置の研究、開発が盛んに行われている。特にウェアラブル P C (Wearable Personal Computer) や電子手帳等においては、省電力かつ省スペースであることが望まれる。

【0003】

しかし、多くの液晶はいわゆるメモリー性が無い為、表示期間中は液晶に対し電圧印加を行い続ける必要がある。一方で、メモリー性を有する液晶においては、ウェアラブル P C のようにさまざまな環境における使用を想定した場合の、信頼性を確保することが難しい。

【0004】

そこで、メモリー性を有する、薄型軽量ディスプレイ方式の一つとして、Harold D. Lees 等により、電気泳動表示装置が提案されている(特許文献 1 参照)。この種の電気泳動表示装置は、所定間隙を空けた状態に配置された一对の基板と、これらの基板の間に充填された絶縁性液体と、該絶縁性液体に分散された多数の着色帯電泳動粒子と、それぞれの基板に沿うように各画素に配置された表示電極とを備えている。

【0005】

このような電気泳動表示装置において、着色帯電泳動粒子は、正極性又は負極性に帯電されているため、表示電極に印加される電圧の極性に依りていずれかの表示電極に吸着される。例えば、上部電極に着色粒子が吸着されて着色粒子が見える状態と、下部電極に着色粒子が吸着され、絶縁性液の色が見える状態とを、印加電圧で制御する事で様々な画像を表示する事が可能となる。このタイプの電気泳動表示装置を“上下移動型”と称している。

【0006】

また他にも、図 4 に示すような In Plain 型の電気泳動表示装置が知られている(特許文献 2 参照)。かかる電気泳動表示装置は、上述したタイプのように絶縁性液体を挟み込むように配置されているのではない。例えば、図 4 中の符号 3 1 で示す第 1 の電極は、画素間遮蔽層に沿うように配置され、同じく図 4 中の符号 3 2 で示す第 2 の電極(反射電極)は、入射光を反射する為に画素表示部全体に配され絶縁膜で覆われる形をとっている。

【0007】

その為、絶縁性液体は透明であれば良く、図 4 (a) に示すように第 2 の電極 3 2 を泳動粒子 3 0 で覆う事で黒表示を行い、図 4 (b) に示すように泳動粒子 3 0 を画素間である第 1 の電極 3 1 側に集めることで、第 2 の電極 3 2 を露出させて白表示を行う。これにより、印加電圧の極性を画素毎に制御することで、画像を表示することができる。

【0008】

【特許文献 1】米国特許 3 6 1 2 7 5 8 号公報

【特許文献 2】特開平 0 9 - 2 1 1 4 9 9 号公報

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 9 】

しかし、前述のように粒子そのものが帯電している電気泳動素子や、前述したメモリー性を有する液晶であるFLC（強誘電性液晶）等の自発分極を有する素子を用いて保持駆動を行う場合、次のような問題が生じる。即ち、これらの素子を、例えばTFTバックプレーンを用いて、各画素内に配された補助容量に溜めた電荷を用いる、いわゆる保持駆動を行う場合、電圧保持率が低下する結果、所望の書き込み状態を確保することが困難になる。

【 0 0 1 0 】

つまり、マトリクス状に配された各画素の書き換えを行う際には、1書き込み時間中に各画素に配された補助容量に電荷がチャージ（補助容量への書き込み）される。そして、チャージ終了後、次の書き換えが行われるまでの間に各画素の補助容量にチャージされた電荷によって保持された各画素の駆動電極電位と、いわゆる対向電極電位との電位差により各素子の書き換えが行われる。しかし、前記した帯電している電気泳動素子（帯電粒子）または自発分極を有する素子を用いた場合には、各素子の書き換えと共に各画素にチャージした電荷量が増加することとなる。

【 0 0 1 1 】

その為、各画素の表示素子の書き換えと共に、各画素電極電位が変動することになり、所望の書き換え状態に制御することが困難になる。この現象は、小画面かつ高精彩なディスプレイになるほど、各画素を構成する平面的な面積において、補助容量を形成する面積が小さくなる為、より顕著にあらわれることになる。

【 0 0 1 2 】

図3は、ガラス基板上にTFT(Thin Film Transistor)マトリクスアレイを形成した際の画素電極の一例を示す断面図である。図3において、ガラス基板10上にゲート電極11及び補助容量(Cs)電極12が形成されており、これらゲート電極11及び補助容量電極12の上にゲート絶縁膜13が形成されている。ゲート絶縁膜13上には、アモルファスシリコン層14、そしてソース電極15、ドレイン電極16が形成されており、このドレイン電極16上にチャンネル保護膜17が形成されている。なお、符号18は、オーミックコンタクト層を示している。

【 0 0 1 3 】

従来のように、ガラス基板10上に電極を配した場合には、補助容量電極12とドレイン電極16との間に電氣的に形成される補助容量Csが主な補助容量となる。その為、解像度が高いディスプレイを作製する場合には、補助容量Csを形成することが可能な面積が縮小してしまい、各補助容量Csにチャージされる電荷量が低減する。なお、各画素面積の縮小とともに、バックプレーン上に搭載された表示素子の面積も縮小する。

【 0 0 1 4 】

しかし、バックプレーン上に形成される補助容量は、同じくバックプレーン上に形成されたTFTスイッチング素子や、マトリクス配線が占有する面積が存在するため、解像度が上がるにつれ、各画素における補助容量が形成可能な面積比は低下する。

【 0 0 1 5 】

ここで、解像度を上げた際に各画素の駆動を所望の状態にする為の対応策として、以下に示すものなどが挙げられる。

(1) 補助容量電極12の電位を変調し、保持用の電荷量を大きくする。

(2) プロセス設計ルールを変更する。

(3) 駆動電圧を高くする。

【 0 0 1 6 】

しかし、対応策(1)の場合は周辺回路のコストアップに加えて駆動方法が制限され、対応策(2)の場合は配線や各レイヤ間のアライメント精度の向上等が必要となり対応が困難であり、対応策(3)の場合は耐圧向上による周辺回路のコストアップを招く。従って、いずれの手法においても、高解像度なディスプレイへの対応は困難である。

【 0 0 1 7 】

10

20

30

40

50

そこで本発明は、上述の事情に鑑みてなされたものであり、電極対電極の位置合わせが極めて容易で、所要の補助容量を容易に実現でき、解像度を上げた場合であっても各画素の駆動を所望の状態にし得る透過型の表示装置を提供することを目的とするものである。

【課題を解決するための手段】

【0018】

本発明は、基板上に面状に形成された導電層と、該導電層上に形成された絶縁層と、該絶縁層上にてマトリクス状に形成された複数の配線と、該複数の配線の各交差部分にそれぞれ配置された半導体素子及び該半導体素子を介して信号を付与される複数の画素と、を備え、該画素に信号付与する前記半導体素子の電極と前記導電層との間に補助容量が形成されてなり、前記導電層が透明電極であり、前記導電層が前記複数の画素にわたって全面に形成されていることを特徴としている。

10

【発明の効果】

【0019】

本発明によれば、画素に信号付与する半導体素子の電極との間で補助容量を形成する導電層が、基板上に面状に、即ち、基板上にパターンニングされない状態で形成されるので、半導体素子の前記電極と導電層との位置合わせを極めて簡単に行うことができる。また、面状の導電層に対向する電極の寸法精度で、電気的容量形成のための面積が決まるので、電気的容量（静電容量）のバラツキを可及的に抑えることができる。このように、電極対電極の位置合わせが極めて容易で、所要の補助容量を容易に実現することができ、解像度を上げた場合であっても、各画素の駆動を所望の状態にすることができる。

20

【発明を実施するための最良の形態】

【0020】

以下、本発明に係る実施の形態を図面を参照して説明する。図1は、電気泳動表示素子121を用いた本実施形態における電気泳動表示装置を示す図である。(a)は、基板上に導電性材料を用いたTFTバックプレーンの或る表示画素を模式的に示す断面図、(b)は、(a)の破線Bで囲んだ部分を拡大して示す断面図である。図2は、本実施形態のTFTバックプレーンを用いた電気泳動表示装置（電気泳動表示パネル）を示す図である。(a)は、該表示装置の要部を示す断面図、(b)は、300行×250列のTFTアクティブマトリクスアレイの一部を模式的に示す図である。なお、図2(a)におけるA1、A2は、図2(b)におけるA1、A2の破線で囲んだ部分にそれぞれ対応する。

30

【0021】

本実施形態における電気泳動表示装置（薄型ディスプレイ）では、図2(a)に示すように、ガラス基板130上に、導電層としての下地金属層（SUS基板）100を形成する。さらに、該金属層100上に、絶縁層としてのSiN等の基板絶縁層101を該金属層100の全域を覆うように形成する。下地金属層100は、平面視矩形形状のガラス基板130の全体を覆うように面状に形成される。引き続き、基板絶縁層101を選択的にエッチングを施し、下地金属層100と電気的に接続を取るためのコンタクトホール102を形成する。

【0022】

続いて、基板絶縁層101上に、各ゲート電極（ゲート配線）106、ソース電極（ソース配線）111、ドレイン電極（ドレイン配線）112、及び、下地金属層（導電性基板）100と電気的に接続する為の電極を形成する。配線形成方法に関する詳細な説明は省くが、例えば、抵抗率の低いA1配線を用い、その後のプロセスでA1の融点を超えるようなプロセスがある際は、Cr（クロム）やTa（タンタル）、Al-Nd（アルミニウム-ネオジウム）をスパッタリングで蒸着する。続いて、塗布したレジストを選択的に露光、現像し、形成した導電膜をエッチングにより配線形成する。

40

【0023】

例えば、ボトムゲート構成のTFT(Thin Film Transistor)の場合には、ゲート配線106を形成する。更に、ゲート配線106を絶縁する為にゲート絶縁膜108を形成した後、例えばアモルファス半導体層109を形成し、例えばイオン注入法でオーミックコ

50

ンタクト層 110 を形成する。その後、コンタクト層 110 を選択的に除去し、ソース電極 111、ドレイン電極 112 をそれぞれ形成する。

【0024】

つまり、本実施形態の TFT バックプレーンは、導電性の薄型金属板（下地金属層 100）上に基板絶縁層 101 を設けた構成において、該基板絶縁層 101 の基板電位を或る電位とするために電氣的に接続をとっている。そして、導電性基板である金属層 100 と、該導電性基板上の基板絶縁層 101 の上に配される電極（ドレイン電極 112、画素容量形成電極 107）間で容量（補助容量）を形成することを特徴としている。この場合、ドレイン電極 112 と画素容量形成電極（補助容量電極）107 との間に電氣的に形成される第 1 の補助容量と、画素容量形成電極 107 と下地金属層 100 との間に電氣的に形成される第 2 の補助容量とが積層する。このように、第 1 及び第 2 の補助容量を積層して形成することで、画素面積が小さい場合においても十分な補助容量の確保を可能にし、高解像度なディスプレイ構成を実現することができる。

10

【0025】

図 2 (b) に示すように、表示パネル（TFT バックプレーン）20 では、ゲート電極 106 とソース電極 111 とがマトリクス状に配設されて、マトリクス基板が構成されている。行方向に延在する複数のゲート電極 106 と列方向に延在する複数のソース電極 111 との各交点（交差部分）には、半導体素子である TFT 127 と、TFT 127 を介して電圧印加（信号付与）される画素である画素電極 114 とが夫々接続配置されている。また、表示パネル 20 における下地金属層 100 には、基板絶縁層コンタクトホール 102 を介して、該金属層 100 の基板電位を制御するための基板電位固定配線 124 が電氣的に接続されている。

20

【0026】

さらに表示パネル 20 には、走査信号配線としてのゲート電極 106 を駆動するゲート線駆動回路（第 1 手段）125 と、情報信号配線としてのソース電極 111 を駆動するソース線駆動回路（第 2 手段）126 とが設けられている。これらゲート線駆動回路 125 とソース線駆動回路 126 により、駆動手段が構成される。例えば、ゲート線駆動回路 125 によるゲート線駆動電圧は、オン電圧を +20 [V]、オフ電圧を -20 [V] に設定することができる。また、ソース線駆動回路 126 によるソース線駆動電圧は、0 ~ 15 [V] に設定することができる。

30

【0027】

次に、図 1 (a)、(b) を参照して、本実施形態についてさらに詳細に説明する。即ち、ガラス基板 130 上に下地金属層 100 を形成し、該金属層 100 を絶縁するための絶縁層 101 上に、各画素を含む TFT マトリクスアレイを形成するまでを説明する。なお、図 1 (a) において、画素間隔壁 119 で区画された各空間 128 の底部には、画素電極（反射電極）114 が該底部に沿って配置されている。各画素間隔壁 119 にはそれぞれ、対応する画素電極 114 との間に書込み電圧が印加される電極 129 が設けられている（図 1 (b) では不図示）。

【0028】

(1) スパッタにより、板厚 0.7 [mm] のガラス基板 130 上に 100 [nm] の厚さになるように Cr 層（下地金属層 100）を成膜する。

40

(2) CVD 法（化学気相成長法：Chemical Vapor Deposition）により、Cr 電極（下地金属層 100）上に、基板絶縁層 101 としての SiN 膜を 300 [nm] の厚さになるように成膜する。

【0029】

なお、本実施形態では反射型のディスプレイを作製するために透過率の低い金属を下地金属層（下地電極）100 として採用したが、これに限らず、その後の工程において問題の生じない導電性の膜であればよい。例えば、透過型のディスプレイを作製する際には、ITO (Indium tin oxide) に代表される、いわゆる透明電極を採用してもよい。

【0030】

50

(3) ドライエッチングにより、基板絶縁層101にコンタクトホール102を形成し、下地金属層(Cr電極)100を一部露出させる。

(4) 基板絶縁層(SiN膜)101上に、スパッタにより200[nm]のAlNd層を成膜し、フォトマスクを用いて、ゲート配線106および画素容量形成電極(補助容量形成電極)107等のTFTの下電極を形成する。

【0031】

なお、本実施形態における電気泳動表示装置では、画素電極114に対応するドレイン電極112と下地金属層100との間に、TFTの保持駆動を行うための補助容量が形成される。そして、補助容量のため、ゲート配線106と同一のレイヤに、画素容量形成電極107が形成される。また同時に、該レイヤに、コンタクトホール102を介して、下地金属層(Cr電極)100と電氣的に接続された基板電位を制御する為の基板電位固定配線124も形成する。この基板電位固定配線124は、後の工程においてドライバIC(ゲート線駆動回路125)を実装した段階で、パネルの画素電極114と電氣的に対向する基準電位であるVcom電位と同電位となるようにした。本実施形態では、下地金属層100の電位を電氣的に固定もしくは制御することで、該下地金属層100とドレイン電極112との間に電氣的な容量(補助容量)を形成することができる。

10

【0032】

なお、下地金属層100の電位は、ゲート線駆動回路125内における何れかの電位に設定することができ、その場合、下地金属層100の電位を、ゲート線駆動回路125の電源電圧の何れか1つと同じ電位に固定することができる。また画素容量形成電極107は、ドレイン電極112或いは該ドレイン電極112と電氣的に接続された電極の何れにも電氣的に接続されずに独立して配された電極であり、下地金属層100を、画素容量形成電極107と同電位に保持する構成とすることもできる。

20

【0033】

(5) CVD法により、ゲート絶縁膜108及び半導体層109として、SiN膜、a-Si膜をそれぞれ250nm、200nmの厚さになるように成膜する。

(6) CVD法により、オーミックコンタクト層110として、a-Si(n⁺)膜を20[nm]の厚さになるように成膜する。

(7) スパッタにより、オーミックコンタクト層110上に、200[nm]の厚さになるようにAl層を成膜する。

30

(8) フォトマスクを用いウェットエッチングにより、TFT部を含むソース配線111、ドレイン電極112を形成する。引き続き、同レジストパターンを用い、ドライエッチングによりTFTチャンネル部のオーミックコンタクト層(a-Si(n⁺)層)110を除去した後、SiN膜113を300[nm]の厚さに成膜する。

(9) ドライエッチングにより、SiN膜(保護層)113にコンタクトホール123を形成して、ドレイン電極112を一部露出させる。

(10) スパッタにより、SiN膜113上にAl層を200[nm]の厚さになるように成膜する。

(11) フォトマスクを用いウェットエッチングにより、Al層を、画素電極114として形成する。

40

(12) TiO₂を含有したアクリル樹脂層を4[μm]塗布し、白色散乱層115を形成する。

(13) 絶縁膜として、アクリル系樹脂116を1[μm]の厚さになるように成膜する。

(14) アクリル系樹脂116上に、Ti層117を300[nm]の厚さになるように成膜し、さらに、カーボンを含有したフォトレジスト118を300[nm]の厚さになるように成膜する。

(15) そして、厚膜フォトレジストを15[μm]の厚さになるように形成した後、画素間部分を残して現像し、画素間隔壁119を形成する。

(16) 厚膜フォトレジストで形成した画素間隔壁119を用いて、Ti層117と、カ

50

ーボン含有のフォトリジスト118とを300[nm]エッチングし、TFTバックプレーンを形成する。

(17)最後に、パラフィン系炭化水素溶媒を主成分とする絶縁性液体120に、カーボンブラックを含有したポリスチレン樹脂から成る黒色の帯電性粒子121を分散させた分散液を、画素間隔壁119で区画された空間128に充填する。そして、透明な第2基板122を画素間隔壁119と接触させるようにして固定した。つまり、電気泳動粒子である帯電性粒子121と帯電性粒子121を分散させる媒質である分散液とを挟持した状態で、第2基板122とガラス基板130とを対向配置した。なお、ここでは簡単のため図示していないが、画素間隔壁119と第2基板122とは接着剤で固定されている。

【0034】

本実施形態では、下地電極である下地金属層100の電位を、該金属層100上の基板絶縁層101に設けたコンタクトホール102を介して、TFTパネル内における各画素電極114と電気的に対向する基準電位であるVcom電位と同電位になるようにした。

【0035】

ところで、従来、補助容量を形成する際には、一つ目の電極と、絶縁膜を挟む二つ目の電極とを任意の形状に形成していた為、各電極の位置合わせがずれることで、形成される画素容量が変化する事を防ぐ必要があった。例えば、いずれか一方の電極を大きくし、その電極サイズの非対称な部分を設ける事で、位置合わせが生じても補助容量が変動しないようにしていた。

【0036】

これに対し、本実施形態では、ドレイン電極112に対向する電極は、ガラス基板130上に、面状に形成されパターンニングを施されない非パターンニング導電層として配された下地金属層(下地電極)100である。このため、細かな位置合わせが不要となり、ドレイン電極112のサイズのみで画素容量(補助容量)を確定する事ができ、従って、広い設計マージンを得ることが可能となった。

【0037】

つまり、画素電極114に対応するドレイン電極112との間で補助容量を形成するための下地金属層100が、ガラス基板130上に面状に形成、即ち、ガラス基板130上にパターンニングされない状態で形成される。これにより、画素電極114に対応するドレイン電極112と下地金属層100との位置合わせが極めて簡単となった。また、面状の下地金属層100に対向するドレイン電極112の寸法精度で、電気的容量形成のための面積が決まるため、電気的容量(静電容量)のバラツキを可及的に抑えることができる。このように、電極対電極の位置合わせが極めて容易で、所要の補助容量を容易に実現することができる。解像度を上げた場合であっても、各画素の駆動を所望の状態にすることができる。

【0038】

さらに、基板絶縁層101上に作製したTFTアクティブマトリクス、ドレイン電極112と画素容量形成電極(補助容量形成電極)107との間にも電圧補助容量が形成されることで、補助容量が積層されて形成されることになる。このため、従来のTFTバックプレーンの形成とパターンニング数を変更することなく補助容量を拡大することが可能になった。その結果として、帯電粒子を表示素子として用いた高解像度なディスプレイにおいても、良好な画質を得ることができるようになった。

【0039】

なお、本実施形態では、電気泳動表示装置のバックプレーンとして作製したが、本発明はこれに限定されるものではない。例えば、対向配置された基板122、130間に液晶(光学変調素子)を挟持する透過型の液晶表示装置として構成した場合、該表示装置に本発明を適用することも可能である。この表示装置では、一对の基板122、130の少なくとも一方(本実施形態では基板130側)に配置された一对の電極(下地金属層100、ドレイン電極112)を有している。この場合、例えば第2基板(ガラス基板)122に、ITO膜のような透明な導電膜を形成してコモン電極とし、第2基板122とドレイ

10

20

30

40

50

ン電極 1 1 2 との間に液晶を挟持し、ドレイン電極 - コモン電極間に所望の電界をかけることで表示を行うことが可能となる。

【 0 0 4 0 】

また、本実施形態では、アモルファスシリコンを用いた逆スタガー構成のいわゆるボトムゲート型の T F T 構造を採用したが、例えば、トップゲート型の T F T 構造等を採用することもでき、その場合も同様の効果が得られる。また、ガラス基板 1 3 0 上に配された下地金属層 1 0 0 と該下地金属層 1 0 0 の基板絶縁層 1 0 1 とを用いた容量形成についても行うことができ、本実施形態の構成に限定されるものではない。

【 0 0 4 1 】

加えて、本実施形態では、ガラス基板 1 3 0 上に設けた下地金属層 1 0 0 の電極電位を、T F T パネル内における各画素電極と電気的に対向する基準電位である V c o m 電位と同電位になるようにしたが、何らこれに限定されるものではない。例えば、各画素内に配される T F T 補助容量形成電極 (T F T コモン電極) と同電位になるようにしてもよく、その他、駆動に用いる電源電位のいずれかと同電位になるように接続することも可能である。

【 0 0 4 2 】

また本発明は、半導体層 (活性層、チャネル部) 1 0 9 にアモルファスシリコンを用いた T F T (3 端子トランジスタ) に限らず、レーザーアニールを用いて半導体層 1 0 9 にポリシリコンを形成した T F T にも同様に適用できる。さらに本発明は、単結晶 T F T の転写技術を用いた T F T に対しても、同様に適用することができる。また本発明は、ドレイン電極 1 1 2 の電圧等を含む該ドレイン電極 1 1 2 の制御を行う T F T 1 2 7 を含むアクティブマトリクス配線群が、転写方式 (D L T) を用いて基板絶縁層 1 0 1 上に形成された構造の表示装置にも適用することができる。

【 図面の簡単な説明 】

【 0 0 4 3 】

【 図 1 】本実施形態における電気泳動表示装置を示す図であり、(a) は、基板に導電性材料を用いた T F T バックプレーンの或る表示画素を模式的に示す断面図、(b) は、(a) の破線 B で囲んだ部分を拡大して示す断面図である。

【 図 2 】本実施形態の T F T バックプレーンを用いた電気泳動表示装置を示す図であり、(a) は、該表示装置の要部を示す断面図、(b) は、3 0 0 行 × 2 5 0 列の T F T アクティブマトリクスアレイの一部を模式的に示す図である。

【 図 3 】ガラス基板上に T F T マトリクスアレイを形成した際の画素電極の一例を示す断面図である。

【 図 4 】従来の電気泳動表示装置を示す断面図である。

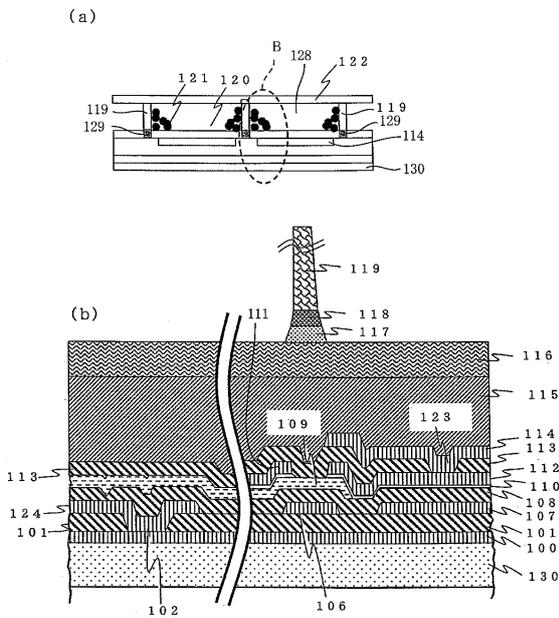
【 符号の説明 】

【 0 0 4 4 】

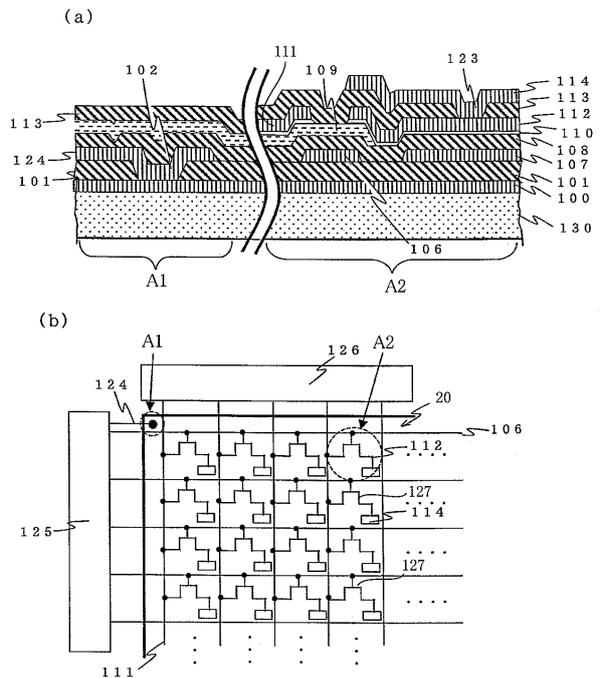
2 0	表示パネル	
1 0 0	導電層 (下地金属層)	
1 0 1	基板絶縁層 (S i N 膜)	
1 0 2	基板絶縁層コンタクトホール	40
1 0 6	配線 (ゲート電極、ゲート配線)	
1 0 7	画素容量形成電極 (C s 配線)	
1 0 8	ゲート絶縁膜 (S i N 膜)	
1 0 9	アモルファス半導体層	
1 1 0	オーミックコンタクト層 (a - S i (n ⁺))	
1 1 1	配線 (ソース電極、ソース配線)	
1 1 2	ドレイン電極 (ドレイン配線)	
1 1 3	S i N 膜	
1 1 4	画素 (画素電極)	
1 1 5	白色散乱層	50

- 1 1 6 アクリル系樹脂（絶縁膜）
- 1 1 7 Ti層
- 1 1 8 カーボン含有のフォトレジスト
- 1 1 9 画素間隔壁
- 1 2 0 絶縁性液体
- 1 2 1 帯電性粒子
- 1 2 2 第2基板
- 1 2 3 コンタクトホール
- 1 2 4 基板電位固定配線
- 1 2 5 駆動手段、第1手段（ゲート線駆動回路）
- 1 2 6 駆動手段、第2手段（ソース線駆動回路）
- 1 2 7 半導体素子、3端子トランジスタ（TFT）
- 1 3 0 基板（ガラス基板）

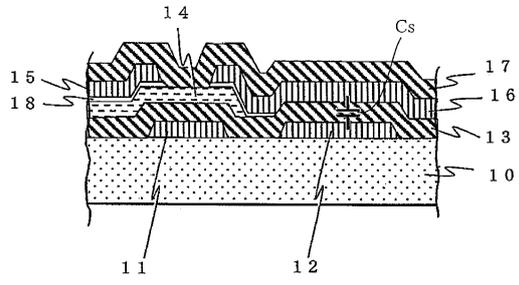
【図1】



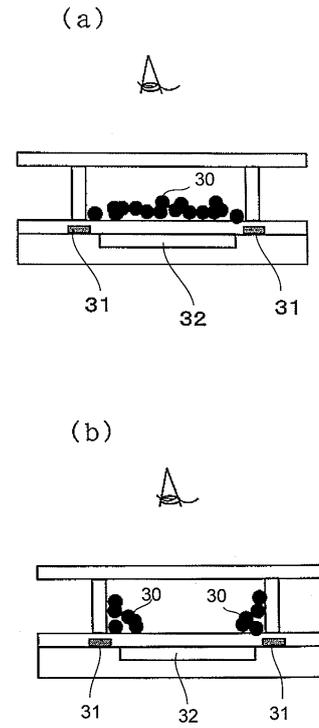
【図2】



【図3】



【図4】



フロントページの続き

- (56)参考文献 特開2005 - 292579 (JP, A)
特開2001 - 202827 (JP, A)
特開2000 - 338527 (JP, A)
特開2001 - 324725 (JP, A)
特開2002 - 353424 (JP, A)
特開平04 - 056828 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/30
G02F 1/167