



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0017914
(43) 공개일자 2013년02월20일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) H01L 21/786 (2006.01)
(21) 출원번호 10-2011-0080649
(22) 출원일자 2011년08월12일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
조성호
경기도 과천시 중앙동 71번지 래미안에코펠리스아파트 1102-303
(74) 대리인
리앤목특허법인

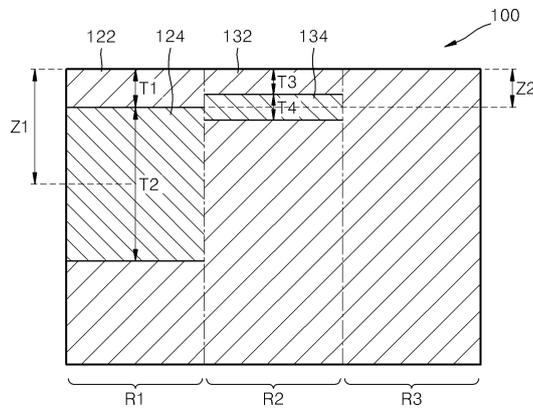
전체 청구항 수 : 총 23 항

(54) 발명의 명칭 광전 집적회로 기판 및 그 제조방법

(57) 요약

광전 집적회로 기판 및 그 제조방법이 개시된다. 개시된 광전 집적회로 기판은 서로 다른 두께를 가진 적어도 2개의 매립절연층이 각각 형성된 광학 소자 영역과 전자 소자 영역을 포함한다. 상기 광학 소자 영역의 매립절연층은 상기 전자 소자 영역의 매립절연층 보다 깊게 그리고 두껍게 형성된다. 상기 매립절연층이 없는 영역에는 맵스 구조가 형성될 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

서로 다른 두께를 가진 적어도 2개의 매립절연층이 각각 형성된 제1영역과 제2영역을 포함하는 광전 집적회로 기판.

청구항 2

제 1 항에 있어서,
상기 기판에서 상기 매립절연층이 없는 제3영역을 더 포함하는 광전 집적회로 기판.

청구항 3

제 1 항에 있어서,
상기 매립절연층은 산소, 질소, 네온을 포함하는 그룹 중 선택된 적어도 하나가 임플란트되어 형성된 광전 집적회로 기판.

청구항 4

제 1 항에 있어서,
상기 제1영역의 매립절연층과 상기 제2영역의 매립절연층은 상기 기판의 표면으로부터의 상부 위치가 서로 다른 광전 집적회로 기판.

청구항 5

제 1 항에 있어서,
상기 제1영역의 매립절연층이 상기 제2영역의 매립절연층 보다 두꺼우며, 상기 제1영역에는 광학소자가 형성되며, 상기 제2영역에는 전자소자가 형성되는 광전 집적회로 기판.

청구항 6

제 5 항에 있어서,
상기 제1영역의 매립절연층의 상부가 상기 제2영역의 매립절연층의 상부 보다 깊게 배치된 광전 집적회로 기판.

청구항 7

제 5 항에 있어서,
상기 제1영역의 매립절연층은 상기 기판의 표면으로부터 100nm~500nm 깊이에서 0.5 μ m~3 μ m 두께를 가지며, 상기 제2영역의 매립절연층은 상기 기판의 표면으로부터 1nm~100nm 깊이에서 10nm~300nm 두께를 가지는 광전 집적회로 기판.

청구항 8

제 7 항에 있어서,
상기 제1영역은 제1깊이에 상기 매립절연층이 형성된 제4 영역과, 상기 제1깊이 보다 깊은 제2 깊이에 상기 매립절연층이 형성된 제5 영역을 포함하는 광전 집적회로 기판.

청구항 9

제 8 항에 있어서,
상기 제4영역의 매립절연층의 위치는 상기 기판의 표면으로부터 100nm - 200nm이며, 상기 제5영역의 매립절연층의 위치는 상기 기판의 표면으로부터 300nm - 500nm인 광전 집적회로 기판.

청구항 10

제 2 항에 있어서,
상기 제3영역에는 멤스 구조가 형성되는 광전 집적회로 기판.

청구항 11

제 1 항에 있어서,
상기 기판은 실리콘, 갈륨 비소, InP 중 선택된 하나의 반도체 또는 도전성 폴리머로 이루어진 광전 집적회로 기판.

청구항 12

기판 상에 광학소자 및 전자 소자를 형성할 광학 소자 영역 및 전자 소자 영역을 한정하는 단계;
상기 기판 상면으로 상기 광학 소자 영역에서 제1깊이로 이온을 주입하여 제1두께를 가진 제1 이온주입층을 형성하는 단계;
상기 실리콘 기판 상면으로 상기 전자 소자영역에서 제2깊이로 산소이온을 주입하여 제2두께를 가진 제2 이온주입층을 형성하는 단계; 및
상기 기판을 열처리하여 상기 제1 이온주입층과 상기 제2 이온주입층을 각각 제1 매립절연층과 제2 매립절연층으로 변환하는 단계;를 포함하며, 상기 제1두께가 상기 제2두께 보다 큰 광전 집적회로 기판의 제조방법.

청구항 13

제 12 항에 있어서,
상기 제1 매립절연층의 상부의 상기 기판의 두께는 상기 제2 매립절연층의 상부의 상기 기판의 두께 보다 큰 광전 집적회로 기판의 제조방법.

청구항 14

제 12 항에 있어서,
상기 기판은 상기 이온이 주입되지 않으며, 그 위에 멤스구조가 형성되는 멤스영역을 포함하는 광전 집적회로 기판의 제조방법.

청구항 15

제 12 항에 있어서,
상기 제1 매립절연층 위의 상기 기판은 100nm - 500nm 두께를 가지며, 상기 제1두께는 0.5 μ m - 3 μ m 인 광전 집적회로 기판의 제조방법.

청구항 16

제 12 항에 있어서,
상기 제2 매립절연층 위의 상기 기판은 1nm - 100nm 두께를 가지며, 상기 제2두께는 5nm - 150nm 인 광전 집적회로 기판의 제조방법.

청구항 17

제 12 항에 있어서,
상기 기판은 실리콘, 갈륨 비소, InP, 도전성 폴리머로 이루어진 그룹 중 선택된 하나로 이루어진 광전 집적회로 기판의 제조방법.

청구항 18

제 12 항에 있어서,

상기 이온은 산소, 질소, 네온으로 이루어진 그룹 중 선택된 하나인 광전 집적회로 기관의 제조방법.

청구항 19

제 12 항에 있어서, 상기 제1 이온주입층을 형성하는 단계는:

상기 광학 소자 영역에서 제3 깊이로 이온을 주입하여 제3두께를 가진 제3 이온주입층을 형성하는 단계; 및

상기 광학 소자 영역에서 제4깊이로 상기 이온을 주입하여 제4두께를 가진 제4 이온주입층을 형성하는 단계;를 포함하며,

상기 변환단계는, 상기 제3 이온주입층과 상기 제4 이온주입층을 각각 제3 매립절연층과 제4 매립절연층으로 변환하는 단계인 광전 집적회로 기관의 제조방법.

청구항 20

제 19 항에 있어서,

상기 제3깊이 및 상기 제4 깊이는 상기 제2 깊이 보다 크며, 상기 제3두께 및 상기 제4두께는 상기 제2두께 보다 큰 광전 집적회로 기관의 제조방법.

청구항 21

제 20 항에 있어서,

상기 제3 매립절연층 위의 상기 기관은 100nm - 200nm 두께를 가지며, 상기 제4 매립절연층 위의 상기 기관은 300nm - 500nm 두께를 가진 광전 집적회로 기관의 제조방법.

청구항 22

제 20 항에 있어서,

상기 제3두께 및 상기 제4두께는 0.5 μ m - 3 μ m 인 광전 집적회로 기관의 제조방법.

청구항 23

제 19 항에 있어서,

상기 기관은 상기 이온이 주입되지 않으며, 그 위에 멤스구조가 형성되는 멤스영역을 포함하는 광전 집적회로 기관의 제조방법.

명세서

기술분야

[0001] 광학 소자 및 전자 소자와 멤스 구조를 함께 구현하는 데 적합한 기관 및 그 제조방법에 관한 것이다.

배경기술

[0002] 반도체 집적회로들은 데이터를 전기적으로 송수신하는 전기적 통신을 이용하여 왔다. 반도체 집적회로들은 인쇄 회로기관에 집적되며, 배선들을 통해서 서로 전기적 통신을 수행한다. 반도체 집적회로들 사이의 전기적 저항을 감소시키는 데 한계가 있다. 또한, 전기적 통신은 외부 전자파동에 의해 영향을 받을 수 있다. 이러한 이유로 반도체 집적회로들 간의 통신속도를 증가시키기가 어렵다.

[0003] 최근에 반도체 집적회로들간의 통신속도를 향상시키기 위해 광배선(optical interconnect) 또는 광통신(optical communication)이 채용되고 있다. 광통신은 정보를 저장한 광신호를 송신 및/또는 수신한다. 광통신은 전기적 통신과 비교하여 외부 전자파에 의한 간섭이 적으며, 고속 통신이 가능하게 한다.

[0004] 반도체 집적회로들 간의 광통신을 위해서는 광학 소자를 반도체 집적회로에 함께 구현하여야 한다. 또한, 광통신을 위한 광파이버를 배치할 영역과 멤스 구조를 형성할 멤스 영역도 필요할 수 있다.

- [0005] 광학소자와 전자 소자를 함께 기판 상에 구현하기 위해서, 소이(silicon on insulator: SOI) 기판을 사용할 수 있다. 소이(SOI) 기판은 기판의 표면으로부터 소정 깊이에 소정 두께를 가진 매립 옥사이드층을 가진다.
- [0006] 그러나, 전자소자 및 광학소자에 적합한 에피층의 두께와, 매립 옥사이드층의 두께가 다르며, 또한, 멤스구조를 필요로 하는 영역에서는 매립 옥사이드층이 없는 영역인 것이 바람직하다. 이러한 광전 집적회로를 구현하는 데 적합한 기판이 요구된다.

발명의 내용

해결하려는 과제

- [0007] 본 발명의 일 실시예에 따른 광전 집적회로 기판은 서로 다른 깊이에서 서로 다른 두께를 가진 매립 옥사이드층이 형성된 영역을 가진 기판을 제공한다.
- [0008] 본 발명의 다른 실시예에 따른 광전 집적회로 기판의 제조방법은 상기 기판을 제조하는 방법을 제공한다.

과제의 해결 수단

- [0009] 본 발명의 일 실시예에 따른 광전 집적회로 기판은:
- [0010] 서로 다른 두께를 가진 적어도 2개의 매립절연층이 각각 형성된 제1영역과 제2영역을 포함한다.
- [0011] 상기 기판에서 상기 매립절연층이 없는 제3영역을 더 포함할 수 있다.
- [0012] 상기 매립절연층은 산소, 질소, 네온을 포함하는 그룹 중 선택된 적어도 하나가 임플란트되어 형성될 수 있다.
- [0013] 상기 제1영역의 매립절연층과 상기 제2영역의 매립절연층은 상기 기판의 표면으로부터의 상부 위치가 서로 다르다.
- [0014] 상기 제1영역의 매립절연층이 상기 제2영역의 매립절연층 보다 두꺼우며, 상기 제1영역에는 광학소자가 형성되며, 상기 제2영역에는 전자소자가 형성될 수 있다.
- [0015] 상기 제1영역의 매립절연층의 상부가 상기 제2영역의 매립절연층의 상부 보다 깊게 배치될 수 있다.
- [0016] 상기 제1영역의 매립절연층은 상기 기판의 표면으로부터 100nm~500nm 깊이에서 0.5 μ m~3 μ m 두께를 가지며, 상기 제2영역의 매립절연층은 상기 기판의 표면으로부터 1nm~100nm 깊이에서 10nm~300nm 두께를 가질 수 있다.
- [0017] 상기 제1영역은 제1깊이에 상기 매립절연층이 형성된 제4 영역과, 상기 제1깊이 보다 깊은 제2 깊이에 상기 매립절연층이 형성된 제5 영역을 포함할 수 있다.
- [0018] 상기 제4영역의 매립절연층의 위치는 상기 기판의 표면으로부터 100nm ~ 200nm이며, 상기 제5영역의 매립절연층의 위치는 상기 기판의 표면으로부터 300nm - 500nm일 수 있다.
- [0019] 상기 제3영역에는 멤스 구조가 형성될 수 있다.
- [0020] 상기 기판은 실리콘, 갈륨 비소, InP 중 선택된 하나의 반도체 또는 도전성 폴리머로 이루어질 수 있다.
- [0021] 다른 실시예에 따른 광전 집적회로 기판의 제조방법은:
- [0022] 기판 상에 광학소자 및 전자 소자를 형성할 광학 소자 영역 및 전자 소자 영역을 한정하는 단계;
- [0023] 상기 기판 상면으로 상기 광학 소자 영역에서 제1깊이로 이온을 주입하여 제1두께를 가진 제1 이온주입층을 형성하는 단계;
- [0024] 상기 실리콘 기판 상면으로 상기 전자 소자영역에서 제2깊이로 산소이온을 주입하여 제2두께를 가진 제2 이온주입층을 형성하는 단계; 및
- [0025] 상기 기판을 열처리하여 상기 제1 이온주입층과 상기 제2 이온주입층을 각각 제1 매립절연층과 제2 매립절연층으로 변환하는 단계;를 포함하며, 상기 제1두께가 상기 제2두께 보다 크다.
- [0026] 상기 기판은 상기 이온이 주입되지 않으며, 그 위에 멤스구조가 형성되는 멤스영역을 포함할 수 있다.
- [0027] 상기 제1 이온주입층을 형성하는 단계는:

- [0028] 상기 광학 소자 영역에서 제3 깊이로 이온을 주입하여 제3두께를 가진 제3 이온주입층을 형성하는 단계; 및
- [0029] 상기 광학 소자 영역에서 제4깊이로 상기 이온을 주입하여 제4두께를 가진 제4 이온주입층을 형성하는 단계;를 포함하며,
- [0030] 상기 변환단계는, 상기 제3 이온주입층과 상기 제4 이온주입층을 각각 제3 매립절연층과 제4 매립절연층으로 변환하는 단계이다.

발명의 효과

- [0031] 본 발명의 실시예에 따른 광전 집적회로 기판은, 광학 소자와 전자 소자에 각각 최적의 기판을 제공할 수 있으며, 아울러 맵스 영역에는 매립 산화물층을 형성하지 않음으로써 맵스 소자 형성이 용이해진다.
- [0032] 또한, 다양한 광학 소자에 맞게 매립 산화물층이 형성된 기판을 제공한다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 일 실시예에 따른 광전 집적회로 기판을 개괄적으로 보여주는 단면도이다.
- 도 2는 본 발명의 다른 실시예에 따른 광전 집적회로 기판의 개략적 단면도이다.
- 도 3a 내지 도 3d는 본 발명의 또 다른 실시예에 따른 광전 집적회로 기판의 제조방법을 단계별로 설명하는 도면이다.
- 도 4a 내지 도 4e는 본 발명의 또 다른 실시예에 따른 광전 집적회로 기판의 제조방법을 단계별로 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다. 명세서를 통하여 실질적으로 동일한 구성요소에 는 동일한 참조번호를 사용하고 상세한 설명은 생략한다.
- [0035] 도 1은 본 발명의 일 실시예에 따른 광전 집적회로 기판(100)을 개괄적으로 보여주는 단면도이다.
- [0036] 도 1을 참조하면, 광전 집적회로(electronic photonic integrated circuit) 기판(100)은 광학 소자(photonic device) 영역(R1), 전자 소자(electronic device) 영역(R2) 및 맵스(micro-electromechanical systems: MEMS) 영역(R3)을 포함한다. 도 1에 도시된 광전 집적회로 기판(100)은 웨이퍼 상에서 다이싱된 하나의 칩 영역의 기판일 수 있다.
- [0037] 광전 집적회로 기판(100)은 실리콘, 갈륨 비소, InP 또는 도전성 폴리머로 이루어질 수 있다. 이하에서는 실리콘 기판을 가지고 설명한다.
- [0038] 광학 소자 영역(R1) 상에는 광학 소자가 배치되며, 전자 소자 영역(R2) 상에는 전자 소자가 배치되며, 맵스 영역(R3) 상에는 맵스 구조가 배치된다. 광학 소자, 전자 소자 및 맵스 구조는 각각 기판(100) 상에 반도체 공정을 이용하여 형성되거나, 별도의 회로칩을 기판(100) 상에 배치하여 형성될 수도 있다.
- [0039] 광학 소자 영역(R1) 및 전자 소자 영역(R2)에는 매립 산화물층(buried oxide layer)이 형성되어 있으며, 맵스 영역(R3)에는 매립 산화물층이 형성되어 있지 않다. 광학 소자 영역(R1)과 전자 소자 영역(R2)에서의 매립 산화물층의 깊이 및 두께는 서로 다르게 형성될 수 있다.
- [0040] 광학 소자 영역(R1)에는 기판(100)의 표면으로부터 제1두께(T1)로 제1 실리콘 에피층(122)이 형성되어 있으며, 제1 실리콘 에피층(122) 하부에는 제1 실리콘 매립 옥사이드층(silicon buried oxide layer)(124)이 제1 깊이(Z1)에서 제2두께(T2)로 형성되어 있다. 제1 깊이(Z1)는 제2두께(T2)의 수직 위치에서 대략 중앙에 위치한다. 제1 매립 옥사이드층(124)은 산소 임플란테이션으로 형성될 수 있다. 제1두께(T1)는 대략 100nm - 500nm 이다. 제1두께(T1)가 100nm 보다 작으면 광가이드를 한정(confine)하기가 어렵고, 광 리크가 발생할 수 있다. 제1두께(T1)가 500nm 보다 크면 광가이드 부피가 커져서 광학 소자의 크기가 커진다. 광학 소자는 레이저, 발광다이오드, 광변조기(optical modulator), 광과장분할/중첩기(multiplexer/demultiplexer), 포토 다이오드, 광도파로(waveguide) 등을 포함할 수 있다.
- [0041] 제2두께(T2)는 대략 1 μ m - 3 μ m 일 수 있다. 제2두께(T2)가 1 μ m 보다 작으면 광 리크가 생겨 광이 한정(confin

e)되지 않아 전송 손실(propagation loss)이 커질 수 있다. 제2두께(T2)가 $3\mu\text{m}$ 보다 크면 광학소자가 커질 수 있다. 전자 소자 영역(R2)에는 기판(100)의 표면으로부터 제3두께(T3)로 제2 실리콘 에피층(132)이 형성되어 있으며, 제2 실리콘 에피층(132) 하부에는 제2 실리콘 매립 옥사이드층(silicon buried oxide layer)(134)이 제2 깊이(Z2)에서 제4두께(T4)로 형성되어 있다. 제2 깊이(Z2)는 제4두께(T4)의 수직 위치에서 대략 중앙에 위치한다. 제2 매립 옥사이드층(134)은 산소 임플랜테이션으로 형성될 수 있다. 제3두께(T3)는 대략 $1\text{nm} - 100\text{nm}$ 두께로 형성될 수 있다. 이 두께는 전자소자의 디자인이나 트랜지스터의 채널 길이에 따라 달라질 수 있다. 제3 두께(T3)가 1nm 보다 작으면 전자의 채널통로 형성이 어려울 수 있다. 제3 두께(T3)가 100nm 보다 크면 기생 커패시턴스가 증가하여 전자 소자의 고속동작이 어려울 수 있다. 전자 소자는 트랜지스터, 다이오드 등을 포함할 수 있다.

[0042] 제4두께(T4)는 대략 $5\text{nm} - 150\text{nm}$ 일 수 있다. 제4두께(T4)가 5nm 보다 작으면 전하 리크가 발생할 수 있으며, 따라서 전자회로의 고속동작이 어려울 수 있다. 제4두께(T4)가 150nm 보다 크면 전자회로로부터의 열방출 효율이 감소하고, 기생 커패시턴스가 증가할 수 있으며, 이에 따라 전자소자의 고속 동작이 어려울 수 있다.

[0043] 맴스 영역(R3)에는 매립 옥사이드층이 형성되지 않을 수 있다. 맴스 영역(R3)은 식각이 되고, 식각된 영역에 예를 들어 광파이버가 배치될 수 있다. 또한, 맴스 영역(R3)은 캔티레버 구조, 가속센서 등이 형성될 수 있는 영역으로 식각 공정이 행해진다. 따라서, 식각공정에 유리하도록 매립 옥사이드층이 형성되지 않는 것이 바람직하다.

[0044] 본 발명의 실시예에 따른 광전 집적회로 기판(100)은 광학 소자와 전자 소자에 각각 최적의 소이 기판을 제공할 수 있으며, 아울러 맴스 영역(R3)에는 매립 산화물층을 형성하지 않음으로써 맴스 소자 형성이 용이해진다.

[0045] 상기 실시예에서는 매립 옥사이드층을 형성하기 위해서 산소 이온을 사용하였으나, 본 발명은 이에 한정되지 않는다. 예컨대, 질소, 네온을 사용하여 기판에 매립절연층을 형성할 수도 있다.

[0046] 도 2는 본 발명의 다른 실시예에 따른 광전 집적회로 기판(200)의 개략적 단면도이다. 도 1의 구성요소와 실질적으로 동일한 구성요소에는 동일한 참조번호를 사용하고 상세한 설명은 생략한다.

[0047] 도 2를 참조하면, 도 1을 참조하면, 광전 집적회로(electronic photonic integrated circuit) 기판(200)은 광학 소자(photonic device) 영역(R1, R4), 전자 소자 영역(R2) 및 맴스(micro-electromechanical systems: MEMS) 영역(R3)을 포함한다. 도 2에 도시된 광전 집적회로 기판(200)은 웨이퍼 상에서 다이싱된 하나의 칩 영역의 기판일 수 있다.

[0048] 광전 집적회로 기판(200)은 실리콘, 갈륨 비소, InP 또는 도전성 폴리머로 이루어질 수 있다. 이하에서는 실리콘 기판을 가지고 설명한다.

[0049] 광학 소자 영역(R1, R4) 상에는 광학 소자가 배치되며, 전자 소자 영역(R2) 상에는 전자 소자가 배치되며, 맴스 영역(R3) 상에는 맴스 구조가 배치된다. 광학 소자, 전자 소자 및 맴스 구조는 각각 기판(200) 상에 반도체 공정을 이용하여 형성되거나, 별도의 회로칩을 기판(200) 상에 배치하여 형성될 수도 있다.

[0050] 광학 소자 영역(R1, R4) 및 전자 소자 영역(R2)에는 매립 산화물층(buried oxide layer)이 형성되어 있으며, 맴스 영역(R3)에는 매립 산화물층이 형성되어 있지 않다. 광학 소자 영역(R1, R4)과 전자 소자 영역(R2)에서의 매립 산화물층의 깊이 및 두께는 서로 다르게 형성될 수 있다.

[0051] 광학 소자 영역(R1)에는 기판(200)의 표면으로부터 제1두께(T1)로 제1 실리콘 에피층(222)이 형성되어 있으며, 제1 실리콘 에피층(222) 하부에는 제1 실리콘 매립 옥사이드층(silicon buried oxide layer)(224)이 제1 깊이(Z1)에서 제2두께(T2)로 형성되어 있다. 제1 깊이(Z1)는 제2두께(T2)의 수직 위치에서 대략 중앙에 위치한다. 제1 매립 옥사이드층(224)은 산소 임플랜테이션으로 형성될 수 있다. 제1두께(T1)는 대략 $100\text{nm} - 200\text{nm}$ 이다. 제1두께(T1)가 100nm 보다 작으면 광가이드를 한정(confine)하기가 어렵고, 광 리크가 발생할 수 있다. 광학 소자 영역(R1)에는 비교적 광모드(optical transverse mode) 크기가 작은 광학 소자가 형성된다.

[0052] 광학 소자 영역(R4)에는 기판(200)의 표면으로부터 제3두께(T3)로 제2 실리콘 에피층(242)이 형성되어 있으며, 제2 실리콘 에피층(242) 하부에는 제1 실리콘 매립 옥사이드층(silicon buried oxide layer)(244)이 제2 깊이(Z2)에서 제4두께(T4)로 형성되어 있다. 제2 깊이(Z2)는 제4두께(T4)의 수직 위치에서 대략 중앙에 위치한다. 제2 매립 옥사이드층(244)은 산소 임플랜테이션으로 형성될 수 있다. 제3두께(T3)는 대략 $300\text{nm} - 500\text{nm}$ 이다. 제3두께(T3)가 500nm 보다 크면 광가이드 부피가 커져서 광학 소자의 크기가 커진다. 광학 소자는 레이저, 발광 다이오드, 광변조기(optical modulator), 광파장분할/중첩기(multiplexer/demultiplexer), 포토 다이오드, 광

도파로(waveguide) 등을 포함할 수 있다

- [0053] 제4두께(T4)는 대략 $1\mu\text{m} - 3\mu\text{m}$ 일 수 있다. 제4두께(T4)가 $1\mu\text{m}$ 보다 작으면 광 리크가 생겨 광이 한정(confine)되지 않을 수 있다. 제4두께(T4)가 $3\mu\text{m}$ 보다 크면 광학소자가 커질 수 있다. 전자 소자 영역(R2)에는 기판(200)의 표면으로부터 제5두께(T5)로 제3 실리콘 에피층(232)이 형성되어 있으며, 제3 실리콘 에피층(232) 하부에는 제3 실리콘 매립 옥사이드층(silicon buried oxide layer)(234)이 제3 깊이(Z3)에서 제6두께(T6)로 형성되어 있다. 제3 깊이(Z3)는 제6두께(T6)의 수직 위치에서 대략 중앙에 위치한다. 제3 매립 옥사이드층(234)은 산소 임플래이션으로 형성될 수 있다. 제5두께(T5)는 대략 $1\text{nm} - 100\text{nm}$ 두께로 형성될 수 있다. 제5 두께(T5)가 1nm 보다 작으면 전자의 채널통로 형성이 어려울 수 있다. 제5 두께(T5)가 100nm 보다 크면 기생 커패시턴스가 증가하여 전자 소자의 고속동작이 어려울 수 있다. 전자 소자는 트랜지스터, 저항(resistor), 인덕터(inductor), 축전기(capacitor), 다이오드 등을 포함할 수 있다.
- [0054] 제6두께(T6)는 대략 $5\text{nm} - 150\text{nm}$ 일 수 있다. 제6두께(T6)가 5nm 보다 작으면 전하 리크가 발생할 수 있으며, 따라서 전자회로의 고속동작이 어려울 수 있다. 제6두께(T6)가 150nm 보다 크면 전자회로로부터의 열방출 효율이 감소하고, 기생 커패시턴스가 증가할 수 있으며, 이에 따라 전자소자의 고속 동작이 어려울 수 있다. 이 두께는 전자소자의 디자인이나 트랜지스터의 채널 길이에 따라 달라질 수 있다. 멤스 영역(R3)에는 매립 옥사이드층이 형성되지 않을 수 있다. 멤스 영역(R3)은 식각이 되고, 식각된 영역에 예를 들어 광파이버가 배치될 수 있다. 또한, 멤스 영역(R3)은 캔틸레버 구조, 가속센서 등이 형성될 수 있는 영역으로 식각 공정이 행해진다. 따라서, 식각공정에 유리하도록 매립 옥사이드층이 형성되지 않는 것이 바람직하다.
- [0055] 도 2에서는 광학 소자 형성을 위한 2개의 광학 소자 영역(R1, R4)을 도시하였지만, 본 발명은 반드시 이에 한정되는 것은 아니다. 즉, 산화매립층의 위치가 서로 다른 복수의 광학 소자 영역을 가진 광전 집적회로 기판을 포함할 수 있다.
- [0056] 본 발명의 실시예에 따른 광전 집적회로 기판(200)은 광학 소자와 전자 소자에 각각 최적의 소이 기판을 제공할 수 있다. 특히, 다양한 광학 소자에 맞게 2개의 광학 소자영역을 제공한다. 아울러 멤스 영역(R3)에는 매립 산화물층을 형성하지 않음으로써 멤스 소자 형성이 용이해진다.
- [0057] 상기 실시예에서는 매립 옥사이드층을 형성하기 위해서 산소 이온을 사용하였으나, 본 발명은 이에 한정되지 않는다. 예컨대, 질소, 네온을 사용하여 기판에 매립절연층을 형성할 수도 있다.
- [0058] 도 3a 내지 도 3d는 본 발명의 또 다른 실시예에 따른 광전 집적회로 기판(300)의 제조방법을 단계별로 설명하는 도면이다.
- [0059] 도 3a를 참조하면, 웨이퍼를 준비한다. 웨이퍼는 복수의 칩 영역을 포함한다. 도 3a 내지 도 3d에서는 하나의 칩 영역에 포함되는 영역을 개괄적으로 도시하였으며, 이하에서는 기판(310)으로 칭한다.
- [0060] 기판(310)은 실리콘, 갈륨 비소, InP 또는 도전성 폴리머로 이루어질 수 있다. 이하에서는 실리콘 기판을 가지고 설명한다.
- [0061] 먼저, 실리콘 기판(310)에서 광학 소자가 형성될 영역인 광학 소자 영역(R1)과, 전자 소자가 형성될 영역인 전자 소자 영역(R2) 및 멤스 구조가 형성될 멤스 영역(R3)을 한정한다.
- [0062] 이어서, 실리콘 기판(310) 상에 포토레지스트를 도포하고, 건조시켜서 대략 $1\mu\text{m} - 20\mu\text{m}$ 두께의 제1 포토레지스트층(325)을 형성한다. 제1 포토레지스트층(325)의 두께는 포토레지스트 물질에 따라서 달라질 수 있다. 제1 포토레지스트층(325)의 두께는 후술하는 임플래이션 공정에서 이온이 제1 포토레지스트층(325)을 통과하는 것을 완전히 차단하는 두께이다.
- [0063] 상기 이온은 예컨대, 산소, 질소, 네온을 사용할 수 있다. 이하에서는 산소이온을 사용하는 실시예를 가지고 설명한다.
- [0064] 도 3b를 참조하면, 제1 포토레지스트층(325)을 통상적인 사진 식각공정을 수행하여 제1패턴(326)을 형성한다. 제1패턴(326)은 광학소자 영역(도 1의 R1)을 노출시키도록 형성된다.
- [0065] 제1패턴(326) 위로 이온 주입기를 이용하여 산소이온 임플래이션을 한다. 이온주입 공정조건은 에너지값이 $30 - 3000 \text{ KeV}$, 산소 이온농도가 $1 \times 10^{17} - 1 \times 10^{19} \text{ cm}^{-2}$ 범위일 수 있다. 실리콘 기판(310)에는 제1패턴(326)이 형성되지 않은 영역에 실리콘 기판(310)의 표면으로부터 제1깊이(Z1)로 제1 이온주입층(321)이 형성된다. 제1 이온주입층(321) 위로 광학 소자가 형성된다.

- [0066] 광학소자 영역(R1)에는 기판(310)의 표면으로부터 제1두께(T1)의 실리콘 에피층(322)이 형성되며, 이어서, 제1 깊이(Z1)에서 제2두께(T2)로 제1 이온주입층(321)이 형성된다. 제1두께(T1)는 대략 100nm - 500nm 이다. 제1두께(T1)가 100nm 보다 작으면 광가이드를 형성하기가 어렵고, 광 리크가 발생할 수 있다. 제1두께(T1)가 500nm 보다 크면 광가이드 부피가 커져서 광전소자 크기가 커진다.
- [0067] 제2두께(T2)는 대략 1 μ m - 3 μ m 일 수 있다. 제2두께(T2)가 이온주입시 이온이 깊이 방향에서 퍼져나가는 길이 보다 두꺼운 경우, 이온주입 에너지를 달리하여 여러 번 이온주입공정을 시행하여 원하는 두께를 만들 수 있다.
- [0068] 도 3c를 참조하면, 제1패턴(326)을 제거한 후, 실리콘 기판(310) 상에 포토레지스트를 도포하고, 건조시켜서 대략 1 μ m - 20 μ m 두께의 제2 포토레지스트층(미도시)을 형성한다. 제2 포토레지스트층의 두께는 포토레지스트 물질에 따라서 달라질 수 있다. 제2 포토레지스트층 두께는 후술하는 산소 임플랜테이션에서 산소 이온이 통과하는 것을 완전히 차단하는 두께로 형성된다.
- [0069] 제2 포토레지스트층을 통상적인 사진 식각공정을 수행하여 제2패턴(336)을 형성한다. 제2패턴(336)은 전자 소자 영역(R2)을 노출시키도록 광학소자 영역(R1)과 맴스영역(R3)을 덮도록 형성된다.
- [0070] 제2패턴(336) 위로 이온 주입기를 이용하여 산소이온 임플랜테이션을 한다. 실리콘 기판(310)에는 제2패턴(336)이 형성되지 않은 영역에 실리콘 기판(310)의 표면으로부터 제2깊이(Z2)로 제2 이온주입층(331)을 형성한다. 이때 이온주입 공정조건은 에너지값이 1 - 100KeV, 산소 이온농도가 1x10¹⁷ - 1x10¹⁹ cm⁻² 범위일 수 있다.
- [0071] 전자 소자 영역(R2)에는 기판(310)의 표면으로부터 제3두께(T3)로 제2 실리콘 에피층(332)이 형성되며, 기판(310)의 표면으로부터 제2 깊이(Z2)에서 제4두께(T4)로 제2 이온주입층(331)이 형성된다. 제3두께(T3)는 대략 1nm - 100nm 두께로 형성될 수 있다. 제3 두께(T3)가 1nm 보다 작으면 전자의 채널통로 형성이 어려울 수 있다. 제3 두께가 100nm 보다 크면 기생 커패시턴스가 증가하여 전자 소자의 고속동작이 어려울 수 있다.
- [0072] 제4두께(T4)는 대략 5nm - 50nm 일 수 있다.
- [0073] 도 3d를 참조하면, 제2패턴(336)을 제거한 후, 기판(310)을 열처리한다. 열처리는 1200 - 1500 $^{\circ}$ C에서 대략 10분 - 5시간 수행될 수 있다. 열처리 공정에서 제1 이온주입층(321)과 제2 이온주입층(331)은 각각 제1 실리콘 옥사이드막(324) 및 제2 실리콘 옥사이드막(334)으로 된다. 실리콘 옥사이드막(324, 334)은 도 1의 매립 산화물층(124, 134)에 대응되는 막이다.
- [0074] 이온주입이 되지 않은 영역에는 매립 산화물층이 형성되지 않으며, 맴스영역(R3)이다.
- [0075] 제조된 광전 집적회로용 기판(300)은 광전소자의 형성에 최적으로 형성된 광학 소자 영역(R1)과 전자소자 형성에 최적으로 형성된 전자 소자 영역(R2)과, 맴스구조의 형성시 식각에 장애가 되는 매립산화층이 없는 맴스 영역(R3)을 제공한다.
- [0076] 상술한 제조방법에서는 제1 이온주입층(321) 이후에 제2 이온주입층(331)을 형성하는 공정을 기술하였지만, 본 발명은 이에 한정되지 않는다. 예컨대, 제2 이온주입층(331) 형성공정을 제1 이온주입층(321) 형성 이전에 수행하여도 된다.
- [0077] 도 4a 내지 도 4e는 본 발명의 또 다른 실시예에 따른 광전 집적회로 기판(400)의 제조방법을 단계별로 설명하는 도면이다.
- [0078] 도 4a를 참조하면, 웨이퍼를 준비한다. 웨이퍼는 복수의 칩 영역을 포함한다. 도 4a 내지 도 4d에서는 하나의 칩 영역에 포함되는 영역을 개괄적으로 도시하였으며, 이하에서는 기판(410)으로 칭한다.
- [0079] 기판(410)은 실리콘, 갈륨 비소, InP 또는 도전성 폴리머로 이루어질 수 있다. 이하에서는 실리콘 기판을 가지고 설명한다.
- [0080] 실리콘 기판(410) 상에 포토레지스트를 도포하고, 건조시켜서 대략 1 μ m - 20 μ m 두께의 제1 포토레지스트층(425)을 형성한다. 제1 포토레지스트층(425)의 두께는 포토레지스트 물질에 따라서 달라질 수 있다. 제1 포토레지스트층(425)의 두께는 후술하는 임플랜테이션 공정에서 이온이 제1 포토레지스트층(425)을 통과하는 것을 완전히 차단하는 두께이다.
- [0081] 상기 이온은 예컨대, 산소, 질소, 네온을 사용할 수 있다. 이하에서는 산소이온을 사용하는 실시예를 가지고 설명한다.
- [0082] 도 4b를 참조하면, 제1 포토레지스트층(425)을 통상적인 사진 식각공정을 수행하여 제1패턴(426)을 형성한다.

제1패턴(426)은 제1 광학소자 영역(R1)을 노출시키도록 형성된다.

- [0083] 제1패턴(426) 위로 이온 주입기를 이용하여 산소이온 임플란테이션을 한다. 이온주입 공정조건은 에너지값이 30 - 3000KeV, 산소 이온농도가 $1 \times 10^{17} - 1 \times 10^{19} \text{ cm}^{-2}$ 범위일 수 있다. 실리콘 기판(410)에는 제1패턴(426)이 형성되지 않은 영역에 실리콘 기판(410)의 표면으로부터 제1깊이(Z1)로 제1 이온주입층(421)이 형성된다. 제1 이온주입층(421) 위로 제1 광학 소자가 형성된다.
- [0084] 제1 광학소자 영역(R1)에는 기판(410)의 표면으로부터 제1두께(T1)의 실리콘 에피층(422)이 형성되며, 이어서, 제1 깊이(Z1)에서 제2두께(T2)로 제1 이온주입층(421)이 형성된다. 제1두께(T1)는 대략 100nm - 200nm 이다. 제1두께(T1)가 100nm 보다 작으면 광가이드를 형성하기가 어렵고, 광 리크가 발생할 수 있다. 제2두께(T2)는 대략 $1 \mu\text{m} - 3 \mu\text{m}$ 일 수 있다.
- [0085] 도 4c를 참조하면, 제1패턴(426)을 제거한 후, 실리콘 기판(410) 상에 포토레지스트를 도포하고, 건조시켜서 대략 $1 \mu\text{m} - 20 \mu\text{m}$ 두께의 제2 포토레지스트층(미도시)을 형성한다. 제2 포토레지스트층의 두께는 포토레지스트 물질에 따라서 달라질 수 있다. 제2 포토레지스트층 두께는 후술하는 산소 임플란테이션에서 산소 이온이 통과하는 것을 완전히 차단하는 두께로 형성된다.
- [0086] 제2 포토레지스트층을 통상적인 사진 식각공정을 수행하여 제2패턴(446)을 형성한다. 제2패턴(446)은 제2 광학소자 영역(R4)을 노출시키도록 제1 광학소자 영역(R1), 전자 소자 영역(R2)과 멤스영역(R3)을 덮도록 형성된다.
- [0087] 제2패턴(446) 위로 이온 주입기를 이용하여 산소이온 임플란테이션을 한다. 실리콘 기판(410)에는 제2패턴(446)이 형성되지 않은 영역에 실리콘 기판(410)의 표면으로부터 제2깊이(Z2)로 제2 이온주입층(441)을 형성한다. 이때 이온주입 공정조건은 에너지값이 30 - 3000KeV, 산소 이온농도가 $1 \times 10^{17} - 1 \times 10^{19} \text{ cm}^{-2}$ 범위일 수 있다.
- [0088] 제2 광학소자 영역(R4)에는 기판(410)의 표면으로부터 제3두께(T3)로 제2 실리콘 에피층(442)이 형성되며, 기판(410)의 표면으로부터 제2 깊이(Z2)에서 제4두께(T4)로 제2 이온주입층(441)이 형성된다. 제3두께(T3)는 대략 300nm - 500nm 두께로 형성될 수 있다. 제3 두께(T3)가 500nm 보다 크면 광가이드 부피가 커져서 광전소자 크기가 커진다. 제4두께(T4)는 대략 $1 \mu\text{m} - 3 \mu\text{m}$ 일 수 있다.
- [0089] 도 4d를 참조하면, 제2패턴(446)을 제거한 후, 실리콘 기판(410) 상에 포토레지스트를 도포하고, 건조시켜서 대략 $1 \mu\text{m} - 20 \mu\text{m}$ 두께의 제3 포토레지스트층(미도시)을 형성한다. 제3 포토레지스트층의 두께는 포토레지스트 물질에 따라서 달라질 수 있다. 제3 포토레지스트층 두께는 후술하는 산소 임플란테이션에서 산소 이온이 통과하는 것을 완전히 차단하는 두께로 형성된다.
- [0090] 제3 포토레지스트층을 통상적인 사진 식각공정을 수행하여 제3패턴(436)을 형성한다. 제3패턴(436)은 전자 소자 영역(R2)을 노출시키도록 광학소자 영역(R1, R4)과 멤스영역(R3)을 덮도록 형성된다.
- [0091] 제3패턴(436) 위로 이온 주입기를 이용하여 산소이온 임플란테이션을 한다. 실리콘 기판(410)에는 제3패턴(436)이 형성되지 않은 영역에 실리콘 기판(410)의 표면으로부터 제3깊이(Z3)로 제3 이온주입층(431)을 형성한다. 이때 이온주입 공정조건은 에너지값이 1-100KeV, 산소 이온농도가 $1 \times 10^{17} - 1 \times 10^{19} \text{ cm}^{-2}$ 범위일 수 있다.
- [0092] 전자 소자 영역(R2)에는 기판(410)의 표면으로부터 제5두께(T5)로 제3 실리콘 에피층(432)이 형성되며, 기판(410)의 표면으로부터 제3 깊이(Z3)에서 제6두께(T6)로 제3 이온주입층(431)이 형성된다. 제5두께(T5)는 대략 1nm - 100nm 두께로 형성될 수 있다. 제5 두께(T5)가 1nm 보다 작으면 전자의 채널통로 형성이 어려울 수 있다. 제3 두께(T5)가 100nm 보다 크면 기생 커패시턴스가 증가하여 전자 소자의 고속동작이 어려울 수 있다. 제6두께(T6)는 대략 10nm - 100nm 일 수 있다.
- [0093] 도 4e를 참조하면, 제2패턴(436)을 제거한 후, 기판(410)을 열처리한다. 열처리는 200 - 1500°C에서 대략 10분 - 5시간 수행될 수 있다. 열처리 공정에서 제1 이온주입층(421), 제2 이온주입층(441), 및 제3 이온주입층(431)은 각각 제1 실리콘 옥사이드막(424), 제2 실리콘 옥사이드막(444) 및 제3 실리콘 옥사이드막(434)으로 된다. 실리콘 옥사이드막(424, 434, 444)은 도 2의 매립 산화물층(224, 234, 244)와 대응되는 막이다.
- [0094] 이온주입이 되지 않은 영역에는 매립 산화물층이 형성되지 않으며, 멤스영역(R3)이다.
- [0095] 상술한 제조방법에서는 제1 이온주입층(421), 제2 이온주입층(441), 제3 이온주입층(431) 순으로 형성하는 공정을 기술하였지만, 본 발명은 이에 한정되지 않는다. 예컨대, 제2 이온주입층(441) 또는 제3 이온주입층(431)을 제1 이온주입층(421) 이전에 형성할 수도 있다.

[0096] 제조된 광전 집적회로용 기판(400)은 광전소자의 형성에 최적으로 형성된 광학 소자 영역(R1)과 전자소자 형성에 최적으로 형성된 전자 소자 영역(R2)과, 멤스구조의 형성시 식각에 장애가 되는 매립산화층이 없는 멤스 영역(R3)을 제공한다.

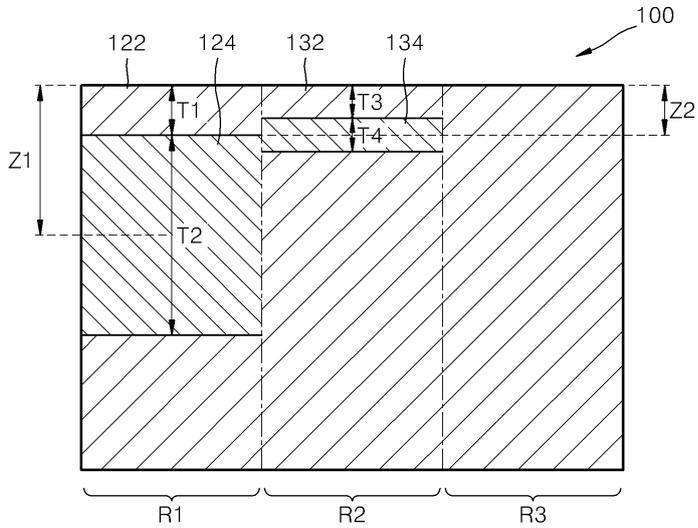
[0097] 이상에서 첨부된 도면을 참조하여 설명된 본 발명의 실시예들은 예시적인 것에 불과하며, 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능함을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호범위는 첨부된 특허청구범위에 의해서만 정해져야 할 것이다.

부호의 설명

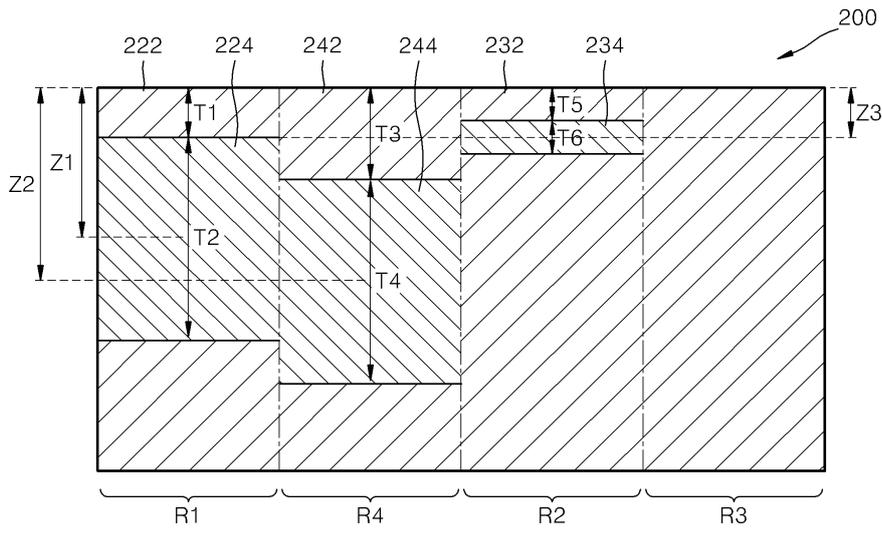
- | | | |
|--------|------------------|-----------------|
| [0098] | 100: 광전 집적회로 기판 | 122: 제1 실리콘 에피층 |
| | 124: 제1 매립 옥사이드층 | 132: 제2 실리콘 에피층 |
| | 134: 제2 매립 옥사이드층 | R1: 광학소자 영역 |
| | R2: 전자 소자 영역 | R3: 멤스 영역 |

도면

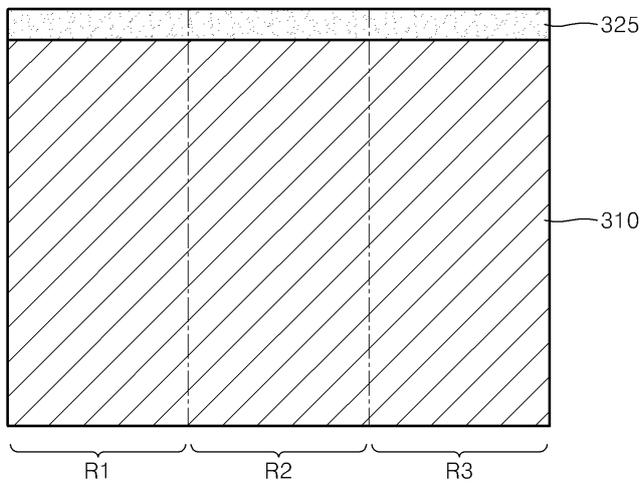
도면1



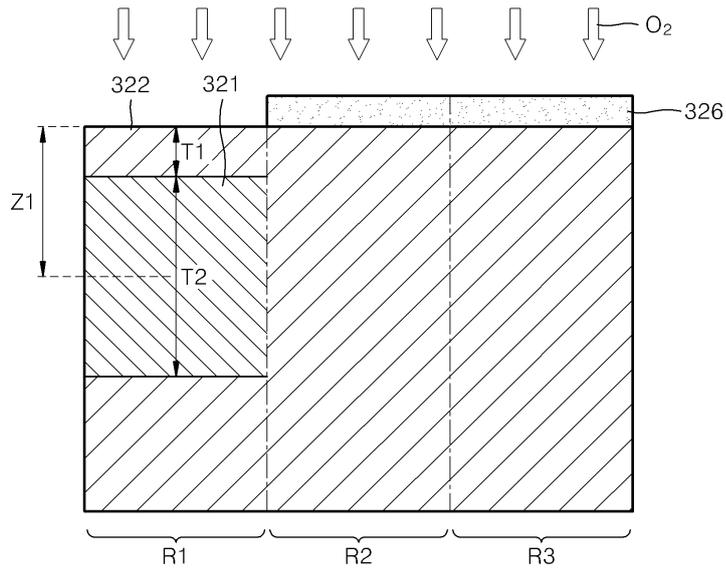
도면2



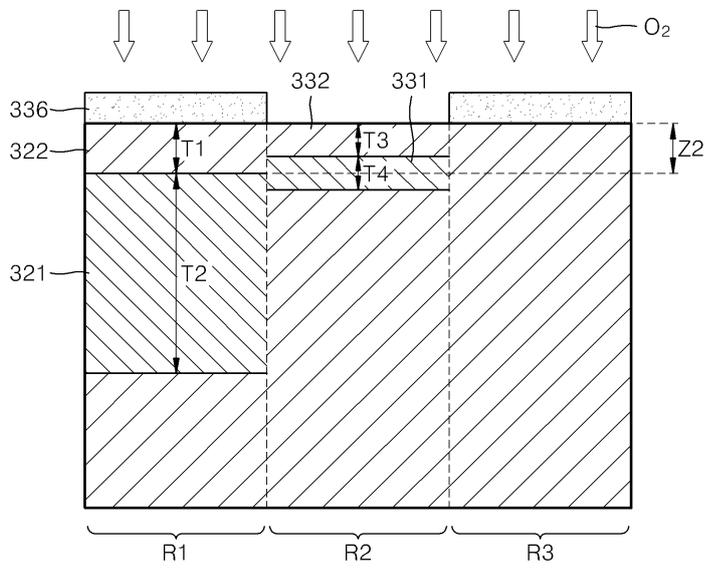
도면3a



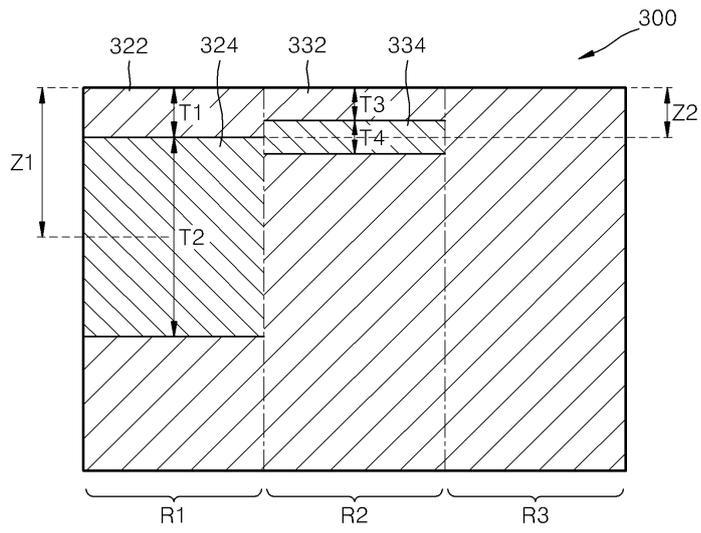
도면3b



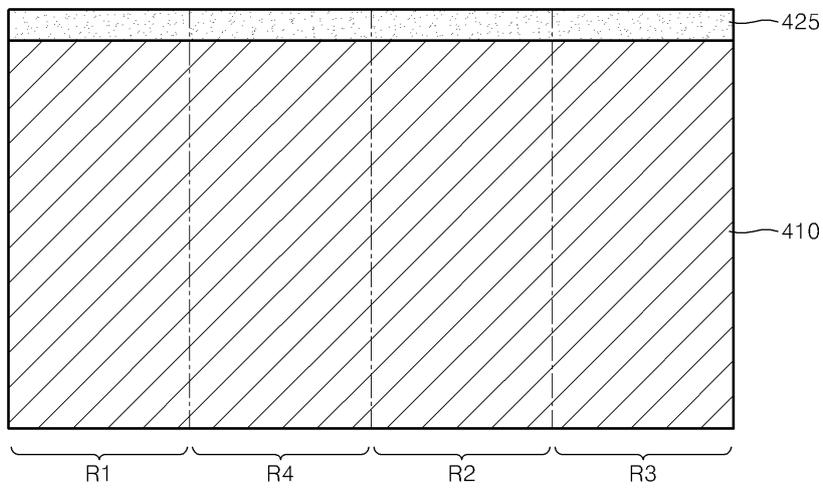
도면3c



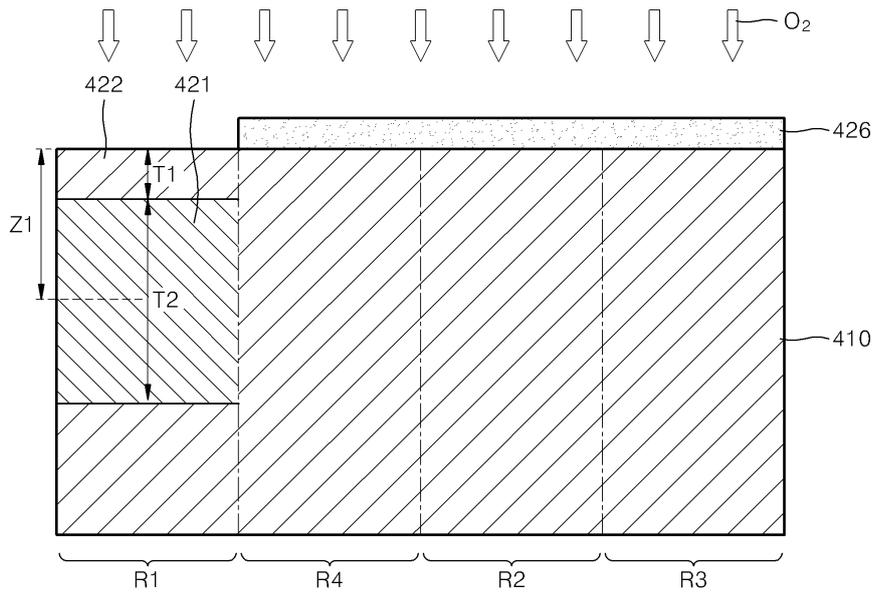
도면3d



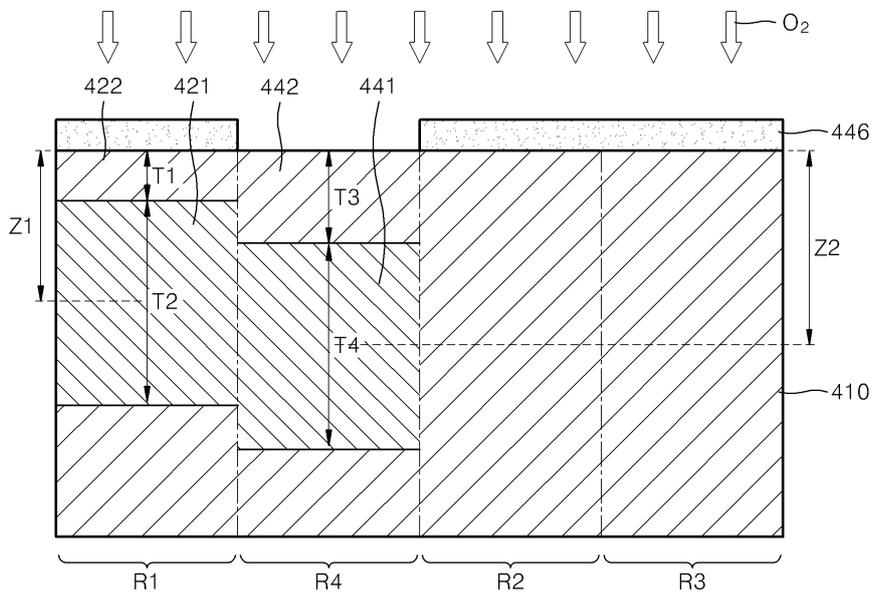
도면4a



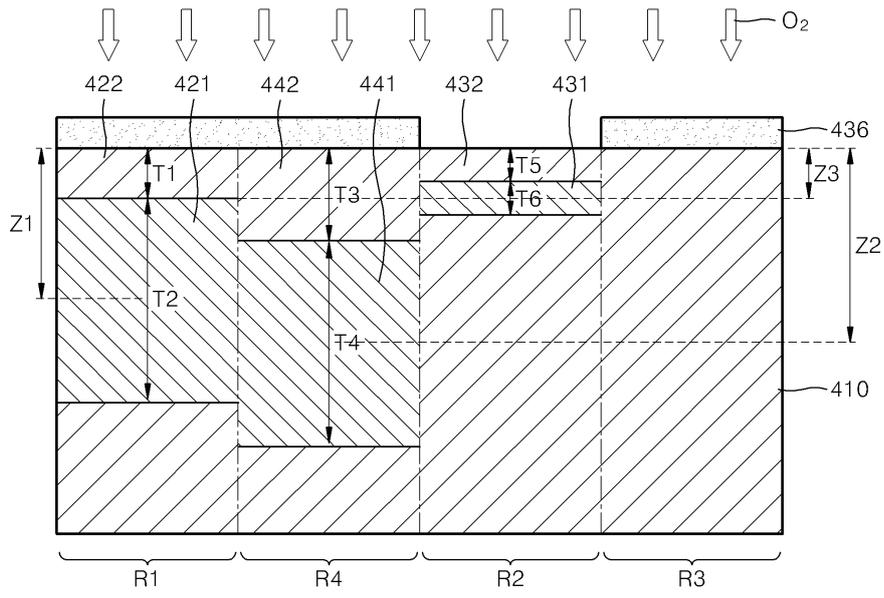
도면4b



도면4c



도면4d



도면4e

