

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利说明书

专利号 ZL 200410029489.1

*H01L 23/485 (2006.01)*

*H01L 23/31 (2006.01)*

*H01L 23/12 (2006.01)*

*H01L 23/18 (2006.01)*

*H01L 23/34 (2006.01)*

*H01L 21/50 (2006.01)*

[45] 授权公告日 2007 年 5 月 16 日

[11] 授权公告号 CN 1316611C

[51] Int. Cl. (续)

*H01L 21/60 (2006.01)*

[22] 申请日 2004.3.19

[21] 申请号 200410029489.1

[73] 专利权人 矽品精密工业股份有限公司

地址 台湾省台中县

[72] 发明人 黄建屏 萧承旭 黄致明

[56] 参考文献

US2003/0133274A1 2003.7.17

CN2591779Y 2003.12.10

US2002/0070443A1 2002.6.13

US6455926B2 2002.9.24

审查员 唐俊峰

[74] 专利代理机构 北京三幸商标专利事务所

代理人 刘激扬

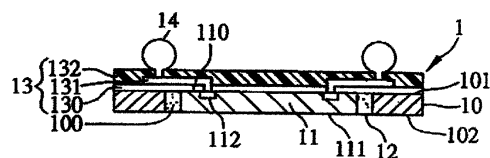
权利要求书 3 页 说明书 9 页 附图 6 页

[54] 发明名称

具有增层结构的晶圆级半导体封装件及其制法

[57] 摘要

一种具有增层结构的晶圆级半导体封装件，其包括具贯穿孔的玻璃框架，至少一个收纳于该玻璃框架的贯穿孔中的芯片，填充于该芯片与玻璃框架的间隙中的低模数缓冲材料，形成于该芯片与玻璃框架上且与芯片电性连接的增层结构，以及多个焊设于该增层结构上以供该芯片与外界装置电性连接的导电组件；通过使用该玻璃框架及低模数缓冲材料，本发明的晶圆级半导体封装件无结构翘曲、碎裂及脱层的问题，且能有效薄化以符合薄型产品的需求；此外，本发明无须使用注胶模具而能降低封装成本，不易吸湿而能提高产品可靠度；本发明还进一步提供该晶圆级半导体封装件的制法。



1.一种具有增层结构的晶圆级半导体封装件，其特征在于，该半导体封装件包括：

硬质框架，其具有一贯穿孔；

至少一芯片，其收纳于该硬质框架的贯穿孔中，并与该硬质框架间形成有间隙；

低模数缓冲材料，其填充在该芯片与硬质框架间所形成的间隙中；

增层结构，其形成于该硬质框架及芯片上，并与该芯片形成电性连接关系；以及

多个导电组件，其电性连接至该增层结构，供该芯片与外界装置电性连接。

2.如权利要求1所述的具有增层结构的晶圆级半导体封装件，其特征在于，该硬质框架的厚度与该芯片的厚度相同。

3.如权利要求1所述的具有增层结构的晶圆级半导体封装件，其特征在于，该硬质框架的厚度大于该芯片的厚度。

4.如权利要求3所述的具有增层结构的晶圆级半导体封装件，其特征在于，该硬质框架与芯片间的厚度差宜为0.05至0.5mm。

5.如权利要求3所述的具有增层结构的晶圆级半导体封装件，其特征在于，该硬质框架与芯片间的厚度差宜为0.1mm。

6.如权利要求1所述的具有增层结构的晶圆级半导体封装件，其特征在于，该芯片的非作用表面外露于大气中。

7.如权利要求6所述的具有增层结构的晶圆级半导体封装件，其特征在于，该芯片的非作用表面上还可接设散热片。

8.如权利要求1所述的具有增层结构的晶圆级半导体封装件，其特征在于，该芯片的非作用表面被该低模数缓冲材料所覆盖。

9.如权利要求1所述的具有增层结构的晶圆级半导体封装件，其特征在于，该贯穿孔是矩形孔。

10.如权利要求9所述的具有增层结构的晶圆级半导体封装件，其特征在于，该贯穿孔的角端被圆角化。

11.如权利要求1所述的具有增层结构的晶圆级半导体封装件，其特征在于，该硬质框架是由玻璃材料、金属材料及热固性材料组成的组群中的一种制成。

12.如权利要求1所述的具有增层结构的晶圆级半导体封装件，其特征在于，该低模数缓冲材料是选自硅胶、环氧树脂及聚酰亚胺树脂

所组成的组群中的一种。

13.如权利要求1所述的具有增层结构的晶圆级半导体封装件，其特征在于，该导电组件是焊球。

14.一种具有增层结构的晶圆级半导体封装件的制法，其特征在于，该制法包括下列步骤：

准备一个由多个成阵列方式排列的具有贯穿孔的硬质框架所构成的模块板；

将该模块板置入承载用卡具所形成的收纳槽中；

在每一贯穿孔中置入至少一个芯片，使之承载于该承载用卡具上，且令该芯片与模块板的对应硬质框架间形成有预设的间隙；

将低模数缓冲材料填充至该间隙中，使该芯片与硬质框架被该低模数缓冲材料分隔开；

将该模块板与承载用卡具分离；

形成增层结构在该模块板与芯片上，并使该增层结构电性连接至该芯片，且令多个导电组件导电连接至该增层结构；以及

进行切单作业以形成该具有增层结构的晶圆级半导体封装件。

15.如权利要求14所述的制法，其特征在于，该低模数缓冲材料是以该模块板为网板，以网板印刷方式填入芯片与硬质框架间的间隙。

16.如权利要求14所述的制法，其特征在于，在芯片与硬质框架的厚度相同时，该芯片的非作用表面外露出该低模数缓冲材料。

17.如权利要求14所述的制法，其特征在于，在芯片的厚度小于该硬质框架的厚度时，该芯片的非作用表面被该低模数缓冲材料覆盖。

18.如权利要求14所述的制法，其特征在于，该硬质框架由玻璃材料、金属材料及热固性材料所组成的组群中的一种制成。

19.如权利要求14所述的制法，其特征在于，该低模数缓冲材料是硅胶、环氧树脂及聚酰亚胺树脂所组成的组群中的一种。

20.如权利要求14所述的制法，其特征在于，该导电组件是焊球。

21.一种具有增层结构的晶圆级半导体封装件的制法，其特征在于，该制法包括下列步骤：

将由多个成阵列方式排列的具有贯穿孔的硬质框架所构成的模块板置入承载用卡具的收纳槽内，且令该承载用卡具上所粘接的多个芯片分别收纳于对应的该硬质框架的贯穿孔中，并在该芯片与对应的硬质框架间形成预设的间隙；

将低模数缓冲材料填充在该间隙中，使该芯片与硬质框架被该低模数缓冲材料分隔开；

将该收纳有芯片的模块板与承载用卡具分离；

形成增层结构在该模块板及芯片上，并使该芯片与增层结构电性连接，且令多个导电组件电性连接至该增层结构；以及

进行切单作业以形成该具有增层结构的晶圆级半导体封装件。

22.如权利要求 21 所述的制法，其特征在于，该低模数缓冲材料是以该模块板为网板，以网板印刷方式填入芯片与硬质框架间的间隙。

23.如权利要求 21 所述的制法，其特征在于，在芯片与硬质框架的厚度相同时，该芯片的非作用表面外露出该低模数缓冲材料。

24.如权利要求 21 所述的制法，其特征在于，在芯片的厚度小于该硬质框架的厚度时，该芯片的非作用表面被该低模数缓冲材料覆盖。

25.如权利要求 21 所述的制法，其特征在于，该硬质框架由玻璃材料、金属材料及热固性材料所组成的组群中的一种制成。

26.如权利要求 21 所述的制法，其特征在于，该低模数缓冲材料选自自由硅胶、环氧树脂及聚酰亚胺树脂所组成的组群中的一种。

27.如权利要求 21 所述的制法，其特征在于，该导电组件是焊球。

## 具有增层结构的晶圆级半导体封装件及其制法

### 技术领域

本发明是关于一种晶圆级半导体封装件及其制法，特别是关于一种在芯片的作用表面(Active Surface)上形成增层结构，使供焊球植接的外露接点(External Contacts)外扩出该芯片作用表面的晶圆级半导体封装件及其制法。

### 背景技术

随着电子产品向轻薄短小的方向发展，电子产品核心组件的半导体封装件也朝小型化(Miniaturization)方向发展。本领域发展出的小型化半导体封装件的一种形态为芯片级封装件(Chip Scale Package, CSP)，其特征是这种芯片级封装件的尺寸等于或约大于芯片尺寸的1.2倍。

半导体封装件除尺寸上小型化外，也须提高集成度以及与电路板等外界装置电性连接用的输入/输出端(I/O Contact)的数量，才能符合电子产品在高性能与高处理速度上的需求。而增加输入/输出端数量的方式，一般是在芯片的作用表面上布设尽量多的焊垫(Bond Pads)，但芯片的作用表面上布设的焊垫数量必会受限于作用表面的面积及焊垫间的间距(Pitch)；为进一步在有限面积上布设更多数量的输入/输出端，出现了晶圆级封装件，如晶圆级芯片级封装件(Wafer Level CSP)。

晶圆级封装件使用一种导线重布技术(Redistribution Layer Technology, RDL)，其在芯片的作用表面上形成介电层(Dielectric Layer)，再在介电层上开孔以外露出芯片的作用表面上的焊垫，然后在该介电层上形成多条导线，使各该导线的一端电性连接至芯片上的焊垫，而另一端则形成接点(contact)，接着，在介电层上敷设阻焊剂层(Solder Mask Layer)，以覆盖住该导线及焊垫，最后，在该阻焊剂层中形成多个开孔(opening)，使该导线的接点能从对应的开孔外露出，供焊球焊接。这种运用导线重布技术形成的增层结构(Build-up Layer)虽能有效增加芯片与外界电性连接的输入/输出端数量，但是其仍受限于芯片的作用表面上的有限面积。

为进一步增加芯片对外电性连接的输入/输出端数量，解决方法是将输入/输出端的布设范围外扩(Fan-out)至芯片的作用表面外的区域。此种使增层结构延伸至芯片以外区域的半导体封装件，见美国第

6,271,469 号专利, 如图 7 所示, 该第 6,271,469 号专利所揭示的半导体封装件 6 是使芯片 60 包覆在经模压程序(Molding Process)形成的胶体 62 中, 该芯片 60 的作用表面 602 在胶体 62 形成后外露出该胶体 62 的表面 622, 增层结构 64(由介电层 642、导线 644 及阻焊剂层 646 构成)则形成于该芯片 60 的作用表面 602 及胶体 62 的表面 622 上, 该增层结构 64 通过导线 644 与芯片 60 的焊垫 604 电性连接, 以在焊球 66 植接至该增层结构 64 上并与导线 644 电性连接后, 该芯片 60 能通过焊球 66 与外界电性连接。

该半导体封装件 6 的结构虽能提供较大的输入/输出端的布设面积, 从而能增加输入/输出端数量, 但是该胶体 62 并非形成于硬度较高的基板(Substrate)上, 且中间嵌置芯片 60 的部位比周围未嵌置芯片的部位薄, 所以在后续制程的温度循环中易发生翘曲, 并因应力集中的影响, 在标号为 624 的地方往往有碎裂(Crack)现象产生; 同时, 由于芯片 60 大致被胶体 62 包覆, 会因两者热膨胀系数(Coefficient of Thermal Expansion, CTE)的差异大, 导致芯片 60 与胶体间的脱层(Delamination), 而影响制成品的品质。

为解决前述美国第 6,271,469 号专利的半导体封装件的缺点, 美国第 6,498,387 号专利提供一种以玻璃板承载芯片的半导体封装件。如图 8 所示, 该半导体封装件 7 是将芯片 70 粘置在玻璃板 71 上, 然后, 在芯片 70 上涂布环氧树脂层(Epoxy)72, 将该芯片 70 包覆后, 在该环氧树脂层 72 中开孔以外露出芯片 70 上的焊垫 702, 接着, 在该环氧树脂层 72 上形成多条与该焊垫 702 电性连接的导线 73, 再于该环氧树脂层 72 上敷设阻焊剂层 74 以覆盖住该导线 73, 然后, 在该阻焊剂层 74 上开孔以外露出部分的导线 73, 供焊球 75 植接至外露的导线 72 上。

该美国第 6,498,387 号专利以玻璃板 71 作为芯片 70 的承载件, 利用该玻璃板 71 质硬的特性, 可解决第 6,271,469 号专利的胶体翘曲及碎裂的问题, 且因玻璃板 71 与芯片 70 的 CTE 相近, 所以也无上述 CTE 差异而造成脱层的问题; 然而, 该芯片 70 乃粘置在玻璃板 71 上, 使第 6,498,387 号专利的半导体封装件 7 的整体厚度是芯片 70、玻璃板 71 及形成于该芯片 70 上的增层结构的厚度之和, 令半导体封装件 7 无法有效薄化以符合要求。此外, 该芯片 70 被环氧树脂层 72 完全包覆, 往往会因芯片 70 与环氧树脂层 72 在热膨胀系数 (CTE Mismatch) 上的差异而在后续制程的温度循环中, 导致芯片 70 受热应力的影响而发生裂损。同时, 该环氧树脂层 72 的侧面 720 直接曝露于大气中, 会因环氧树脂本身的吸湿性高, 导致外界的水气经由环氧树脂层 72 而积

聚在芯片 70 的作用表面上，故会导致气爆(Popcorn)问题，更进一步地使制成品的可靠度无法提高。

由上可知，该第 6,271,469 及 6,498,387 号专利的半导体封装件均存有若干急待解决的问题。

### 发明内容

为克服上述现有技术的缺点，本发明的主要目的在于提供一种无翘曲、碎裂与脱层问题、且能提高可靠度的具有增层结构的晶圆级半导体封装件。

本发明的另一目的在于提供一种能有效薄化以满足需求的具有增层结构的晶圆级半导体封装件。

本发明的再一目的在于提供一种无须使用注胶模具而能降低封装成本的具有增层结构的晶圆级半导体封装件的制法。

本发明的又一目的在于提供一种不易吸湿而能提高产品可靠度的具有增层结构的晶圆级半导体封装件。

为达成上述及其它目的，本发明提供一种具有增层结构的晶圆级半导体封装件，其包括：开设有至少一贯穿孔的硬质框架；至少一个容设在硬质框架中的芯片，且该芯片与硬质框架间形成有间隙；用于填充该间隙的低模数缓冲材料；形成于该芯片与硬质框架上的增层结构，使该增层结构与芯片形成电性连接关系；以及多个与该增层结构电性连接的导电组件。

该芯片与硬质框架的厚度相同时，该芯片的非作用表面(Inactive Surface，相对于芯片与增层结构电性连接的作用表面来说)外露出该半导体封装件，可供散热片(Heat Sink 或 Heat Spreader)与该非作用表面粘接，以由该散热片将芯片工作时产生的热量直接逸散至外界，从而能提高散热效果。该芯片的厚度略小于硬质框架时，该低模数缓冲材料则能覆盖住该芯片的非作用表面，以提供该芯片较佳的保护效果。

该增层结构如上述第 6,271,469 及 6,498,387 号美国专利所揭示，是由至少一个介电层，多个形成于该介电层上、并与芯片的作用表面上的焊垫电性连接的导线，以及涂覆于该介电层与导线上且形成有导电组件与导线电性连接的开孔的阻焊剂层构成。

本发明同时提供一种具有增层结构的晶圆级半导体封装件的制法，其包括下列步骤：准备具有多个呈阵列方式排列的贯穿孔的硬质框架并放置在承载用的卡具中；将至少一个芯片经由对应的贯穿孔而置放在该承载用的卡具上，且该芯片周侧与硬质框架间保持有预设的

间隙；在该间隙内填充低模数缓冲材料，使该芯片与硬质框架被该低模数缓冲材料隔开；烘烤该缓冲材后，将该承载用的卡具与硬质基板分离；形成与该芯片电性连接的增层结构；在该增层结构中植设多个与该增层结构电性连接的导电组件，以供该芯片借由该导电组件与外界装置电性连接；以及进行切单程序(Singulation)以形成多个具有增层结构的晶圆级半导体封装件。

本发明提供的另一制法包括以下步骤：将由多个成阵列方式排列的具有贯穿孔的硬质框架所构成的模块板置入承载用卡具的收纳槽内，且令该承载用卡具上所粘接的多个芯片分别收纳于对应的该硬质框架的贯穿孔中，并在该芯片与对应的硬质框架间形成预设的间隙；将低模数缓冲材料填充在该间隙中，使该芯片与硬质框架被该低模数缓冲材料分隔开；将该收纳有芯片的模块板与承载用卡具分离；形成增层结构在该模块板及芯片上，并使该芯片与增层结构电性连接，且令多个导电组件电性连接至该增层结构；以及进行切单作业以形成该具有增层结构的晶圆级半导体封装件。

此外，须知本发明中的「硬质框架」定义为以现有的化工材料制成的框架，在高温下或温度循环(Temperature Cycle)中不会产生翘曲变形的现象；低模数缓冲材料则定义为具有热弹性效果(Thermoelastic)、且热膨胀系数低的材料。

综上所述，本发明的晶圆级半导体封装件及其制法，能够提供无翘曲、无碎裂与无脱层问题以及能提高可靠度的具有增层结构的封装件，能有效生产出薄化的产品以满足需求，无须使用注胶模具而能降低封装成本，同时具有不易吸湿且能提高产品可靠度的特点。

#### 附图说明

图 1 是本发明实施例 1 的晶圆级半导体封装件的剖视图；

图 2A 至图 2G 是图 1 所示的晶圆级半导体封装件的制法的步骤流程示意图；

图 3A 至图 3D 是图 1 所示的晶圆级半导体封装件在形成增层结构前的步骤的另一实施形态的流程示意图；

图 4 是本发明实施例 3 的晶圆级半导体封装件的剖视图；

图 5 是本发明实施例 4 的晶圆级半导体封装件的剖视图；

图 6 是本发明的晶圆级半导体封装件所使用的硬质框架的另一实施形态的正视图；

图 7 是美国第 6,271,469 号专利的剖视图；以及



图8是美国第6,498,387号专利的剖视图。

## 具体实施方式

### 实施例1

以下配合附图详细说明本发明的具有增层结构的晶圆级半导体封装件及其制法。

如图1所示,本发明的具有增层结构的晶圆级半导体封装件1主要由具有贯穿孔100的硬质框架10、容置于该硬质框架10的贯穿孔100中的芯片11、填充在该硬质框架10及芯片11间的低模数缓冲材料12、形成于该硬质框架10及芯片11上的增层结构13以及植接于该增层结构13上的多个焊球(即上述的导电组件)14构成。

该硬质框架10由玻璃材料、金属材料(如铜金属等)、热固性材料(如聚酰亚胺树脂(Polyimide Resin)、BT树脂(Bismaleimide Triazine Resin)、及FR-4等材料制成,该硬质框架10由于在高温环境或制程中的温度循环下不会产生翘曲变形,所以用它作为晶圆级半导体封装件1的主体(Primary Structured body),封装完成的晶圆级半导体封装件就无翘曲问题,且其硬质特性不会发生如第6,271,469号美国专利所述的胶体在容置芯片凹槽的角端易产生裂损(Crack)的问题。该硬质框架10的贯穿孔100贯穿该硬质框架10的第一表面101及相对的第二表面102,且应该形成于该硬质框架10的中央部位。

该芯片11则具有形成有电子组件(Electronic Components)及电子电路(Electronic Circuits)的作用表面110以及相对于该作用表面110的非作用表面111,该芯片11收纳于硬质框架10的贯穿孔100中时,使其作用表面110与硬质框架10的第一表面101共平面,使其非作用表面111与硬质框架10的第二表面102共平面,也就是,此时芯片11与硬质框架10具有相同的厚度;同时,该芯片11置于该硬质框架10的贯穿孔100中时,该芯片11与硬质框架10相隔有一间隙,使两者不致接触。此外该芯片11的作用表面110上还形成有多个焊垫112。

该低模数缓冲材料12是低模数的如聚酰亚胺树脂、硅胶、环氧树脂等材质,在填充于该芯片11与硬质框架10间的间隙后,其具有弹性的特点,能成为芯片11与硬质框架10间的缓冲介质,以在制程的温度循环中,因硬质框架10与芯片11间热膨胀系数上的差异所产生的硬质框架10对芯片11产生的热应力,能被该低模数缓冲材料12有效释放,使芯片11无碎裂及脱层的问题,所以能提高本发明的晶圆级半导体封装件1制成品的优良率与可靠度。

该增层结构 13 主要是由敷设于该芯片 11 以及硬质框架 10 上的介电层 130、多条形成于该介电层 130 上并与芯片 11 上的焊垫 112 电性连接的导线 131 以及用于覆盖该介电层 130 与导线 131 的阻焊剂层 132 构成。由于该增层结构 13 及其形成方式为现有技术，故在此不再赘述。同时，该增层结构 13 根据需要能在该介电层 130 及导线 131 上再形成至少一个介电层与多条导线(图未标)。

图 2A 至图 2G 是上述晶圆级半导体封装件 1 制法的步骤示意图。

参照图 2A，本发明实施例 1 的晶圆级半导体封装件制法的第一步骤是准备由玻璃材料制成的模块板 10'，其包括有多个中央具有矩形贯穿孔 100 的硬质框架 10(以虚线隔开)，且每一硬质框架 10 具有第一表面 101 及相对的第二表面 102。

参照图 2B，将该模块板 10'置放至承载用的卡具 16 的收纳槽 160 中，该承载用的卡具 16 开设有通连至其收纳槽 160 的通孔 161，每一该通孔 161 的开设位置是在对应模块板 10'的贯穿孔 100 的中央。

参照图 2C，在每一贯穿孔 100 中放置一芯片 11，芯片 11 的置放方式是令芯片 11 的作用表面 110 朝下面对卡具 16 的通孔 161，其非作用表面 111 则朝上外露于大气中。同时，该芯片 11 的厚度设为与该模块板 10'的厚度相同，所以芯片 11 置入贯穿孔 100 中而承载于该模块板 10'上时，该非作用表面 111 乃与各硬质框架 10 的第二表面 102 共平面。此外，该贯穿孔 100 的截面积大于该芯片 11 的面积，因而，芯片 11 置入贯穿孔 100 时，该芯片 11 的周侧与贯穿孔 100 的孔壁间不会接触，而是形成有预设的间隙 S。再有，芯片 11 经由贯穿孔 100 而承载于卡具 16 的预定位置上后，随即将通孔 161 内的空气排出而令各该芯片 11 真空吸附在该承载用卡具 16 上。

参照图 2D，由于该模块板 10'具有作为网板印刷(Screen Printing)用的网板的功能，故在无须另行使用网板的情况下，用网板印刷方式的刮刀 15 将如硅胶、环氧树脂或聚酰亚胺等的低模数缓冲材料 12，填充入各芯片 11 与硬质框架 10 间的间隙 S，也就是，该芯片 11 即被低模数缓冲材料 12 与硬质框架 10 分隔开。

参照图 2E，在适当烘烤该低模数缓冲材料 12(图未标)后，即将该收纳有芯片 11 的模块板 10'与卡具 16 分离。

参照图 2F，在各该硬质框架 10 的第一表面 101 及芯片 11 的作用表面 110 上涂布介电层 130，再以现有方式，包括但不限于如光微影技术(Photolithographic Technique)及激光钻孔(Laser Drilling)等，在对应于芯片 11 的作用表面 110 上的焊垫 112 位置开设穿孔(图未标)；然后，

以任何现有方式,包括但不限于如光微影技术,在该介电层 130 上形成多条图案化(Patterned)导线 131,使各该导线 131 的一端经由介电层 130 的穿孔与芯片 11 上的焊垫 112 电性连接,以从该焊垫 112 朝外延伸出该芯片 11 的周侧,且令各该导线 131 的另一端形成连接端(Contact Terminal)(图未标);接着,在该导线 131 与介电层 130 上敷设阻焊剂层 132,再以任何现有方式开设多个开孔(图未标)以外露出各该导线 131 的连接端,供多个焊球 14 分别植接至该导线 131 的连接端上,使各该焊球 14 与由该介电层 130、导线 131 及阻焊剂层 132 构成的增层结构 13 形成电性连接关系。该焊球 14 本身的材质及植接至增层结构 13 上的方式都是现有技术,故不再叙述。

最后,如图 2G 所示,以任何现有的方式进行切单作业(Singulation),以形成如图 1 所示的晶圆级半导体封装件 1。

由上述可知,本发明的晶圆级半导体封装件 1 的芯片 11 与硬质框架 10 间被低模数缓冲材料 12 分隔开,故该硬质框架 10 在制程的温度循环中所产生的热应力会被该低模数缓冲材料 12 有效释放。同时,以硬质框架 10 作为该晶圆级半导体封装件 1 的主结构组件,无须如现有技术以封装化合物(Molding Compound)包覆芯片,能简化封装制程,避免现有的由封装化合物形成的胶体(Encapsulant)易产生翘曲并导致芯片碎裂及脱层的问题;该硬质框架 10 还能作为以网版印刷方式在芯片 11 与硬质框架 10 间的间隙 S 填充低模数缓冲材料 12 时所须的网板,使本发明的制法能省掉网板的使用,故能节省网板的制作成本及资材管理成本,进而降低封装成本。

此外,本发明的晶圆级半导体封装件 1 的芯片 11 收纳于该硬质框架 10 内,所以该晶圆级半导体封装件 1 的高度是硬质框架 10、增层结构 13 及焊球 14 的高度之和,显然比第 6,498,387 号美国专利所揭示的封装件的高度(其是玻璃载片、芯片、增层结构及焊球四者的高度和)小,使本发明的晶圆级半导体封装件 1 能符合薄化的需求。因而,若要进一步薄化本发明的晶圆级半导体封装件 1,则能在如图 2D 所示的步骤完成后,对各该硬质框架 10 的第二表面 102、芯片 11 的非作用表面 111 及低模数缓冲材料 12 外露的表面,以任何现有方式,包括但不限于如机械研磨的方式,进行研磨作业(Grinding),以将硬质框架 10、芯片 11 及低模数缓冲材料 12 的厚度降低。由于研磨作业为现有技术,故在此不进行详细叙述。

## 实施例 2

本发明实施例 2 要揭示的制法与上述实施例 1 的制法大致相同，故仅将不同处配合附图进行说明。

参照图 3A，准备由多个成阵列方式排列的硬质框架 20 构成的模块板 20'，各硬质框架 20 也具有矩形贯穿孔 200、第一表面 201 及相对的第二表面 202；同时，准备具有收纳槽 260 的承载用卡具 26，在该收纳槽 260 的底面上粘贴胶片 27，并在该胶片 27 上的预设位置粘置多个芯片 21，且该胶片 27 的材质选用与承载用卡具 26 间的粘着力大于与芯片 21 及模块板 20' 间的粘着力的材料。

参照图 3B，将该模块板 20' 置入该承载用卡具 26 的收纳槽 260 中，以使该模块板 20' 粘置在该胶片 27 上，同时，令胶片 27 上的芯片 21 分别对应并收纳于各硬质框架 20 的贯穿孔 200，且令芯片 21 与硬质框架 20 间形成间隙 S。

参照图 3C，将该模块板 20' 作为网板，以网板印刷方式的刮刀 15 将低模数缓冲材料 22 填充入芯片 21 与硬质框架 20 的间隙 S 中，以令该芯片 21 与硬质框架 20 被低模数缓冲材料 22 分隔开。同时，所使用的低模数缓冲材料 22 的材质与胶片 27 间的粘着力须小于承载用卡具 26 与胶片 27 间的粘着力。

参照图 3D，在该低模数缓冲材料 22 烘烤完成后，将该收纳有芯片 21 的模块板 20' 与该承载用卡具 26 分离，由于该承载用卡具 26 与胶片 27 间的粘着力，大于该模块板 20'、芯片 21 及低模数缓冲材料 22 与胶片 27 间的粘着力，故模块板 20' 与承载用卡具 26 分离后，该胶片 27 仍会粘附在该承载用卡具 26 上，不会随模块板 20' 脱离。

其余形成增层结构、植球、切单等步骤与实施例 1 中所述的相同，且制成品也相同，故不另叙述。

### 实施例 3

图 4 是本发明实施例 3 的晶圆级半导体封装件的剖视图。该实施例 3 的晶圆级半导体封装件 3 的结构与上述实施例 1 大致相同，其不同处在于，其芯片 31 的厚度小于硬质框架 30 的厚度，所以在以网板印刷方式将低模数缓冲材料 32 填充入芯片 31 与硬质框架 30 的间隙时，该低模数缓冲材料 32 就会覆盖住芯片 31 的非作用表面 311，使该芯片 31 除其作用表面 310 外都被该低模数缓冲材料 32 包覆。如此，会降低硬质框架 30 与芯片 31 在厚度一致上的精密度要求，故要令芯片 31 的厚度小于硬质框架 30 的厚度时，两者的差距应该在 0.05 至 0.5mm，但以 0.1mm 较好。

#### 实施例 4

图 5 是本发明实施例 4 的晶圆级半导体封装件的剖视图。该实施例 4 的晶圆级半导体封装件 4 的结构与实施例 1 大致相同，其不同之处在于，为增进散热效率，在该芯片 41 外露的非作用表面 411 及硬质框架 40 的第二表面 402 上涂布导热性粘胶 48，然后将散热片 49 粘置在该导热性粘胶 48 上，供芯片 41 产生的热量通过该散热片 49 直接逸散至大气中。

#### 实施例 5

图 6 是本发明的晶圆级半导体封装件所使用的硬质框架的另一实施形态的正视图。该实施例 5 所揭示的硬质框架 50 与上述各实施例中大致相同，其不同之处在于，为进一步避免应力集中而导致硬质框架 50 在贯穿孔 500 的角端 500' 发生碎裂，对该贯穿孔 500 的角端 500' 进行圆角化处理，以有效释放应力的集中效应，避免硬质框架 50 发生裂损 (Crack)。

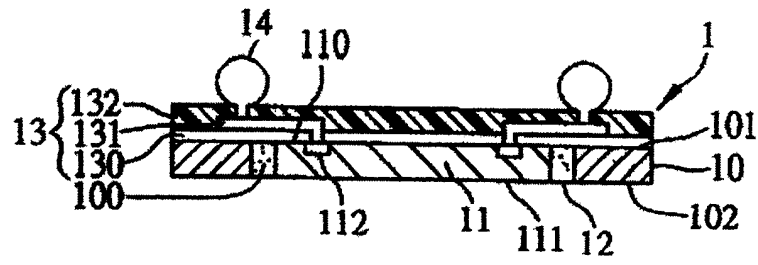


图1

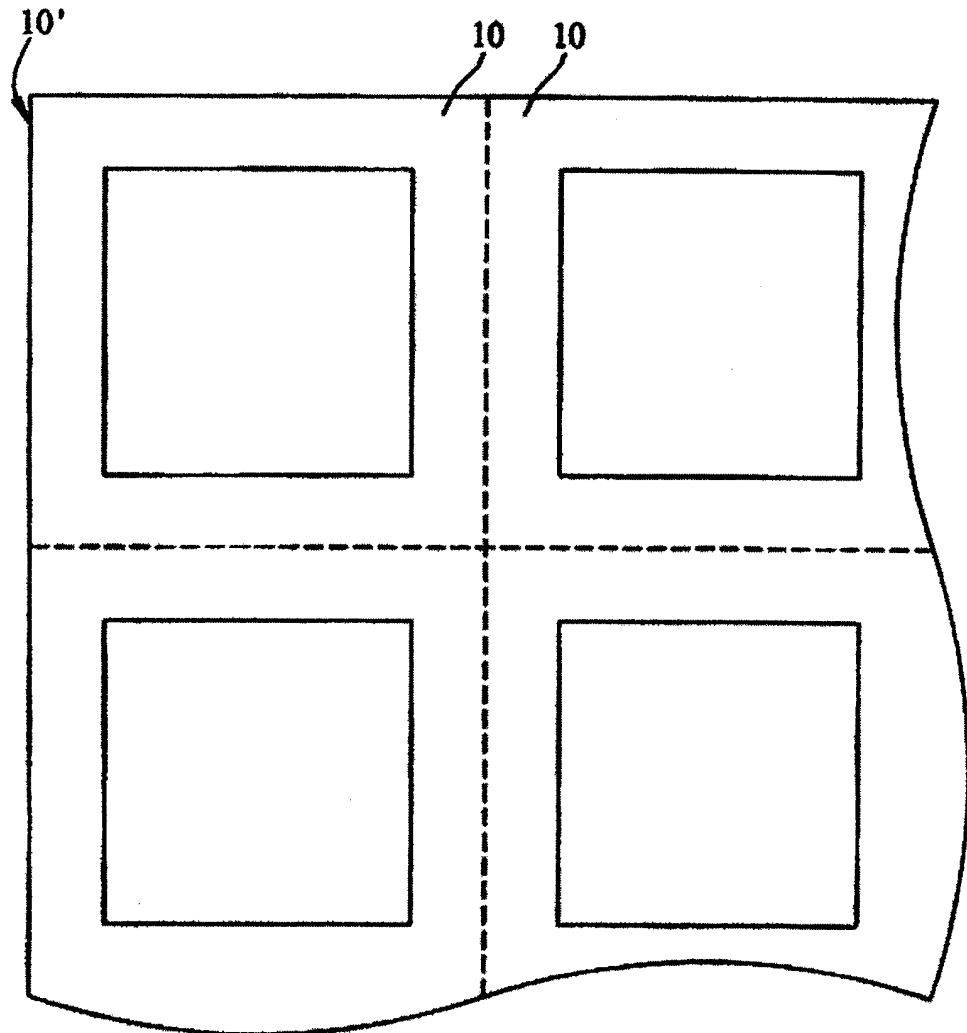
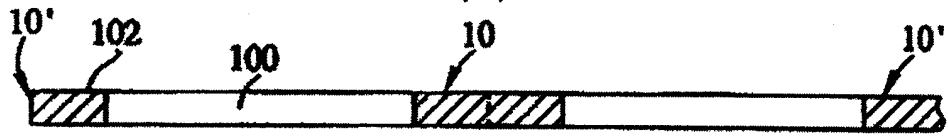


图2A

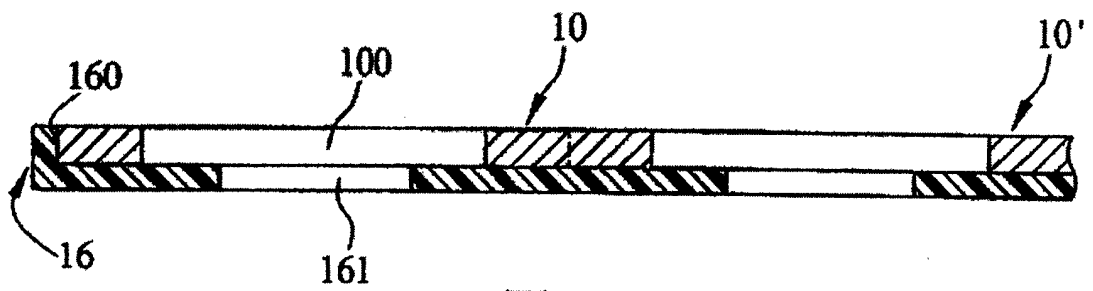


图2B

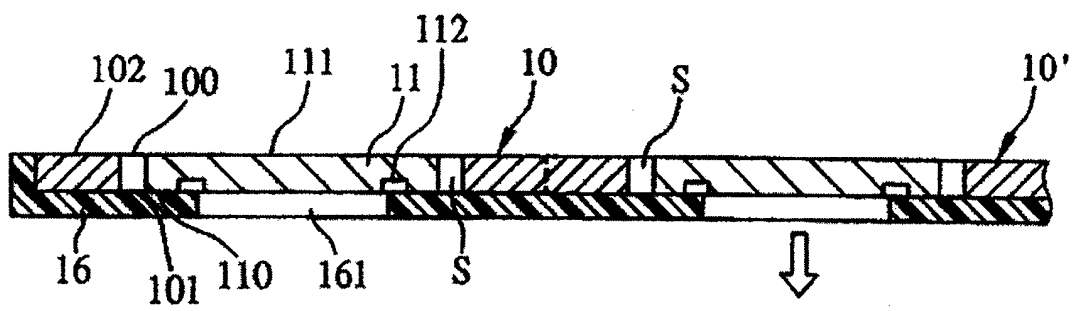


图2C

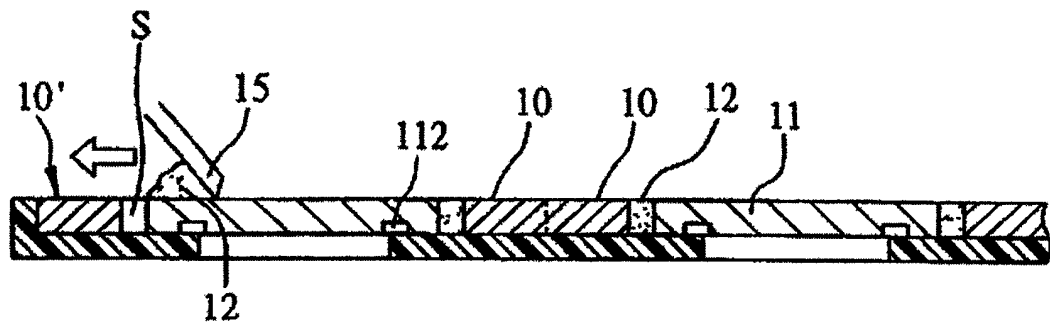


图2D

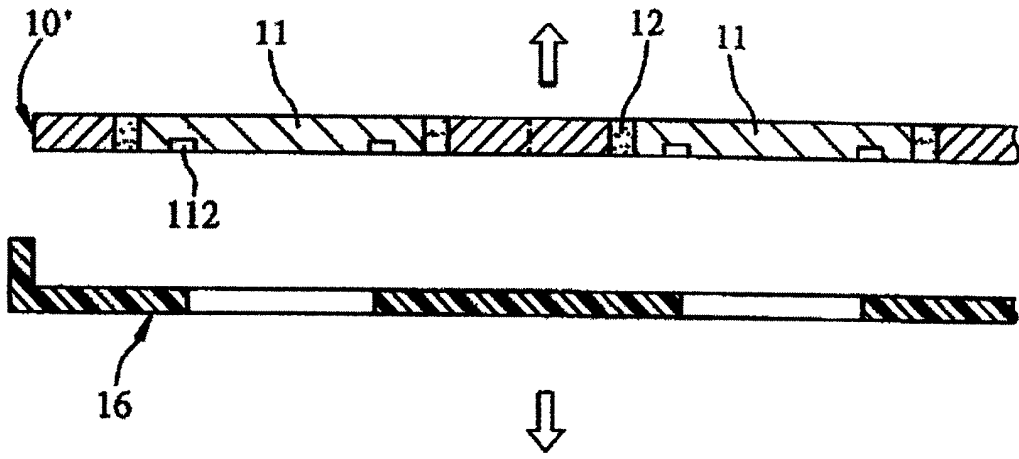


图2E

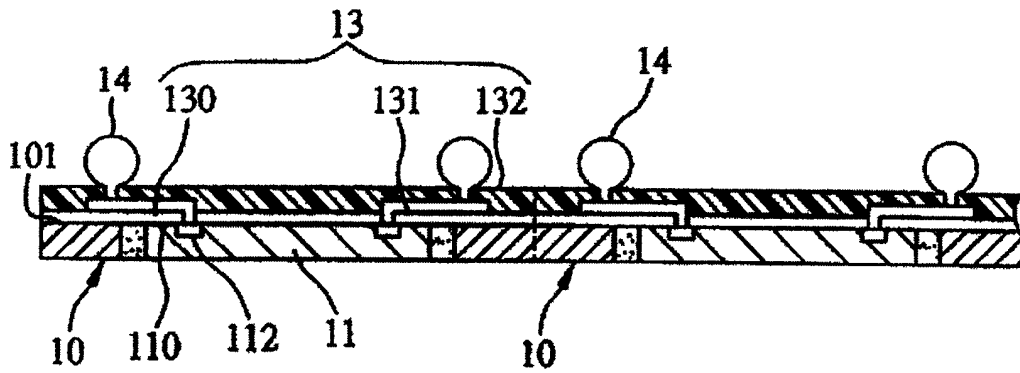


图2F

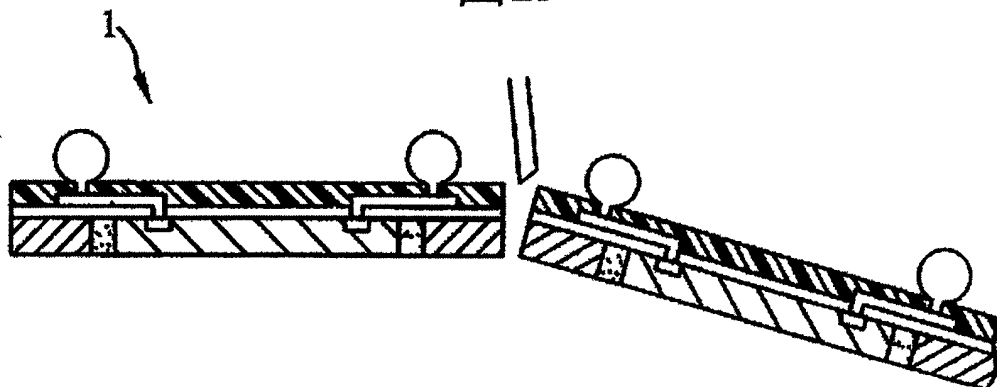


图2G



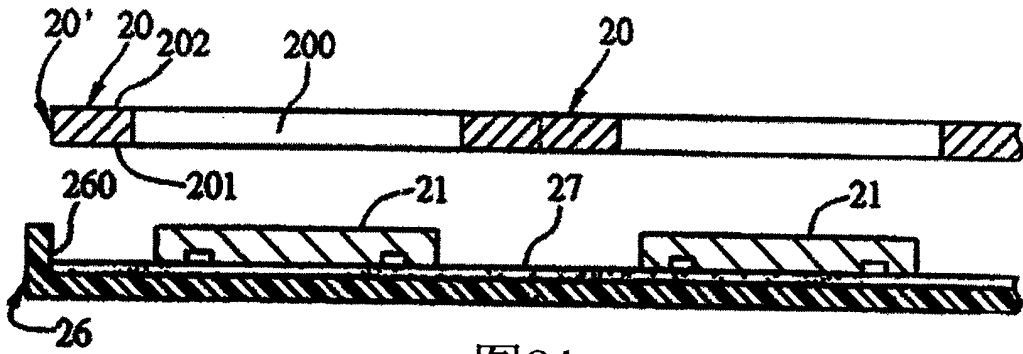


图3A

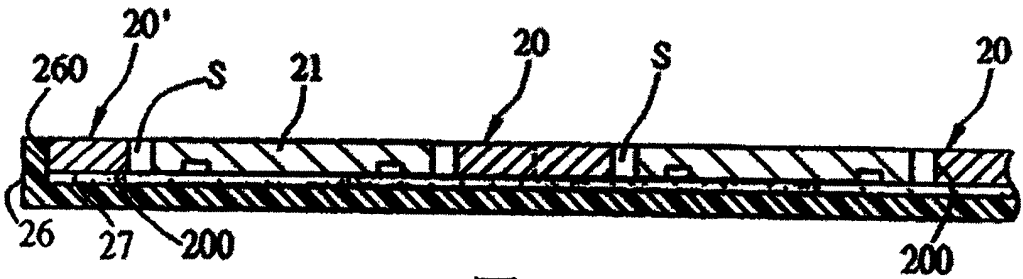


图3B

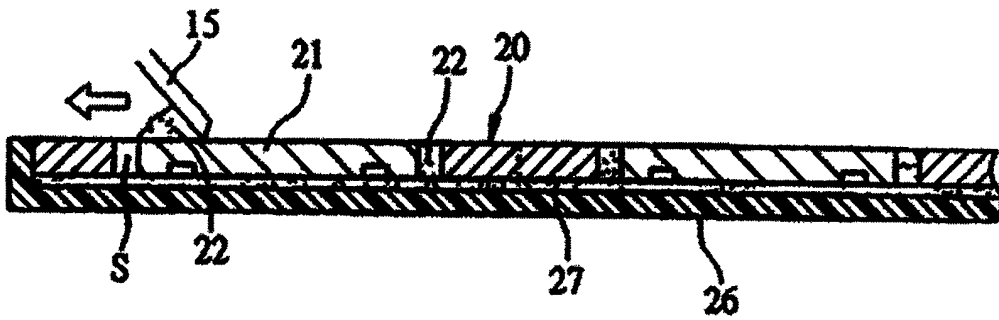


图3C

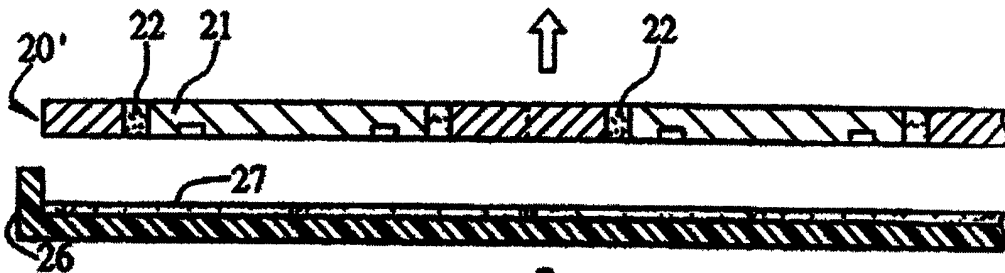


图3D

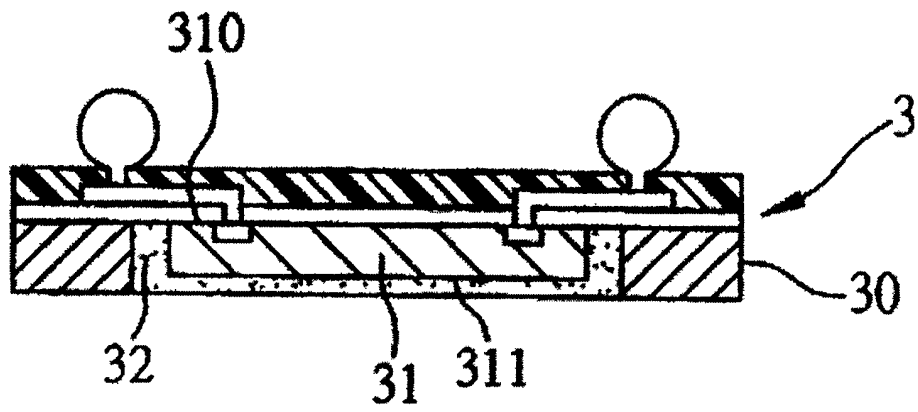


图4

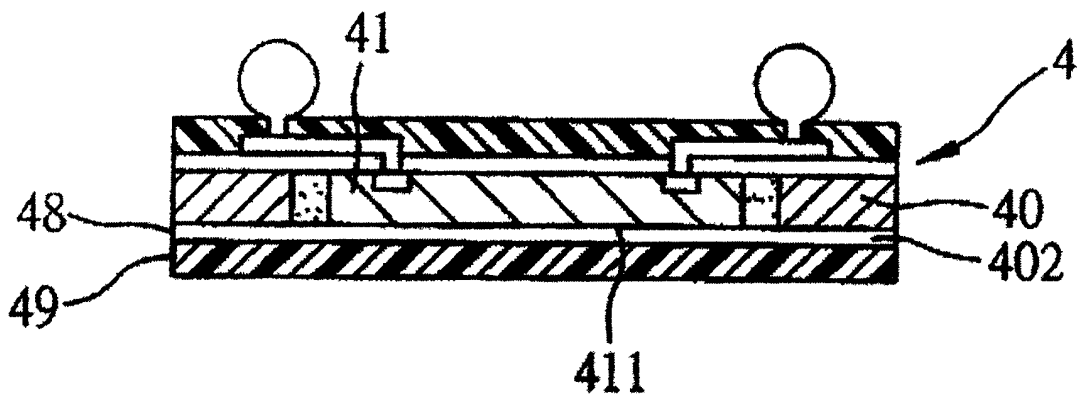


图5

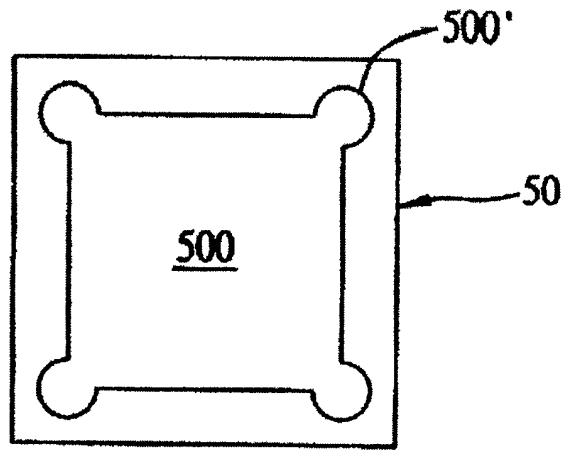


图6

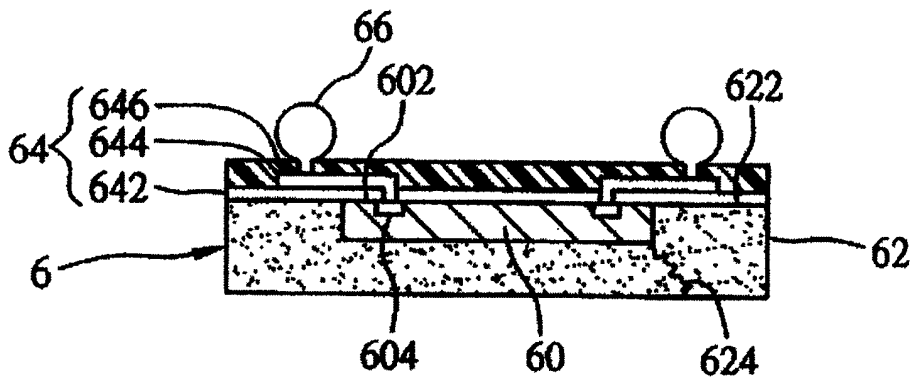


图7

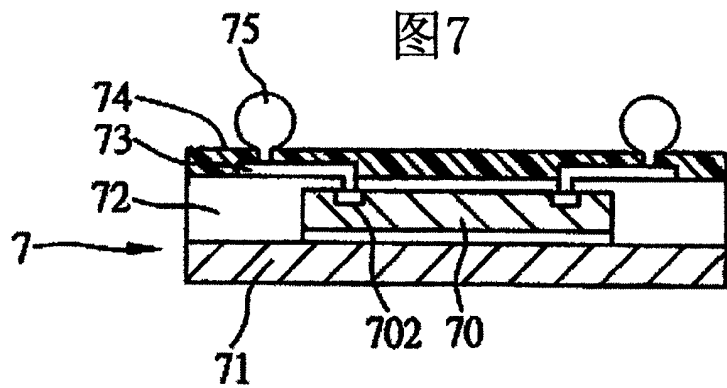


图8