



(12) **Patentschrift**

(21) Aktenzeichen: **102 44 923.6**
(22) Anmeldetag: **25.09.2002**
(43) Offenlegungstag: **01.04.2004**
(45) Veröffentlichungstag
der Patenterteilung: **26.02.2015**

(51) Int Cl.: **G01B 21/00** (2006.01)
G05B 9/02 (2006.01)
G05B 23/02 (2006.01)
G05B 19/406 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
**Dr. Johannes Heidenhain GmbH, 83301 Traunreut,
DE**

(72) Erfinder:
**Oberhauser, Johann, Dipl.-Ing., 83377
Vachendorf, DE; Strasser, Erich, Dipl.-Ing., 83308
Trostberg, DE**

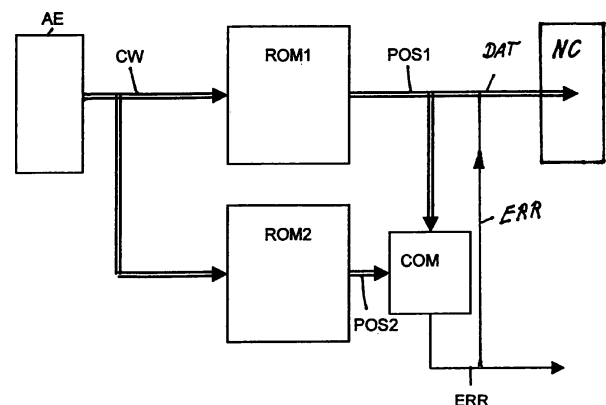
(56) Ermittelter Stand der Technik:

DE	101 04 373	A1
DE	196 04 871	A1
DE	199 33 963	A1
US	5 565 864	A
JP	S57- 175 211	A

(54) Bezeichnung: **Positionsmesseinrichtung und Verfahren zur Positionsbestimmung**

(57) Hauptanspruch: Positionsmesseinrichtung zur Bestimmung der absoluten Position, bei der eine Überprüfung der bestimmten absoluten Position auf Korrektheit erfolgt, mit

- einem Code (C);
- einer Abtasteinrichtung (AE) zur Abtastung des Codes (C) und zur Erzeugung eines Codewortes (CW);
- einem ersten Speicher (ROM1) zur Decodierung des durch Abtastung gewonnenen Codewortes (CW) und zur Ausgabe eines decodierten Wortes als absolute Position (POS1);
- einem weiteren Speicher (ROM2) zur Decodierung des durch Abtastung gewonnenen Codewortes (CW) und zur Ausgabe eines decodierten Wortes als absolute Position (POS2);
- einem Vergleich (COM), dem die absoluten Positionen (POS1, POS2) beider Speicher (ROM1, ROM2) zugeführt sind und der beide absoluten Positionen (POS1, POS2) auf Übereinstimmung prüft.



Beschreibung

[0001] Die Erfindung betrifft eine Positionsmesseinrichtung zur Bestimmung der absoluten Position gemäß dem Anspruch 1 bzw. dem Anspruch 2 sowie ein Verfahren zur absoluten Positionsbestimmung gemäß dem Anspruch 7 bzw. dem Anspruch 8.

[0002] Auf vielen Gebieten werden zur Bestimmung der Position zweier zueinander bewegter Körper vermehrt absolute Positionsmesseinrichtungen eingesetzt. Absolute Positionsmesseinrichtungen haben gegenüber rein inkremental messenden Systemen den Vorteil, dass in jeder Relativlage auch nach Unterbrechung der Versorgungsenergie sofort eine korrekte Positionsinformation ausgegeben werden kann.

[0003] Die absolute Position wird dabei von einem Code verkörpert, der in mehreren parallel zueinander verlaufenden Spuren beispielsweise als Gray-Code angeordnet ist.

[0004] Besonders platzsparend ist die Anordnung der Positionsinformation in einer einzigen Codespur mit in Messrichtung hintereinander angeordneten Codeelementen. Die Codeelemente sind dabei in pseudozufälliger Verteilung hintereinander angeordnet, so dass eine bestimmte Anzahl von aufeinanderfolgenden Codeelementen jeweils ein Codewort bildet, das die absolute Position eindeutig definiert. Bei der Verschiebung der Abtasteinrichtung um ein einziges Codeelement wird bereits ein neues Codewort gebildet und über den gesamten absolut zu erfassenden Messbereich steht eine Folge von unterschiedlichen Codewörtern zur Verfügung. Ein derartiger sequentieller Code wird als Kettencode oder als Pseudo-Random-Code bezeichnet.

[0005] Wie beispielsweise in der US 5,565,864 sowie der JP57-175211 A erläutert ist, wird zur Bestimmung der absoluten Position aus den abgetasteten Codewörtern – auch Decodierung genannt – ein nichtflüchtiger Speicher (ROM) eingesetzt. Dieser Speicher ist eine Zuordnungstabelle (look-up-table), in der zu jedem Codewort eine Position abgespeichert ist. Zur Zuordnung der absoluten Position zu einem abgetasteten Codewort bildet das Codewort die Adresse für die Zuordnungstabelle, so dass am Ausgang die für dieses Codewort abgespeicherte Position ansteht und zur Weiterverarbeitung zur Verfügung steht.

[0006] Ein derartiger Speicher besteht aus einer Dioden- bzw. Transistormatrix. In dieser Matrix kann aber beispielsweise durch einen Kurzschluss eine fehlerhafte Zuordnung generiert werden, wodurch eine fehlerhafte Position zur Weiterverarbeitung ausgegeben wird. Wird die Positionsmesseinrichtung in Antriebsregelungen, insbesondere in einer Werkzeugmaschine zur numerisch gesteuerten Positio-

nierung eines Maschinenteils eingesetzt, kann diese fehlerhafte Positionsausgabe zu einer Gefährdung der Bedienperson führen.

[0007] Der Erfindung liegt daher die Aufgabe zugrunde, eine absolute Positionsmesseinrichtung anzugeben, bei der die Möglichkeit der Prüfung der korrekten Positionsbestimmung besteht.

[0008] Diese Aufgabe wird durch die Merkmale des Anspruches 1 und des Anspruches 2 gelöst.

[0009] Der Erfindung liegt weiterhin die Aufgabe zugrunde, ein Verfahren zur Prüfung der korrekten Bestimmung einer absoluten Position anzugeben.

[0010] Diese Aufgabe wird mit den Merkmalen des Anspruches 7 und des Anspruches 8 gelöst.

[0011] Vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

[0012] Die Erfindung wird anhand der Zeichnungen näher erläutert, dabei zeigen:

[0013] Fig. 1 eine Positionsmesseinrichtung in schematischer Darstellung;

[0014] Fig. 2 eine erste redundante Anordnung von Speichern;

[0015] Fig. 3 eine zweite redundante Anordnung von Speichern;

[0016] Fig. 4 das Prinzip einer Fehlerprüfung;

[0017] Fig. 5 die Signale zur Fehlerprüfung gemäß Fig. 4;

[0018] Fig. 6 mögliche Codeworte mit redundanter Abtastung und zugeordnete absolute Positionen;

[0019] Fig. 7a eine Vergleichsroutine ohne fehlerhaft abgetastetem Bit;

[0020] Fig. 7b eine Vergleichsroutine mit einem als fehlerhaft erkannten Bit;

[0021] Fig. 7c eine Vergleichsroutine mit zwei als fehlerhaft erkannten Bits;

[0022] Fig. 7d eine Vergleichsroutine mit einer ersten Anordnung von drei als fehlerhaft erkannten Bits;

[0023] Fig. 7e eine Vergleichsroutine mit einer zweiten Anordnung von drei als fehlerhaft erkannten Bits;

[0024] Fig. 7f eine Vergleichsroutine mit fehlerhaften Bits, die aber nicht als fehlerhaft erkannt wurden und

[0025] Fig. 8 den Inhalt eines Speichers mit redundant abgetasteten Bits.

[0026] In Fig. 1 ist eine Längenmeseinrichtung schematisch dargestellt. Diese Längenmeseinrichtung arbeitet nach dem optischen Abtastprinzip, bei dem ein Code C im Durchlichtverfahren abgetastet wird. Zur Abtastung des Codes C dient eine Abtasteinrichtung AE, die in Messrichtung X relativ zum Code C bewegbar angeordnet ist.

[0027] Der Code C besteht aus einer in Messrichtung X hintereinander angeordneten Folge von gleich langen Codeelementen C1, C2, C3. Jedes Codeelement C1, C2, C3 besteht wiederum aus zwei gleich langen in Messrichtung X nebeneinander unmittelbar aufeinanderfolgend angeordneten Teilbereichen A und B, die zueinander komplementär ausgebildet sind. Komplementär bedeutet dabei, dass sie inverse Eigenschaften besitzen, also beim optischen Abtastprinzip transparent und nicht transparent bzw. bei Auflicht-Abtastung reflektierend bzw. nicht reflektierend sind. Ein derartiger Code wird auch als Manchestercode bezeichnet.

[0028] Der sequentielle Code C wird von der Abtasteinrichtung AE abgetastet, die eine Lichtquelle L enthält, deren Licht über eine Kollimatorlinse K mehrere aufeinanderfolgende Codeelemente C1, C2, C3 beleuchtet. Das Licht wird von dem Code C positionsabhängig moduliert, so dass hinter dem Code C eine positionsabhängige Lichtverteilung entsteht, die von einer Detektoreinheit D der Abtasteinrichtung AE erfasst wird.

[0029] Die Detektoreinheit D ist ein Zeilensensor mit einer in Messrichtung X angeordneten Folge von Detektorelementen D1 bis D11. Jedem Teilbereich A, B der Codeelemente C1, C2, C3 ist in jeder Relativlage zumindest ein Detektorelement D1 bis D11 eindeutig zugeordnet, so dass in jeder Relativlage der Detektoreinheit D gegenüber dem Code C ein Abtastsignal S1A bis S3B aus jedem Teilbereich A, B gewonnen wird. Diese Abtastsignale S1A bis S3B werden einer Auswerteeinrichtung AW zugeführt, welche die beiden Abtastsignale S1A, S1B; S2A, S2B; S3A, S3B der beiden Teilbereiche C1A, C1B; C2A, C2B; C3A, C3B eines Codeelementes C1, C2, C3 jeweils miteinander vergleicht und durch diesen Vergleich für jedes Codeelement C1, C2, C3 einen digitalen Wert bzw. ein Bit B1, B2, B3 erzeugt. Beim Manchestercode C ist der digitale Wert B1 von der Abfolge der Teilbereiche C1A und C1B abhängig. Eine Folge mehrerer digitaler Werte B1, B2, B3 ergibt ein Codewort CW welches die absolute Position definiert. Bei einer Verschiebung der Detektoreinheit D gegenüber dem Code C um die Breite bzw. Länge eines Codeelementes C1, C2, C3 wird ein neues Codewort CW erzeugt und über den absolut zu vermessenden Messbereich

wird eine Vielzahl von unterschiedlichen Codewörtern CW gebildet.

[0030] Fig. 1 zeigt eine Momentanstellung des Codes C relativ zur Abtasteinrichtung AE. Die Detektorelemente D1 bis D11 sind aufeinanderfolgend in einem Abstand mit der halben Breite eines Teilbereiches C1A bis C3B des Codes C angeordnet. Dadurch ist sichergestellt, dass in jeder Position zumindest ein Detektorelement D1 bis D11 einem Teilbereich C1A bis C3B eindeutig zugeordnet ist und nicht einen Übergang zwischen zwei Teilbereichen C1A bis C3B abtastet. In der dargestellten Position wird der Teilbereich C1A vom Detektorelement D1 und der Teilbereich C1B vom Detektorelement D3 abgetastet. Die Detektorelemente D1, D3 erfassen die Lichtverteilung und erzeugen in Abhängigkeit der Lichtintensität ein analoges Abtastsignal S1A, S1B proportional zur Lichtintensität. Da die beiden Teilbereiche C1A und C1B komplementär zueinander ausgebildet sind, ist auch die Intensität der Abtastsignale S1A und S1B invers zueinander, die Signalpegel sind also weit voneinander beabstandet.

[0031] Dieser Signalabstand wird nun zur Erzeugung der binären Information B1 ausgenutzt, indem geprüft wird, welches der beiden Abtastsignale S1A, S1B des Codeelementes C1 größer ist. Diese Prüfung kann durch Quotientenbildung oder durch Differenzbildung erfolgen. Am Beispiel wird die Differenzbildung eingesetzt, wozu gemäß Fig. 1 als Vergleichseinrichtung ein Triggerbaustein T1 dient. Der Triggerbaustein T1 erzeugt $B1 = 0$, wenn S1A kleiner S1B und $B1 = 1$, wenn S1A größer S1B ist. In gleicher Weise werden binäre Informationen B2 und B3 durch Abtastung der Codeelemente C2, C3 und Vergleich der analogen Abtastsignale S2A, S2B; S3A, S3B der Teilbereiche C2A, C2B; C3A, C3B jeweils eines Codeelementes C2, C3 durch Triggerbausteine T2, T3 gewonnen.

[0032] Einer ersten Abfolge der komplementär zueinander ausgebildeten Teilbereichen A, B wird also ein erster digitaler Wert und einer zweiten Abfolge der komplementär zueinander ausgebildeten Teilbereichen A, B wird ein zweiter digitaler Wert zugeordnet. Im Beispiel wird der Abfolge opak → transparent der Wert 0 und der Abfolge transparent → opak der Wert 1 zugeordnet.

[0033] Da die beiden Teilbereiche A und B jedes Codeelementes C1, C2, C3 zueinander komplementär sind, ist der Störabstand der Abtastsignale S sehr groß. Eine Veränderung der Lichtintensität der Lichtquelle L beeinflusst die Abtastsignale S beider Teilbereiche A und B gleichermaßen.

[0034] Wie in Fig. 2 schematisch dargestellt ist, werden zur Bestimmung der absoluten Position POS1 die abgetasteten Codewörter CW einem Speicher

ROM1 zugeführt. In diesem Speicher ROM1 ist eine Folge von Codewörtern CW abgespeichert. Zu jedem dieser Codewörter CW ist wiederum eine absolute Position POS1 abgespeichert und somit eindeutig zugeordnet. Die abgespeicherte Folge von Codewörtern CW entspricht dabei der durch Abtastung des Codes C bei korrekter Betriebsweise erzeugbaren Folge von Codewörtern CW. Durch Vergleich der Bits eines abgetasteten Codewortes CW mit den Bits der vorgegebenen Folge von Codewörtern CW kann somit jedem Codewort CW eine absolute Position POS1 eindeutig zugeordnet werden. Der Speicher ROM1 enthält somit eine Zuordnungstabelle, in der die Zuordnung Codewort CW zu Position POS1 abgelegt ist. Zur Zuordnung der absoluten Position POS1 zu einem abgetasteten Codewort CW, also zur Decodierung, bildet das Codewort CW die Adresse für die Zuordnungstabelle, so dass am Ausgang die dieser Adresse zugeordnete Position POS1 ansteht. Diese Decodierung ist erforderlich, um die Ausgabe zu standardisieren. Die gebräuchlichste Decodierung ist die Umwandlung in eine Binärcodierung.

[0035] Um einen Fehler des Speichers ROM1 zu erkennen, ist erfindungsgemäß zumindest ein weiterer Speicher ROM2 zur Dekodierung vorhanden. Beide Speicher ROM1 und ROM2 haben die gleiche Funktion und arbeiten parallel. Zur Erkennung eines Fehlers in einem der Speicher ROM1 bzw. ROM2 werden die absoluten Positionen POS1 und POS2 einem Vergleich COM zugeführt. In dem Vergleich COM werden die beiden Positionen POS1 und POS2 auf Übereinstimmung geprüft und bei Abweichung wird ein Alarmsignal ERR ausgegeben. Dieses Alarmsignal ERR zeigt an, dass die weitergegebene absolute Position POS1 fehlerhaft sein kann.

[0036] In Fig. 3 ist eine weitere Möglichkeit der Prüfung der zuverlässigen Arbeitsweise des Speichers ROM1 dargestellt. Es ist wiederum ein zusätzlicher Speicher ROM3 parallel zum Speicher ROM1 angeordnet. In diesem zusätzlichen Speicher ROM3 ist nun die Zuordnungstabelle rückwärts abgespeichert, so dass eine Rückdecodierung stattfindet. Das bedeutet, dass die Position POS1 als Adresse dient und das unter dieser Adresse abgespeicherte Codewort CW3 ausgelesen wird. Dieses ausgelesene Codewort CW3 wird einem Vergleich COM2 zugeführt, der das abgetastete Codewort CW mit dem durch den zusätzlichen Speicher ROM3 erzeugten Codewort CW3 vergleicht. In dem Vergleich COM2 werden die beiden Codewörter CW und CW3 auf Übereinstimmung geprüft und bei Abweichung wird ein Alarmsignal ERR ausgegeben. Dieses Alarmsignal ERR zeigt an, dass die weitergegebene absolute Position POS1 fehlerhaft sein kann. Durch das Vorsehen eines rückwärts arbeitenden zusätzlichen Speichers ROM3 werden auch systematische Fehler detektierbar. Die Anzahl n der Bits eines Codewortes

CW kann identisch der Anzahl m der Bits der Position POS1 sein, oder davon abweichen.

[0037] Durch Dynamisierung kann das abgetastete Codewort CW noch sicherer überwacht werden. Dazu werden im Speicher ROM3 die Codewörter CW3 invertiert abgespeichert, also jedes Bit jedes Codewortes CW3 invertiert. Dem Vergleich COM2 werden die abgetasteten Codewörter CW ebenfalls invertiert zugeführt.

[0038] Die in Fig. 3 dargestellte Anordnung hat besondere Vorteile, wenn zusätzlich zu dem zur absoluten Positionsbestimmung notwendigen abgetasteten Codewort CW weitere Bits des Codes C detektiert werden, also eine redundante Abtastung erfolgt. Dies wird nachfolgend an einem Beispiel ausführlich erläutert. Dabei wird der in Fig. 1 dargestellte Code C zugrundegelegt.

[0039] Aufgrund der komplementären Ausgestaltung jeweils zweier Teilbereiche A, B eines Codeelementes C1, C2, C3 müssen bei korrekter Betriebsweise der Positionsmesseinrichtung durch Abtastung dieser Teilbereiche A, B jeweils analoge Abtastsignale S erzeugt werden, deren Differenz einen vorgegebenen Wert übersteigt. Durch Beobachtung dieses Differenzwertes ist eine gute Fehlerprüfung möglich. Die Grundlage dieser Fehlerprüfung ist, dass davon ausgegangen werden kann, dass bei Unterschreiten des Differenzwertes um einen vorgegebenen Betrag die binäre Information B1 unsicher ist und daher zu dieser binären Information B1 ein Fehlersignal F erzeugt wird.

[0040] Das Prinzip der Erzeugung des Fehlersignals F ist in Fig. 4 anhand des Codeelementes C1 dargestellt. Die analogen Abtastsignale S1A und S1B des Codeelementes C1 werden einer Fehlerprüfeinrichtung P zugeführt. Die Fehlerprüfeinrichtung P vergleicht S1A und S1B durch Differenzbildung (S1A-S1B) und prüft, ob der Differenzbetrag einen vorgegebenen Vergleichswert V übersteigt oder nicht übersteigt. Wenn der Differenzbetrag (S1A-S1B) den vorgegebenen Vergleichswert V nicht übersteigt, wird ein Fehlersignal F ausgegeben. In Fig. 5 sind diese Signalverhältnisse dargestellt. Diese Fehlerprüfung wird für die Abtastsignale zur Erzeugung aller Bits B1, B2, B3 eines Codewortes CW durchgeführt.

[0041] Durch diese Fehlerprüfung der analogen Abtastsignale S wird die Zuverlässigkeit der erzeugten Bits B1, B2, B3 geprüft. Bei Unterschreiten vorgegebener Kriterien – am Beispiel die Signalamplituden zweier zur Bildung eines Bits B1, B2, B3 verwendeten analogen Abtastsignale S – wird diesem als unzuverlässig erkannten Bit eine Fehlererkennung F zugeordnet.

[0042] Die Anordnung der beiden Teilbereiche A und B jedes Codeelementes C1, C2, C3 aufeinanderfolgend direkt nebeneinander in Messrichtung X hat den Vorteil, dass die Detektorelemente D1 bis D11 in einem geringen Abstand in Messrichtung X nebeneinander angeordnet werden können und somit die Positionsmesseinrichtung gegen Verdrehung der Detektoreinheit D gegenüber dem Code C, also gegen Moiré-Schwankungen unempfindlich ist. Weiterhin ist die Störempfindlichkeit gegen Verschmutzungen gering, da davon ausgegangen werden kann, dass beide Teilbereiche A und B eines Codeelementes C1, C2, C3 gleichermaßen beeinflusst werden.

[0043] Die Fehlerprüfung kann auch anhand digitaler Abtastsignale jeweils zweier Teilbereiche A, B durchgeführt werden. Ein Fehlersignal wird dann abgegeben, wenn erkannt wird, dass die digitalen Abtastsignale der Teilbereiche A, B eines Codeelementes nicht invers ($0 \rightarrow 1$ bzw. $1 \rightarrow 0$) zueinander sind.

[0044] In vorteilhafter Weise wird nun zusätzlich zu einem ein Codewort CW bildendes Codemuster ein weiteres Muster, insbesondere zumindest ein Teil eines weiteren Codemusters des seriellen Codes C, abgetastet. Durch das Abtasten dieses weiteren Musters, insbesondere zumindest eines Teils eines weiteren Codemusters, werden zusätzliche Bits gebildet. Die Bits des Codemusters sowie die zusätzlichen Bits werden auf Zuverlässigkeit geprüft, indem beispielsweise die anhand der Fig. 4 und Fig. 5 erläuterte Überprüfung der Amplituden der analogen Abtastsignale S durchgeführt wird. Verglichen werden nun zusätzlich zu den N Bits des Codewortes CW auch die K zusätzlichen Bits mit korrespondierenden Bits einer im Speicher ROM1 vorgegebenen Folge von Codewörtern CW. Bei diesem Vergleich werden die als unzuverlässig gekennzeichneten Bits nicht berücksichtigt. Wird bei diesem Vergleich der N Bits sowie der redundanten zusätzlichen Bits mit der gesamten vorgegebenen Reihe von Bitfolgen eine einzige Übereinstimmung der zuverlässigen K Bits gefunden, wird dem Vergleichscodewort die zu der aufgefundenen Bitfolge abgespeicherte absolute Position POS1 zugeordnet. Diese Position POS1 ist eindeutig. Werden bei dem Vergleich mehrere Übereinstimmungen aufgefunden, dann sind zu viele Bits unzuverlässig und es sind weitere Fehlerrountinen erforderlich oder es wird eine Fehlermeldung ausgegeben, da an dieser Position keine eindeutige absolute Position POS1 bestimmt werden kann.

[0045] Eine weitere Fehlerrountine besteht beispielsweise darin, dass davon ausgegangen wird, dass die Änderung zwischen der aktuellen Position und der letzten Position nur einen vorgegebenen Wert betragen kann. Werden nun beim Vergleich mehrere Übereinstimmungen gefunden, wird die Position von den mehreren Positionen als gültig erklärt, dessen Ab-

stand von der letzten Position den vorgegebenen Betrag nicht übersteigt.

[0046] Es ist auch möglich, dass bereits der Vergleich auf einen Nachbarbereich der zuletzt bestimmten Position beschränkt wird.

[0047] Anhand eines konkreten Beispiels wird mit Hilfe der Fig. 6 und Fig. 7a bis Fig. 7f sowie Fig. 8 diese Methode noch näher erläutert.

[0048] In Fig. 6 ist ersichtlich, dass mit einem 3-stelligen Wort maximal 2, also 8 verschiedene Codeworte und somit auch acht verschiedene Positionen POS1 eindeutig unterscheidbar sind. In der ersten Zeile ist die Bitfolge des seriellen einspurigen und einschrittigen Pseudo-Random-Codes (PRC) aufgetragen. Da alle Möglichkeiten aufgetragen sind, wird diese Reihe auch Maximallängensequenz bezeichnet.

[0049] Unter dieser ersten Zeile sind in Fig. 6 die an jeder der 8 verschiedenen Positionen POS1 abgetasteten Codewörter CW dargestellt. Diese Codewörter CW werden jeweils von den ersten drei Bits gebildet. Als redundante Information wird in diesem Beispiel jeweils das nächste Codewort abgetastet. Diese zusätzlichen K Bits sind kursiv dargestellt. Die Maximallängensequenz wird vorteilhafterweise zur Winkelmessung eingesetzt, dabei wird die Maximallängensequenz geschlossen verwendet.

[0050] Anhand der Fig. 7a bis Fig. 7f wird nun am Beispiel der 2. Position die Vergleichsroutine erläutert, dabei ist ein als unzuverlässig gekennzeichnetes Bit mit F markiert. Diese Bits geben als Vergleichsergebnis immer eine Übereinstimmung. Eine Übereinstimmung von Bits beim Vergleich ist in den Fig. 7a bis Fig. 7f mit X markiert.

[0051] In Fig. 7a ist dargestellt, dass in der Abtastung kein fehlerhaftes Bit enthalten ist, so dass bei einem einzigen Vergleich der 8 Vergleichspositionen eine Übereinstimmung aller Bits auftritt. Diese Position ist somit eindeutig bestimmbar und wird als gültig bewertet.

[0052] In Fig. 7b ist eines der abgetasteten Bits mit einer Fehlererkennung F markiert. Dieses Bit wird beim Vergleich nicht berücksichtigt, trotzdem ist diese Position eindeutig bestimmbar.

[0053] In Fig. 7c sind zwei durch Abtastung gewonnene Bits mit einer Fehlererkennung F markiert und auch hier ist eine Position eindeutig bestimmbar.

[0054] In Fig. 7d sind bereits drei Bits als unzuverlässig markiert und trotzdem ist die Position eindeutig bestimmbar.

[0055] In Fig. 7e sind ebenfalls drei Bits als unzuverlässig markiert, aber an anderer Stelle. In diesem Fall werden beim Vergleich zwei Übereinstimmungen gefunden, so dass die Position nicht eindeutig bestimmbar ist.

[0056] In Fig. 7f ist ersichtlich, dass kein Bit als unzuverlässig erkannt wurde und dass trotzdem beim Vergleich keine Übereinstimmung gefunden wurde. Das bedeutet, dass zumindest ein fehlerhaftes Bit in der Abtastung enthalten ist, dieses aber von der Fehlerprüfeinrichtung P nicht erkannt wurde. Daraus ist eine unsichere Betriebsweise der Fehlerprüfeinrichtung P feststellbar.

[0057] In Fig. 8 ist der Inhalt des Speichers ROM1 zu diesem Beispiel mit redundanter Abtastung schematisch dargestellt. Die abgetastete Bitfolge mit N Bits inklusiv K abgetasteter redundanter Bits ist $N + K = n$ Bits lang, im Beispiel also $3 + 3 = 6 = n$ Bits. Als Adressen sind alle Möglichkeiten (64) dieses 6 Bit langen Wortes im Speicher ROM1 enthalten. Diesen 64 Möglichkeiten sind aber nur $2^6 = 8$, (mit $m = 3$, vgl. Fig. 3) eindeutige Positionen POS1 zugeordnet und somit im Speicher ROM1 abgelegt. Wird nun eine Bitfolge mit 6 Bits abgetastet, wird geprüft, ob dieser Bitfolge eine Position POS1 zugeordnet ist. Wenn eine Zuordnung möglich ist, wird diese Position POS1 am Ausgang ausgegeben. Ist der abgetasteten Bitfolge im Speicher ROM1 keine Position POS1 zugeordnet, wird eine Zusatzinformation I ausgegeben, die angibt, dass keine Position POS1 zugeordnet werden kann. Steht nun als Adresse eine Bitfolge mit als unzuverlässig erkannten Bits an, werden diese Bits bei der Adressierung nicht berücksichtigt, indem diese ausgeblendet bzw. maskiert werden. In der Praxis erfolgt dies beispielsweise dadurch, dass für eine Bitfolge mit einem als unzuverlässig erkannten Bit zwei Adressen als abgetastete Bitfolgen gebildet werden, nämlich die zwei Möglichkeiten 0 und 1 für das als unzuverlässig erkannte Bit. Mittels des Speicherinhaltes wird nun die anhand der Fig. 7a bis Fig. 7f erläuterte Vergleichsroutine durchgeführt. Ist den möglichen Bitfolgen, also den möglichen Adressen unter Berücksichtigung der als unzuverlässig erkannten Bits eine einzige Position POS1 im Speicher ROM1 zugeordnet, wird diese als gültig und eindeutig ausgegeben. Sind einer der abgetasteten Bitfolge mehrere Positionen POS1 zugeordnet, ist keine eindeutige Positionsbestimmung möglich.

[0058] Um anhand des Speichers ROM1 mit der Vergleichsroutine auch auf einfache Weise eine Aussage über die Übereinstimmungen (vgl. Fig. 7a bis Fig. 7f) zu erhalten, ist zu jedem der 64 Einträge auch eine Zusatzinformation I bezüglich der Zulässigkeit enthalten. Diese Information besteht insbesondere aus einem zusätzlichen Bit, das für jeden Eintrag bzw. jede Adresse angibt, ob dieser Adresse im Speicher ROM1 eine Position POS1 zugeordnet ist

oder nicht. Wird beispielsweise die Bitfolge 000010 abgetastet, ist im Speicher ROM1 zu dieser Adresse die Zusatzinformation $I = 0$ abgespeichert und steht am Ausgang zur Verfügung. Diese ausgegebene Zusatzinformation I signalisiert, dass der abgetasteten Bitfolge keine Absolutposition POS1 zuordbar ist.

[0059] In diesem Beispiel hat der in Fig. 3 dargestellte Speicher ROM1 einen Inhalt von 64 Adressen, wobei nur 8 eine eindeutige Position POS1 zugeordnet ist. Zur Prüfung der Funktionsfähigkeit des Speichers ROM1 ist der zusätzliche Speicher ROM3 vorgesehen, der die Dekodierung rückwärts durchführt. Die Zuordnungstabelle dieses Speichers ROM3 ist nun kleiner realisierbar als die Zuordnungstabelle des Speichers ROM1. Im Beispiel reichen nämlich 8 Adressen aus. Die zusätzliche Zuordnungstabelle kann nämlich auf die eindeutigen Positionen POS1 beschränkt werden, wodurch Speicherbedarf eingespart werden kann und trotzdem eine sichere Überprüfung der Funktionsweise der Decodierung gewährleistet ist.

[0060] Die von der Abtasteinrichtung AE neben dem Codewort CW zusätzlich erzeugten Bits sind vorteilhaft redundant abgetastete Bits. Diese zusätzlichen Bits und zum Vergleich verwendeten K Bits sind vorteilhafterweise zu den N Bits des Codewortes CW unmittelbar benachbarte Bits, dies ist aber kein Erfordernis. Wichtig ist nur, dass die redundant abgetasteten Bits stellenrichtig mit Bits aus der vorgegebenen Reihe verglichen werden.

[0061] Zusammengefasst ausgedrückt, werden somit folgende Verfahrensschritte durchgeführt:

- bei einer Verschiebung der Abtasteinrichtung AE gegenüber dem Code C werden in jeder Relativlage jeweils ein Codewort CW sowie zusätzliche Bits erzeugt; durch die insbesondere aus der Abtastung des Codes gewonnenen zusätzlichen Bits erhält man eine zum Codewort CW redundante Information;
- das Codewort CW und die zusätzlichen Bits werden dem ersten Speicher ROM1 zur Decodierung zugeführt und
- für mehrere Kombinationen aus den Bits des Codewortes CW sowie den zusätzlichen Bits ist jeweils eine Position POS1 im Speicher ROM1 abgespeichert und ausgebar und für mehrere weitere Kombinationen ist eine Zusatzinformation I abgespeichert und ausgebar, die angibt, dass dieser Kombination von Bits keine Position POS1 zugeordnet werden kann.

[0062] Als Speicher ROM1, ROM2, ROM3 bieten sich RAM, ROM, EPROM, EEPROM, Flash usw. an.

[0063] Wird die Positionsmesseinrichtung in Antriebsregelungen, insbesondere in einer Werkzeugmaschine zur numerisch gesteuerten Positionierung

eines Maschinenteils eingesetzt, kann eine fehlerhafte Ausgabe der Position POS1 zu einer Gefährdung der Bedienperson führen. Um die Bedienperson frühzeitig vor einer Gefährdung zu warnen, oder die Bewegung des Maschinenteils zu stoppen, kann gemäß der Erfindung die vom ersten Speicher ROM1 ausgegebene Position POS1 über eine Datenleitung DAT zu einer numerischen Steuerung NC übertragen werden und vom Vergleicher COM, COM2 ein Alarmsignal ERR über diese Datenleitung DAT zu der numerischen Steuerung NC übertragen werden, wie in Fig. 2 schematisch dargestellt ist. Auf der Datenleitung DAT werden die Positionsdaten POS1 sowie der Alarm ERR vorzugsweise seriell übertragen.

[0064] Die Erfindung ist besonders vorteilhaft bei einem sequentiellen einschrittigen Manchestercode anwendbar. Die Erfindung ist aber nicht auf diesen Code beschränkt, sie ist auch bei mehrspuriger Codierung einsetzbar. Es kann auch jedes Codeelement nur aus einem einzigen Bereich bestehen, so dass jedes Bit nur aus einem analogen Abtastsignal gewonnen wird. Zur Überprüfung der Zuverlässigkeit dieser Bits wird dann dieses analoge Abtastsignal in bekannter Weise mit einer Sollamplitude verglichen.

[0065] Die Erfindung ist beim optischen Abtastprinzip besonders vorteilhaft einsetzbar. Die Erfindung ist aber nicht auf dieses Abtastprinzip beschränkt, sondern auch bei magnetischen, induktiven sowie kapazitiven Abtastprinzipien einsetzbar.

[0066] Die Positionsmesseinrichtung kann zur Messung von linearen oder rotatorischen Bewegungen eingesetzt werden. Die zu messenden Objekte können dabei der Tisch und der Schlitten einer Werkzeugmaschine, einer Koordinatenmessmaschine oder der Rotor und der Stator eines Elektromotors sein.

Patentansprüche

1. Positionsmesseinrichtung zur Bestimmung der absoluten Position, bei der eine Überprüfung der bestimmten absoluten Position auf Korrektheit erfolgt, mit

- einem Code (C);
- einer Abtasteinrichtung (AE) zur Abtastung des Codes (C) und zur Erzeugung eines Codewortes (CW);
- einem ersten Speicher (ROM1) zur Decodierung des durch Abtastung gewonnenen Codewortes (CW) und zur Ausgabe eines decodierten Wortes als absolute Position (POS1);
- einem weiteren Speicher (ROM2) zur Decodierung des durch Abtastung gewonnenen Codewortes (CW) und zur Ausgabe eines decodierten Wortes als absolute Position (POS2);
- einem Vergleicher (COM), dem die absoluten Positionen (POS1, POS2) beider Speicher (ROM1,

ROM2) zugeführt sind und der beide absoluten Positionen (POS1, POS2) auf Übereinstimmung prüft.

2. Positionsmesseinrichtung zur Bestimmung der absoluten Position, bei der eine Überprüfung der bestimmten absoluten Position auf Korrektheit erfolgt, mit

- einem Code (C);
- einer Abtasteinrichtung (AE) zur Abtastung des Codes (C) und zur Erzeugung eines Codewortes (CW);
- einem ersten Speicher (ROM1) zur Decodierung des durch Abtastung gewonnenen Codewortes (CW) und zur Ausgabe eines decodierten Wortes als absolute Position (POS1);
- einem weiteren Speicher (ROM3) zur Rückdecodierung der absoluten Position (POS1), indem dem Eingang dieses weiteren Speichers (ROM3) die absolute Position (POS1) als Adresse zugeführt ist und am Ausgang das im weiteren Speicher (ROM3) dieser Adresse zugeordnete Codewort (CW3) ausgelesen wird;
- einem Vergleicher (COM2), dem das abgetastete Codewort (CW) sowie das rückdecodierte Codewort (CW3) zugeführt sind und der beide Codewörter (CW, CW3) auf Übereinstimmung prüft.

3. Positionsmesseinrichtung nach Anspruch 2, wobei

- das abgetastete Codewort (CW) dem Vergleicher (COM2) invertiert zugeführt ist und
- im weiteren Speicher (ROM3) die Codewörter (CW) als invertierte Codewörter (CW3) abgelegt sind und dem Vergleicher (COM2) zugeführt sind.

4. Positionsmesseinrichtung nach Anspruch 2 oder 3, wobei

- die Abtasteinrichtung (AE) dazu ausgelegt ist, das Codewort (CW) sowie zusätzliche Bits zu bilden;
- das Codewort (CW) und die zusätzlichen Bits dem ersten Speicher (ROM1) zur Decodierung zugeführt sind und
- für mehrere Kombinationen der Bits des Codewortes (CW) sowie der zusätzlichen Bits im ersten Speicher (ROM1) jeweils eine Position (POS1) abgelegt und ausgabbar ist und für mehrere weitere Kombinationen im ersten Speicher (ROM1) jeweils eine Zusatzinformation (I) abgelegt und ausgabbar ist, die angibt, dass dieser Kombination von Bits keine Position (POS1) zugeordnet werden kann.

5. Positionsmesseinrichtung nach Anspruch 4, wobei im weiteren Speicher (ROM3) nur die Kombinationen von Bits abgespeichert sind, denen im ersten Speicher (ROM1) eine Position (POS1) zugeordnet ist.

6. Positionsmesseinrichtung nach einem der vorhergehenden Ansprüche, wobei die vom ersten Speicher (ROM1) ausgegebene Position (POS1) über ei-

ne Datenleitung (DAT) zu einer numerischen Steuerung (NC) übertragbar ist und vom Vergleicher (COM, COM2) ein Alarmsignal (ERR) über diese Datenleitung (DAT) zu der numerischen Steuerung (NC) übertragbar ist.

7. Verfahren zur absoluten Positionsbestimmung, bei dem eine Überprüfung der bestimmten absoluten Position auf Korrektheit vorgenommen wird, mit folgenden Verfahrensschritten:

- Abtasten eines Codes (C) und Erzeugen eines Codewortes (CW);
- Decodieren des Codewortes (CW) mittels eines ersten Speichers (ROM1) und Ausgabe eines decodierten Wortes als absolute Position (POS1);
- Decodieren des Codewortes (CW) mittels eines weiteren Speichers (ROM2) und Ausgabe eines decodierten Wortes als absolute Position (POS2);
- Vergleich beider Positionen (POS1, POS2) auf Übereinstimmung.

8. Verfahren zur absoluten Positionsbestimmung, bei dem eine Überprüfung der bestimmten absoluten Position auf Korrektheit vorgenommen wird, mit folgenden Verfahrensschritten:

- Abtasten eines Codes (C) und Erzeugen eines Codewortes (CW);
- Decodieren des Codewortes (CW) mittels eines ersten Speichers (ROM1) und Ausgabe eines decodierten Wortes als absolute Position (POS1);
- Rückdecodieren der absoluten Position (POS1), indem dem Eingang dieses weiteren Speichers (ROM3) die absolute Position (POS1) als Adresse zugeführt wird und am Ausgang das im weiteren Speicher (ROM3) dieser Adresse zugeordnete Codewort (CW3) ausgelesen wird;
- Vergleich beider Codeworte (CW, CW3) auf Übereinstimmung.

9. Verfahren nach Anspruch 8, wobei

- das abgetastete Codewort (CW) dem Vergleicher (COM2) invertiert zugeführt wird und
- im weiteren Speicher (ROM3) die Codeworte (CW) als invertierte Codeworte (CW3) abgelegt sind und dem Vergleicher (COM2) zugeführt werden.

10. Verfahren nach Anspruch 8 oder 9, wobei

- jeweils ein Codewort (CW) sowie zusätzliche Bits erzeugt werden;
- das Codewort (CW) und die zusätzlichen Bits dem ersten Speicher (ROM1) zur Decodierung zugeführt werden und
- für mehrere Kombinationen der Bits des Codewortes (CW) sowie der zusätzlichen Bits jeweils eine Position (POS1) ausgegeben wird und für mehrere weitere Kombinationen eine Zusatzinformation (I) ausgegeben wird, die angibt, dass dieser Kombination von Bits keine Position (POS1) zugeordnet werden kann.

11. Verfahren nach einem der vorhergehenden Ansprüche 7 bis 10, wobei die vom ersten Speicher (ROM1) ausgegebene Position (POS1) über eine Datenleitung (DAT) zu einer numerischen Steuerung (NC) übertragen wird und vom Vergleicher (COM, COM2) ein Alarmsignal (ERR) über diese Datenleitung (DAT) zu der numerischen Steuerung (NC) übertragen wird, wenn beim Vergleich keine Übereinstimmung festgestellt wird.

Es folgen 8 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

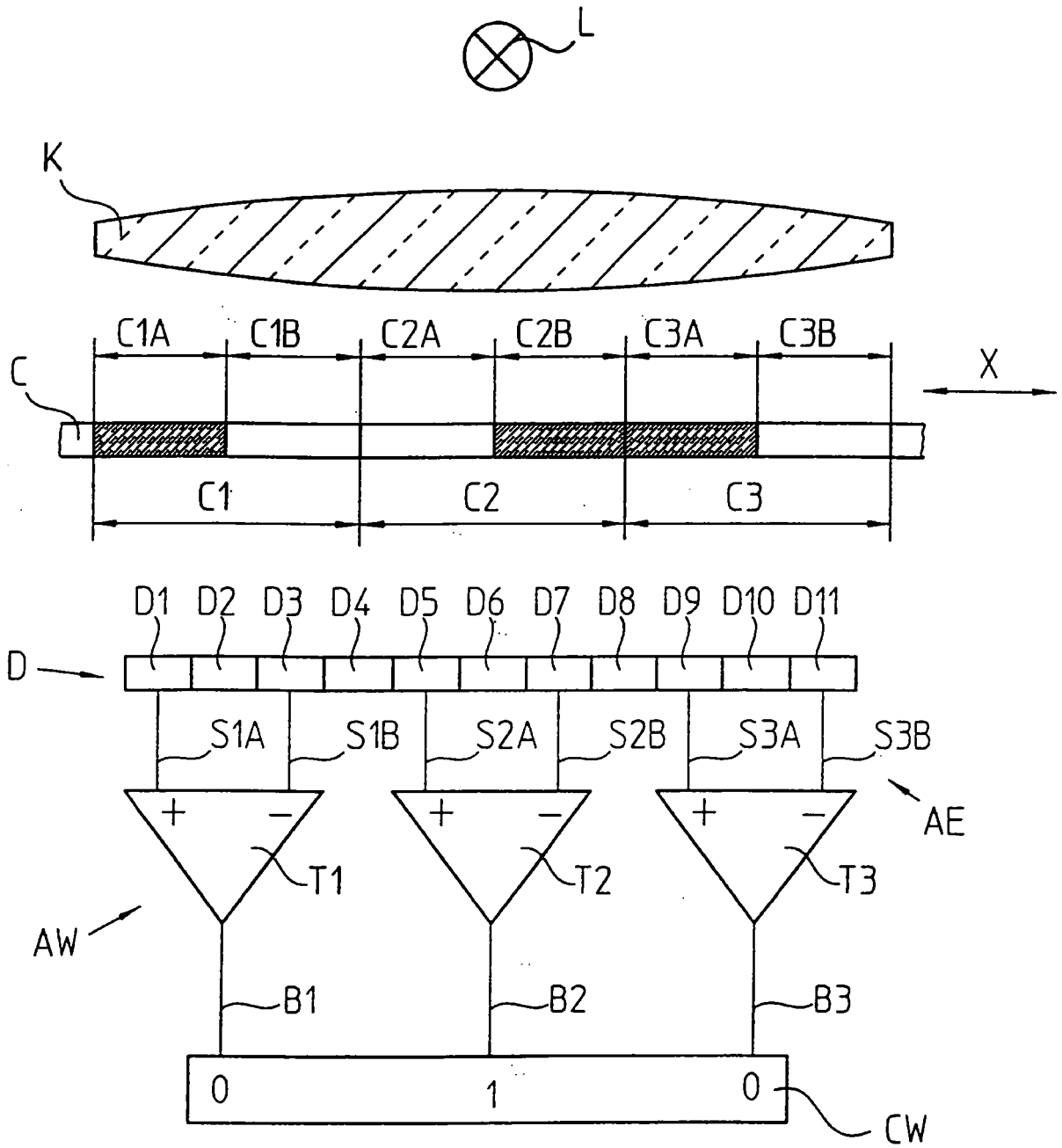


FIG. 2

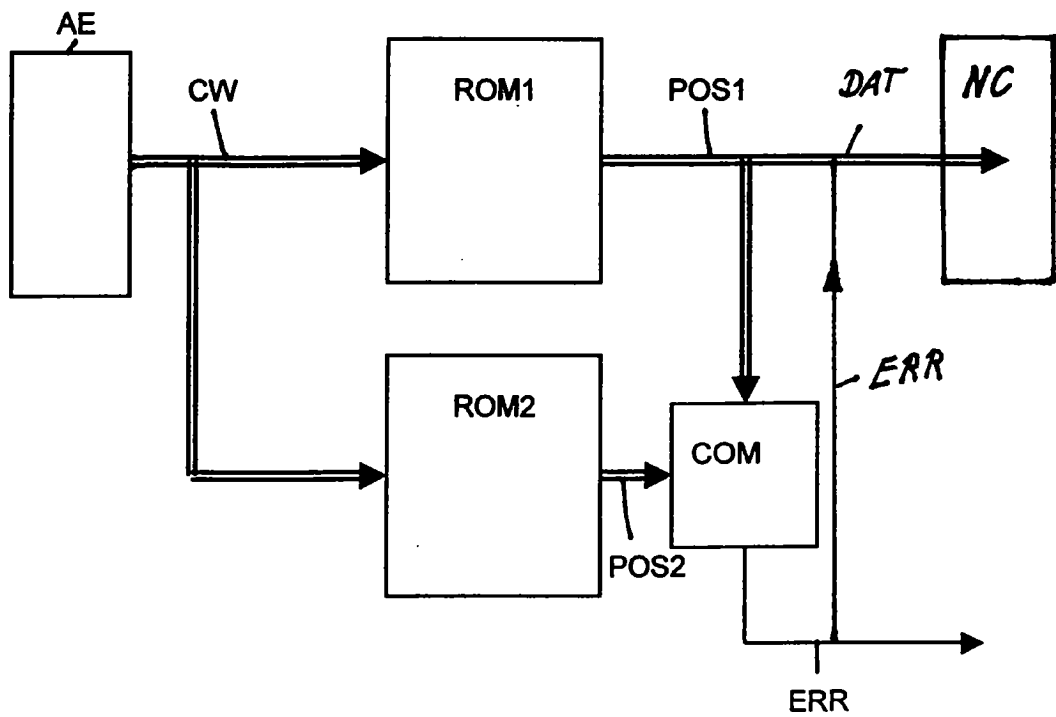


FIG. 3

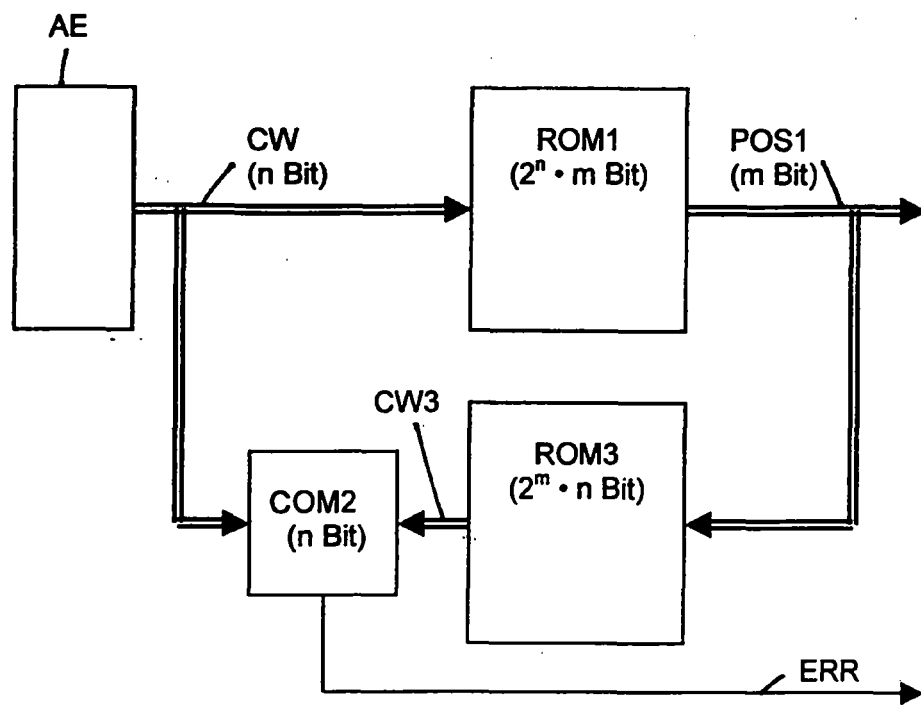


FIG. 4

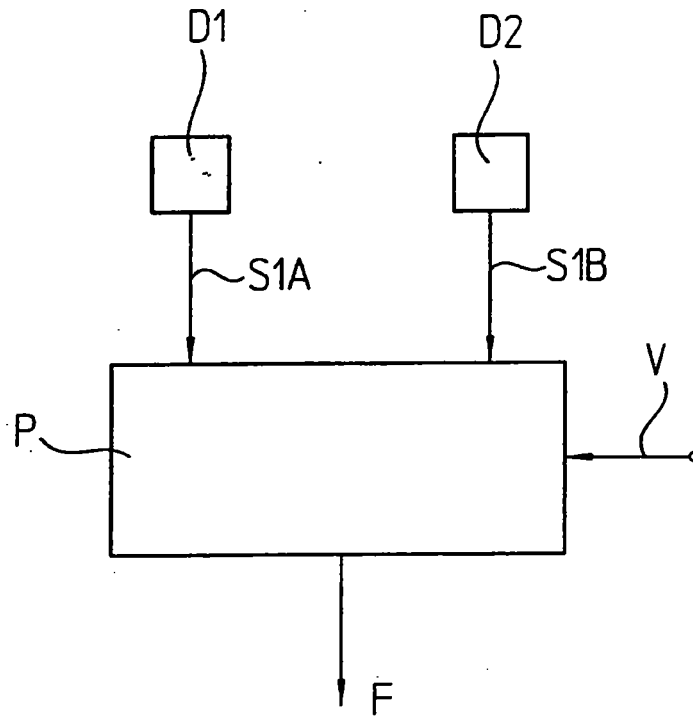


FIG. 5

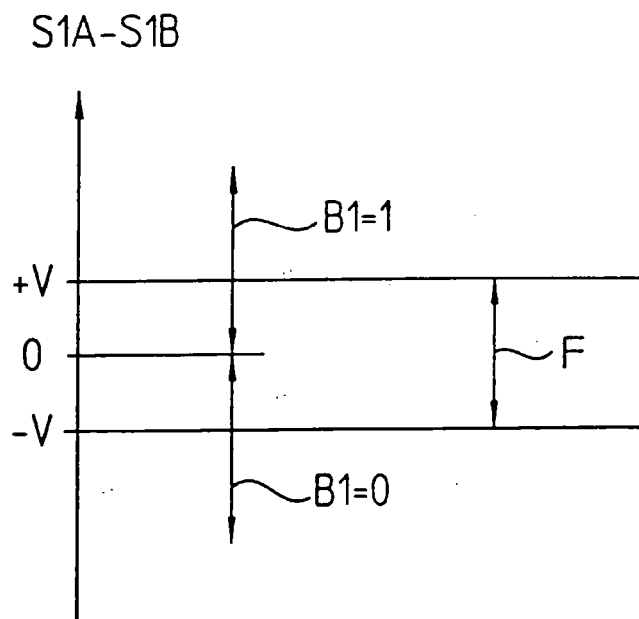


FIG. 6

3-Bit PRC -> 1110100011101
 zyklische Erweiterung

Zuordnungstabelle:

Position	Adresse (N+K)=n Bits
1. Position:	111010
2. Position:	110100
3. Position:	101000
4. Position:	010001
5. Position:	100011
6. Position:	000111
7. Position:	001110
8. Position:	011101

FIG. 7a

Position: 111010 110100 101000 010001 100011 000111 001110 011101
 Abastung: 110100 110100 110100 110100 110100 110100 110100 110100
 Vergleich: xx__x xxxxxx x__xx __x_x x_x__ __xx__ __x_x _x_xx_

Ergebnis: eine Übereinstimmung bei vorgegebener 2. Position -> Position gültig

FIG. 7b

Position: 111010 110100 101000 010001 100011 000111 001110 011101
 Abastung: F10100 F10100 F10100 F10100 F10100 F10100 F10100 F10100
 Vergleich: xx__x xxxxxx x__xx xxx_x_ x_x__ x_xx__ x_x_x xx_xx_

Ergebnis: eine Übereinstimmung bei vorgegebener 2. Position -> Position gültig

FIG. 7c

Position: 111010 110100 101000 010001 100011 000111 001110 011101
 Abastung: F10F00 F10F00 F10F00 F10F00 F10F00 F10F00 F10F00 F10F00
 Vergleich: xx_x_x xxxxxx x_xxx xxxxx_ x_xx_ x_xx_ x_x_x xx_xx_

Ergebnis: eine Übereinstimmung bei vorgegebener 2.Position -> Position gültig

FIG. 7d

Position: 111010 110100 101000 010001 100011 000111 001110 011101
 Abastung: F10FF0 F10FF0 F10FF0 F10FF0 F10FF0 F10FF0 F10FF0 F10FF0
 Vergleich: xx_xxx xxxxxx x_xxx xxxxx_ x_xxx_ x_xxx_ x_xxx_ xx_xx_

Ergebnis: eine Übereinstimmung bei vorgegebener 2.Position -> Position gültig

FIG. 7e

Position: 111010 110100 101000 010001 100011 000111 001110 011101
 Abastung: F10F0F F10F0F F10F0F F10F0F F10F0F F10F0F F10F0F F10F0F
 Vergleich: xx_x_x xxxxxx x_xxx xxxxxx x_xx_x x_xx_x x_x_x xx_xxx

Ergebnis: zwei Übereinstimmungen bei vorgegebener 2.Position und 4.Position -> Abtastung ungültig, Position nicht bestimmbar

FIG. 7f

Position: 111010 110100 101000 010001 100011 000111 001110 011101
 Abastung: 110000 110000 110000 110000 110000 110000 110000 110000
 Vergleich: xx_x_x xxx_xx x_xxx _xxxx_ x_xx_ _x_ _x_ _x_x_

Ergebnis: keine Übereinstimmungen -> Es sind fehlerhafte Bit enthalten, die nicht markiert wurden

Figur 8

	Adresse:	Position (POS1)		Zusatzinformation (I)
1.	000000			0
2.	000001			0
3.	000010			0
4.	000011			0
5.	000100			0
6.	000101			0
7.	000110			0
8.	000111	101	6. Position	1
9.	001000			0
10.	001001			0
11.	001010			0
12.	001011			0
13.	001100			0
14.	001101			0
15.	001110	110	7. Position	1
16.	001111			0
17.	010000			0
18.	010001	011	4. Position	1
19.	010010			0
20.	010011			0
21.	010100			0
22.	010101			0
23.	010110			0
24.	010111			0
25.	011000			0
26.	011001			0
27.	011010			0
28.	011011			0
29.	011100			0
30.	011101	111	8. Position	1
31.	011110			0
32.	011111			0
33.	100000			0
34.	100001			0
35.	100010			0
36.	100011	100	5. Position	1
37.	100100			0
38.	100101			0
39.	100110			0
40.	100111			0
41.	101000	010	3. Position	1
42.	101001			0
43.	101010			0
44.	101011			0
45.	101100			0
46.	101101			0
47.	101110			0
48.	101111			0
49.	110000			0

50.	110001			0
51.	110010			0
52.	110011			0
53.	110100	001	2. Position	1
54.	110101			0
55.	110110			0
56.	110111			0
57.	111000			0
58.	111001			0
59.	111010	000	1. Position	1
60.	111011			0
61.	111100			0
62.	111101			0
63.	111110			0
64.	111111			0