

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6027046号
(P6027046)

(45) 発行日 平成28年11月16日(2016.11.16)

(24) 登録日 平成28年10月21日(2016.10.21)

(51) Int. Cl.		F I			
HO4L 25/49	(2006.01)	HO4L 25/49		R	
HO3K 19/0175	(2006.01)	HO3K 19/00		1 O 1 J	
HO3K 7/08	(2006.01)	HO3K 7/08			
HO4L 7/00	(2006.01)	HO4L 7/00		1 4 O	

請求項の数 8 (全 13 頁)

(21) 出願番号	特願2014-83014 (P2014-83014)	(73) 特許権者	000004695
(22) 出願日	平成26年4月14日 (2014.4.14)		株式会社日本自動車部品総合研究所
(65) 公開番号	特開2015-204519 (P2015-204519A)		愛知県西尾市下羽角町岩谷14番地
(43) 公開日	平成27年11月16日 (2015.11.16)	(73) 特許権者	000004260
審査請求日	平成27年10月13日 (2015.10.13)		株式会社デンソー
			愛知県刈谷市昭和町1丁目1番地
		(74) 代理人	110000578
			名古屋国際特許業務法人
		(72) 発明者	森 寛之
			愛知県西尾市下羽角町岩谷14番地 株式
			会社日本自動車部品総合研究所内
		(72) 発明者	重岡 恵二
			愛知県西尾市下羽角町岩谷14番地 株式
			会社日本自動車部品総合研究所内

最終頁に続く

(54) 【発明の名称】 通信システム

(57) 【特許請求の範囲】

【請求項1】

電源(BT)と伝送路(7)との間に設置されたプルアップ回路(61, 61a, 62)および前記伝送路とグラウンドラインとを導通、遮断するスイッチ部(T2)を備えたドライバ回路(32a, 32b)を有する複数のノード(3)によって構成され、論理値1が論理値0よりローレベルの幅が狭いパルス幅変調符号を伝送符号として使用し、前記ノードの一つをマスタノード(3a)、該マスタノード以外のノードをスレーブノード(3b)として、前記マスタノードが前記論理値1の伝送符号を常時送信し、論理値0の伝送符号を送信するノードが前記伝送路上の論理値1の伝送符号のローレベルの幅を延長するように前記ドライバ回路を駆動する通信システム(1)において、

前記マスタノードは、前記プルアップ回路を介して前記伝送路に流れる電流を、少なくとも前記伝送路の信号レベルに応じて制限する電流制限手段(4, 4a)を備え、

前記電流制限手段(4a)は、前記伝送路の信号レベルがローレベルであり、且つ、前記マスタノードのドライバ回路の出力がハイレベルとなるように該ドライバ回路を駆動している場合に、前記プルアップ回路の抵抗値を増大させることを特徴とする通信システム。

【請求項2】

前記マスタノードは、前記ドライバ回路(32a)の出力がローレベルからハイレベルに変化する際の信号レベルの変化速度を抑制する波形整形手段(9)を備えることを特徴とする請求項1に記載の通信システム。

【請求項 3】

前記スレーブノードは、前記ドライバ回路（32b）の出力がローレベルからハイレベルに変化する際の信号レベルの変化速度を抑制する波形整形手段（9）を備えることを特徴とする請求項 1 または請求項 2 に記載の通信システム。

【請求項 4】

前記電流制限手段において前記伝送路の信号レベルを判断する閾値はヒステリシスを有し、ハイレベルからローレベルへの変化を判断する閾値と、ローレベルからハイレベルへの変化を判断する閾値とが別の値に設定されていることを特徴とする請求項 1 に記載の通信システム。

【請求項 5】

前記プルアップ回路（61, 61a, 62）は、複数の抵抗（RL, RH）と、該抵抗の接続状態を切り替える切替回路（T21, T22）とを備え、

前記電流制限手段は、前記切替回路を制御することによって、前記プルアップ回路の抵抗値を変化させることを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載の通信システム。

【請求項 6】

前記プルアップ回路（62）は、前記抵抗（RL）および該抵抗に直列接続されたトランジスタ（T22）を備え、

前記電流制限手段は、前記プルアップ回路を構成するトランジスタの導通状態を制御することによって、前記プルアップ回路の抵抗値を変化させることを特徴とする請求項 1 ないし請求項 5 のいずれか 1 項に記載の通信システム。

【請求項 7】

前記電流制限手段は、前記プルアップ回路の抵抗値を 3 段階以上に分けて制御することを特徴とする請求項 1 または請求項 2 に記載の通信システム。

【請求項 8】

前記スレーブノードは、前記ドライバ回路を構成するスイッチ部がオンしている時の前記伝送路の信号レベルを、前記マスタノードのドライバ回路を構成するスイッチ部だけがオンしている時の前記伝送路の信号レベルより高くするレベルシフト手段（D）を備えることを特徴とする請求項 1 ないし請求項 7 のいずれか 1 項に記載の通信システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、伝送符号としてパルス幅変調（PWM）符号を使用する通信システムに関する。

【背景技術】

【0002】

車両に搭載される通信システムにおいて、伝送符号としてパルス幅変調（PWM）符号を用いるものが知られている（例えば、非特許文献 1 参照）。

ここで、伝送路上での信号レベルのうち、ハイレベルをレセッシブ、ローレベルをドミナントとして、いずれか一つのノードでもドミナントを出力した場合には、伝送路上の信号レベルがドミナントとなるように、伝送路が構成されているものとする。この場合、この機能を利用し、各ノードが出力する信号を重ね合わせることによって伝送符号の波形が決定するように構成することが考えられる。

【0003】

即ち、ローレベルの比率の小さい PWM 符号を論理 1、ローレベルの比率の大きい PWM 符号を論理 0 に対応づけて、どのノードも通信を行っていないバスアイドル状態では、いずれか一つのノード（マスタノード）が論理 1 の PWM 符号を出力する。そして、マスタノード以外のノード（スレーブノード）は、マスタノードが出力する論理 1 の PWM 符号と重ね合わされると、伝送路上の伝送符号が所望の PWM 符号となる信号を出力する。

【0004】

10

20

30

40

50

具体的には、例えば、スレーブノードが論理1のPWM符号を出力する時には、符号の全期間に渡ってハイレベルの信号を出力することによって、論理1のPWM符号を実現する。また、スレーブノードが論理0のPWM符号を出力する時には、マスタノードが出力する論理1のPWM符号の一部をハイレベルからローレベルに書き換える信号を出力することによって、論理0のPWM符号を実現する。

【先行技術文献】

【非特許文献】

【0005】

【非特許文献1】SAE International J1850

【発明の概要】

10

【発明が解決しようとする課題】

【0006】

ところで、ノードのドライバ回路は、通常、伝送路とグラウンドラインとを導通、遮断するトランジスタを用いて構成されている。つまり、自ノードの出力をレセッシブにする時にはトランジスタをオフし、ドミナントにする時にはトランジスタをオンする。

【0007】

このため、上述のようなスレーブノードによる論理0のPWM符号への書き換えが行われた場合、マスタノードのドライバ回路は、スレーブノードのドライバ回路の出力がローレベルを維持している時に、マスタノードのドライバ回路の出力はローレベルからハイレベルに切り替わる。すると、その瞬間に、電流がマスタノードから符号を書き換えた（即ち、ローレベルを出力している）スレーブノードのドライバ回路に流れ込むことになり、その急激な電流変化によって大きなノイズを発生してしまうという問題があった。

20

【0008】

本発明は、上記問題点を解決するために、伝送符号としてパルス幅変調符号を用いる通信システムにおいて、ノイズの発生を抑制することを目的とする。

【課題を解決するための手段】

【0009】

本発明の通信システムは、電源と伝送路との間に設置されたプルアップ回路および前記伝送路とグラウンドラインとを導通、遮断するスイッチ部を備えたドライバ回路を有する複数のノードによって構成され、論理値1が論理値0よりローレベルの幅が狭いパルス幅変調符号を伝送符号として使用する。ノードの一つをマスタノード、マスタノード以外のノードをスレーブノードとして、マスタノードが論理値1の伝送符号を常時送信し、論理値0の伝送符号を送信するノードが伝送路上の論理値1の伝送符号のローレベルの幅を延長するようにドライバ回路を駆動する。そして、マスタノードは、電流制限手段を備えており、この電流制限手段は、プルアップ回路を介して伝送路に流れる電流を、少なくとも伝送路の信号レベルに応じて制限する。

30

【0010】

つまり、急激な電流変化が生じるのは、マスタノードがハイレベル、かつスレーブノードがローレベルを出力している状態の開始時と終了時であり、その期間は、伝送路の信号レベルがローレベルである期間に含まれる。従って、マスタノードのプルアップ回路を介して伝送路に流れる電流を、伝送路の信号レベルに応じて制限することによって、ノイズの原因となる電流変化を抑制することができる。

40

【0011】

なお、特許請求の範囲に記載した括弧内の符号は、一つの態様として後述する実施形態に記載の具体的手段との対応関係を示すものであって、本発明の技術的範囲を限定するものではない。

【0012】

また、本発明は、前述した通信システムの他、当該通信システムを構成するノード、そのノードとしてコンピュータを機能させるためのプログラムなど、種々の形態で実現することができる。

50

【図面の簡単な説明】

【0013】

【図1】第1実施形態の車載通信システムの全体構成図である。

【図2】伝送符号の説明図である。

【図3】符号化/復号化部の符号化動作を示すタイミング図である。

【図4】電流制限部の構成を示す回路図である。

【図5】各部の波形、スレーブへの流入電流の変化を示す説明図である。

【図6】第2実施形態における制御信号生成回路の構成を示す回路図である。

【図7】第3実施形態におけるマスタノードの構成図である。

【図8】電流制限部の構成を示す回路図である。

10

【図9】各部の波形、スレーブへの流入電流の変化を示す説明図である。

【図10】抵抗切替回路の変形例を示す回路図である。

【図11】抵抗切替回路の変形例を示す回路図である。

【発明を実施するための形態】

【0014】

以下に本発明が適用された実施形態について、図面を用いて説明する。

[第1実施形態]

<全体構成>

本発明が適用された車載通信システム1は、図1に示すように、車両に搭載された複数の電子制御装置(ECU)3が、バス状の伝送路7を介して相互に通信可能となるように接続されている。以下電子制御装置をノードと称する。

20

【0015】

<伝送路>

伝送路7は、異なるノード3からハイレベル(レセッシブ)の信号とローレベル(ドミナント)の信号とが同時に出力されると、伝送路7上の信号レベルがローレベルとなるように構成されており、この機能を利用してバス調停を実現する。

【0016】

伝送路7では、伝送符号として、図2に示すように、ビットの境界で信号レベルがハイレベルからローレベルに変化すると共に、ビットの途中で信号レベルがローレベルからハイレベルに変化するパルス幅変調(PWM)符号が用いられ、二値(論理0/論理1)の信号をデューティ比の異なる二つの符号で表現する。以下では、ローレベルの比率(継続時間)がより長い方を論理0符号、より短い方を論理1符号と称する。

30

【0017】

具体的には、論理0符号では、1ビットの2/3の期間がローレベル、1/3の期間がハイレベルとなり、論理1符号では、1ビットの1/3の期間がローレベル、2/3の期間がハイレベルとなるように設定されている。従って、伝送路上で論理0符号と論理1符号とが衝突すると、論理0符号が調停勝ちすることになる。つまり、各ECU3が出力する信号の波形を重ね合わせたものが、伝送路7上での伝送符号の波形となる。

【0018】

<ノード>

ノード3は、その中の一つが、全体の通信を制御するマスタノード(以下単に「マスタ」という)3aとして機能し、それ以外の全てが、スレーブノード(以下単に「スレーブ」という)3bとして機能し、いわゆるポーリング方式のマスタスレーブ通信を少なくとも実現する。

40

【0019】

ノード3は、伝送路7を介した他ノードとの通信によって得られた情報等に基づき、自ノード3に割り当てられた各種処理を実行する信号処理部、信号処理部から供給される送信データを符号化して伝送路7に送出すると共に、伝送路7から信号を受信し復号化した受信データを信号処理部に供給するトランシーバ、車載バッテリー(バッテリー電圧BT)から給電を受けて信号処理部等を駆動するための制御電源(制御電圧Vc)を生成する電源

50

回路等を備えている。

【0020】

このうち、図1では、本発明に関わる部位である出力信号生成部31a、31bおよびドライバ回路32a、32bについて明示する。つまり、レシーバ回路や、レシーバ回路で受信された受信信号を処理する受信信号処理部については、図示を省略している。なお、ドライバ回路32a、32bは、トランシーバの一部を構成するものであり、出力信号生成部31a、31bから供給される送信信号TXに従って伝送路7の信号レベルを切り替える。出力信号生成部31a、31bは、信号処理部およびトランシーバの一部を構成するものであり、PWM符号に符号化された送信信号TXを生成する。

【0021】

また、マスタ3aおよびスレーブ3bは、ほぼ同様の構成を有しているため、図1には、マスタ3aの構成を示し、スレーブ3bの構成については、マスタ3aとの相違点についてのみ説明する。

【0022】

<出力信号生成部>

出力信号生成部31a、31bは、ドライバ回路32a、32bに供給する符号化された送信信号TXを生成する。但し、マスタ3aの出力信号生成部31aとスレーブ3bの出力信号生成部31bとは異なる送信信号TXを生成する。

【0023】

マスタ3aの出力信号生成部31aでは、符号化前の送信データが論理1であれば論理1符号、符号化前の送信データが論理0であれば論理0符号の送信信号TXを生成するだけでなく、データを送信しない時にも、各ノード3の動作を同期させるためのクロック信号となる論理1符号(以下「マスタ送出クロック」という)を常時出力する。

【0024】

一方、スレーブ3bの出力信号生成部31bでは、図3に示すように、符号化前の送信データが論理1である場合、送信信号TXとして、符号の全期間に渡ってハイレベルの信号を生成し、符号化前の送信データが論理0である場合、送信信号TXとして、符号の開始タイミングより遅れたタイミングでローレベルに変化し、論理0符号の立ち上がりタイミングでハイレベルに変化する信号を生成する。このような波形を有するスレーブ側の送信信号TXは、伝送路7上でマスタ送出クロックに重畳されることによって論理1符号または論理0符号の波形となる。

【0025】

<ドライバ回路>

マスタ3aのドライバ回路32aは、図1に示すように、トランジスタT1、T2と、抵抗R1と、電流制限部4を備え、バッテリー電圧BTを電源として動作する。このドライバ回路32aは、送信信号TXがハイレベルの時に、トランジスタT1がオン、トランジスタT2がオフすることにより、伝送路7に対してハイレベルを出力し、送信信号TXがローレベルの時に、トランジスタT1がオフ、トランジスタT2がオンすることにより、伝送路7に対してローレベルを出力する。

【0026】

一方、スレーブ3bのドライバ回路32bは、上述のドライバ回路32aとは、電流制限部4の代わりに抵抗R2を備える点、伝送路7とグランドとの間に、トランジスタT2と直列接続されたダイオードDを備える点が異なる。このダイオードDにより、スレーブ3bが出力するローレベルは、マスタ3aが出力するローレベルよりダイオードの電圧降下分だけ高くなる。以下では、マスタ3aが出力するローレベルをマスタローレベルVLm、スレーブ3bが出力するローレベルをスレーブローレベルVLSと称する。

【0027】

<電流制限部>

マスタ3aの電流制限部4は、図4に示すように、制御信号生成回路5と抵抗切替回路6とを備え、バッテリー電圧BTを電源として動作する。

10

20

30

40

50

【 0 0 2 8 】

制御信号生成回路 5 は、分圧回路 5 1 とコンパレータ 5 2 とを備える。分圧回路 5 1 は、直列接続された一对の抵抗 R_{11} , R_{12} により構成され、バッテリー電圧 B_T を分圧した閾値電圧 V_{th} を出力する。この閾値電圧 V_{th} は、例えば、バッテリー電圧 B_T の $1/2$ に設定される。コンパレータ 5 2 は、非反転入力に伝送路 7 の信号レベル（以下「バス電圧 V_{bus} 」と称する）、反転入力に閾値電圧 V_{th} が印加された演算増幅器からなり、バス電圧 V_{bus} が閾値電圧 V_{th} より大きい場合にハイレベル、閾値電圧 V_{th} 以下の場合にローレベルとなる制御信号 C を出力する。

【 0 0 2 9 】

抵抗切替回路 6 は、高抵抗付加回路 6 1 と低抵抗付加回路 6 2 とフィルタ回路 6 3 と反転回路 6 4 とを備える。なお、フィルタ回路 6 3 の入力端には制御信号 C のハイレベルをバッテリー電圧 B_T に引き上げるプルアップ用の抵抗 R_{21} が接続されている。また、フィルタ回路 6 3 の出力は、高抵抗付加回路 6 1 および反転回路 6 4 に、それぞれ抵抗 R_{22} , R_{23} を介して入力され、反転回路 6 4 の出力が低抵抗付加回路 6 2 に入力されるように接続されている。

10

【 0 0 3 0 】

高抵抗付加回路 6 1 は、プルアップ用の抵抗 R_H を備え、抵抗 R_H の一端が逆流防止用のダイオード D_{21} を介して伝送路 7 に接続され、他端がトランジスタ T_{21} を介して電源（バッテリー電圧 B_T ）に接続されている。このトランジスタ T_{21} のベースが高抵抗付加回路 6 1 の入力端となる。低抵抗付加回路 6 2 は、高抵抗付加回路 6 1 と同様に接続された抵抗 R_L 、ダイオード D_{22} 、トランジスタ T_{22} を備える。但し、抵抗 R_L は、抵抗 R_H より低い抵抗値に設定されている。以下では、抵抗 R_H を高抵抗、抵抗 R_L を低抵抗と称する。

20

【 0 0 3 1 】

フィルタ回路 6 3 は、抵抗 R_{24} , コンデンサ C_{21} で構成された周知のローパスフィルタであり、制御信号 C に含まれる高周波ノイズを除去する。

反転回路 6 4 は、分圧回路を構成する一对の抵抗 R_{25} , R_{26} を備え、分圧回路の一端は電源（バッテリー電圧 B_T ）に接続され、他端がトランジスタ T_{23} を介して接地されている。このトランジスタ T_{23} のベースが反転回路 6 4 の入力端となり、抵抗 R_{25} , R_{26} の接続点が反転回路 6 4 の出力端となる。

30

【 0 0 3 2 】

つまり、抵抗切替回路 6 では、制御信号生成回路 5 にて生成される制御信号 C がローレベル（即ち、バス電圧 V_{bus} がローレベル）の時には、高抵抗付加回路 6 1 のトランジスタ T_{21} がオンすることによって、高抵抗 R_H が伝送路 7 のプルアップ抵抗として機能する。また、制御信号 C がハイレベル（即ち、バス電圧 V_{bus} がハイレベル）の時には、低抵抗付加回路 6 2 のトランジスタ T_{22} がオンすることによって、低抵抗 R_L が伝送路 7 のプルアップ抵抗として機能する。

【 0 0 3 3 】

< 動作 >

ここで、マスタ 3 a が論理 1 符号を出力し、いずれかのスレーブ 3 b が論理 0 符号を出力した場合の動作について説明する。

40

【 0 0 3 4 】

図 5 に示すように、マスタ 3 a およびスレーブ 3 b の出力がいずれもハイレベル（時刻 $t_0 \sim t_1$ ）の間は、バス電圧 V_{bus} はハイレベル V_H となる。このときのバス電圧 V_{bus} は閾値電圧 V_{th} より大きいため、マスタ 3 a の電流制限部 4 のプルアップ抵抗は低抵抗 R_L に設定される。

【 0 0 3 5 】

マスタ 3 a が論理 1 符号のローレベルの出力を開始すると（時刻 t_1 ）、マスタ 3 a の出力がローレベル、スレーブ 3 b の出力がハイレベルとなるため、バス電圧 V_{bus} は、ハイレベル V_H からマスタローレベル V_{Lm} に変化する。この時、バス電圧 V_{bus} が閾

50

値電圧 V_{th} 以下となるため、マスタ 3 a の電流制限部 4 のプルアップ抵抗は高抵抗 R_H に切り替わる。

【 0 0 3 6 】

スレーブ 3 b が論理 0 符号のローレベルの出力を開始すると（時刻 t_2 ）、マスタ 3 a およびスレーブ 3 b の出力がいずれもローレベルとなるが、マスタローレベル V_{Lm} の方がスレーブローレベル V_{Ls} より電位が低いため、バス電圧 V_{bus} はマスタローレベル V_{Lm} のまま保持される。このため、マスタ 3 a の電流制限部 4 を介して供給される電流は、伝送路 7 に流出することなく、マスタ 3 a のトランジスタ T_2 を流れる。このとき、電流制限部 4 のプルアップ抵抗は高抵抗 R_H であるため、トランジスタ T_2 に流れる電流自体も抑制される。

10

【 0 0 3 7 】

マスタ 3 a が論理 1 符号のハイレベルの出力を開始すると（時刻 t_3 ）、マスタ 3 a の出力がハイレベル、スレーブ 3 b の出力がローレベルとなる。これにより、バス電圧 V_{bus} は、マスタローレベル V_{Lm} からスレーブローレベル V_{Ls} に上昇する。このとき、マスタ 3 a の電流制限部 4 を介して供給される電流が、伝送路 7 に流入することによってバス電流 I_{bus} が流れる。但し、電流制限部 4 のプルアップ抵抗は高抵抗 R_H であるため、プルアップ抵抗の切替を行わない場合（対策前）と比較して、バス電流 I_{bus} は抑制されたものとなる。

【 0 0 3 8 】

スレーブ 3 b が論理 0 符号のハイレベルの出力を開始すると（時刻 t_4 ）、マスタ 3 a およびスレーブ 3 b の出力がいずれもハイレベルとなる。これにより、バス電圧 V_{bus} は、スレーブローレベル V_{Ls} からハイレベル V_H に変化する。このとき、バス電圧 V_{bus} が閾値電圧 V_{th} より大きくなるため、マスタ 3 a の電流制限部 4 のプルアップ抵抗は低抵抗 R_L に切り替わる。

20

【 0 0 3 9 】

なお、図 5 では、バス電圧 V_{bus} の立ち下がりエッジおよび立ち上がりエッジを、模式的に立ち下がり時間や立ち上がり時間がゼロとなるように示している。しかし、実際には、立ち下がりエッジの波形はプルアップ抵抗の大きさに応じた傾きを有する。具体的には、バス電圧 V_{bus} が閾値電圧 V_{th} より高い時（即ち、プルアップ抵抗が低抵抗 R_L の時）より、バス電圧 V_{bus} が閾値電圧 V_{th} 以下の時（即ち、プルアップ抵抗が高抵抗 R_H の時）の方が、エッジの傾きは緩やかになる。

30

【 0 0 4 0 】

< 効果 >

以上説明したように、車載通信システム 1 では、マスタ 3 a のドライバ回路 3 2 a のプルアップ抵抗を、伝送路 7 の信号レベルがローレベル/ドミナント ($V_{bus} < V_{th}$) であれば高抵抗 R_H 、伝送路 7 の信号レベルがハイレベル/レセッシブ ($V_{bus} > V_{th}$) であれば低抵抗 R_L に設定している。これにより、プルアップ抵抗の抵抗値の切替を行わない従来装置と比較して、スレーブ 3 b の出力がローレベルであり、且つ、マスタ 3 a の出力がハイレベルである時に、マスタ 3 a からスレーブ 3 b に流れるバス電流 I_{bus} を抑制することができ、これに伴いバス電流 I_{bus} の流れ始めや終了時に生じる電流変化も抑制することができる。その結果、バス電流 I_{bus} の電流変化に基づくノイズの発生を抑制することができる。

40

【 0 0 4 1 】

また、車載通信システム 1 では、スレーブ 3 b のドライバ回路 3 2 b にダイオード D を設けることによって、スレーブローレベル V_{Ls} がマスタローレベル V_{Lm} より高くなるように設定されているため、ダイオード D が省略されている場合と比較して、マスタ 3 a からスレーブ 3 b に流れるバス電流 I_{bus} をより抑制することができる。

【 0 0 4 2 】

[第 2 実施形態]

第 2 実施形態は、基本的な構成は第 1 実施形態と同様であるため、共通する構成につい

50

ては説明を省略し、相違点を中心に説明する。

【0043】

前述した第1実施形態では、制御信号生成回路5において、バス電圧 V_{bus} との比較に用いる閾値電圧 V_{th} として一定値を使用している。これに対し、第2実施形態では、バス電圧 V_{bus} の波形の立ち下がりエッジと、立ち上がりエッジとで異なる閾値電圧を用いるようにしている点で第1実施形態とは相違する。

【0044】

<構成>

本実施形態では、上記相違点に関わる構成として、制御信号生成回路5の代わりに制御信号生成回路8を用いている。制御信号生成回路8は、図6に示すように、可変分圧回路81、コンパレータ82、反転回路83を備えている。

10

【0045】

コンパレータ82は、反転入力にバス電圧 V_{bus} 、非反転入力に可変分圧回路81で生成された閾値電圧 V_{th} が印加される演算増幅器からなる。なお、コンパレータ82の出力端は、反転回路83に入力端に接続されていると共に、抵抗 R_{14} によってバッテリー電圧 B_T にプルアップされている。

【0046】

反転回路83は、エミッタが接地されたトランジスタ T_{11} からなり、トランジスタ T_{11} のベースがコンパレータ82の出力を入力する入力端、コレクタが制御信号 C を出力する出力端となる。

20

【0047】

可変分圧回路81は、バッテリー電圧 B_T とグランドの間に直列接続され、共通の接続端が演算増幅器の非反転入力端に接続された一対の抵抗 R_{11} 、 R_{12} と、演算増幅器の非反転入力端と出力端の間に接続された抵抗 R_{13} とで構成されている。

【0048】

このように構成された制御信号生成回路8では、バス電圧 V_{bus} がハイレベルの時には、コンパレータ82の出力がローレベルとなるため、抵抗 R_{13} は抵抗 R_{12} と並列に接続された状態となる。一方、バス電圧 V_{bus} がローレベルの時には、コンパレータ82の出力がハイレベルとなるため、抵抗 R_{13} は抵抗 R_{11} と並列に接続された状態となる。これにより、可変分圧回路81を構成する抵抗 $R_{11} \sim R_{13}$ によって生成される閾値電圧 V_{th} は、後者の方が前者より高くなる。つまり、立ち下がりエッジにて、バス電圧がハイレベルからローレベルに変化したか否かを判定する際に使用する閾値電圧 $V_{th\#D}$ より、立ち上がりエッジにてバス電圧がローレベルからハイレベルに変化したか否かを判定する際に使用する閾値電圧 $V_{th\#U}$ の方が高い値となる。ここでは、閾値電圧 $V_{th\#D}$ は、第1実施形態の場合と同様に、バッテリー電圧 B_T の1/2付近に設定し、閾値電圧 $V_{th\#U}$ は、例えばバッテリー電圧 B_T の4/5付近に設定する。

30

【0049】

<効果>

このような構成によれば、バス電圧 V_{bus} との比較に使用する閾値電圧 V_{th} がヒステリシスを有し、マスタ3aのドライバ回路32aのプルアップ抵抗は、バス電圧 V_{bus} が十分に大きな値になってから高抵抗 R_H から低抵抗 R_L に切り替わる。これにより、高抵抗 R_H から低抵抗 R_L への切り替わり時に生じるバス電流 I_{bus} の増大、ひいてはノイズの発生を抑制することができる。

40

【0050】

[第3実施形態]

第3実施形態は、基本的な構成は第1実施形態と同様であるため、共通する構成については説明を省略し、相違点を中心に説明する。

【0051】

第1実施形態では、電流制限部4は、プルアップ抵抗の抵抗値を、バス電圧 V_{bus} に応じて切り替えている。これに対し、第3実施形態では、バス電圧 V_{bus} と出力信号生

50

成部 3 1 a が出力する送信信号 TX とに応じて切り替えるようにしている点で大 1 実施形態とは相違する。また、全てのノード 3 が、トランジスタ T 2 のゲートに供給する信号の波形を整形するための構成が追加されている点でも第 1 実施形態とは相違する。

【 0 0 5 2 】

< 構成 >

図 7 に示すように、マスタ 3 a のドライバ回路 3 2 a は、トランジスタ T 1 , T 2 、抵抗 R 1 、電流制限部 4 a 、波形整形回路 9 を備えている。

【 0 0 5 3 】

< 波形整形回路 >

波形整形回路 9 は、ツェナーダイオード D 3 、抵抗 R 3 、コンデンサ C 3 によって構成され、トランジスタ T 1 のドレインとトランジスタ T 2 のベースの間に接続されている。なお、ツェナーダイオード D 3 と抵抗 R 3 は、トランジスタ T 1 , T 2 の間に並列接続され、コンデンサ C 3 は、トランジスタ T 2 のゲートとグラウンドの間に挿入されている。

10

【 0 0 5 4 】

そして、送信信号 TX がローレベルの場合、トランジスタ T 2 がオフするため、コンデンサ C 3 は、ツェナーダイオード D 3 を介してバッテリー電圧 BT まで速やかに充電される。一方、送信信号 TX がハイレベルの場合、トランジスタ T 2 がオンするため、コンデンサ C 3 に蓄積された電荷が、ツェナーダイオード D 3 のツェナー電圧と抵抗 R 3 の抵抗値で決まる一定電流で放電される。これに伴い、トランジスタ T 2 の導通状態は、オン状態からオフ状態に緩やかに変化する。つまり、送信信号 TX がハイレベルからローレベルに変化する立ち下がりエッジでは速やかに変化し、送信信号 TX がローレベルからハイレベルに変化する立ち上がりエッジでは、立ち上がりエッジと比較して緩やかに変化することになる。

20

【 0 0 5 5 】

図 7 では、マスタ 3 a についてのみ示したが、スレーブ 3 b にも同様の波形整形回路 9 が追加されている。

< 電流制限部 >

電流制限部 4 a には、第 1 実施形態の電流制限部 4 とは異なり、送信信号 TX が入力されている。なお、電流制限部 4 a は、制御信号生成回路 1 0 と抵抗切替回路 6 とで構成されている。抵抗切替回路 6 は、第 1 実施形態で説明したものと同様であるため、ここでは制御信号生成回路 1 0 についてのみ説明する。

30

【 0 0 5 6 】

制御信号生成回路 1 0 は、図 8 に示すように、トランジスタ T 1 2 、抵抗 R 1 5 , R 1 6 、否定論理積 (N A N D) 回路 5 3 を備え、制御電源 (電圧 V c) からの給電を受けて動作する。

【 0 0 5 7 】

トランジスタ T 1 2 のコレクタは抵抗 R 1 5 を介して制御電源に接続され、エミッタはグラウンドに接続されている。また、ベースには、抵抗 R 1 6 を介してバス電圧 V b u s が印加されている。N A N D 回路 5 3 の一方の入力には送信信号 TX が印加され、他方の入力にはトランジスタのコレクタ出力が印加されている。そして、N A N D 回路 5 3 の出力を制御信号 C としている。つまり、制御信号 C は、送信信号 TX がハイレベルであり且つバス電圧 V b u s がローレベルの時にローレベル、それ以外の時にハイレベルとなる。

40

【 0 0 5 8 】

< 効果 >

このような構成によれば、図 9 に示すように、マスタ 3 a からスレーブ 3 b に電流が流れ込む時刻 t 3 ~ t 4 の期間だけ、マスタ 3 a のドライバ回路 3 2 a のプルアップ抵抗を、低抵抗 R L から高抵抗 R H に切り替えている。このため、高抵抗 R H とする期間を、必要最小限の範囲に限定することができ、その結果、高抵抗 R H の使用に伴う耐ノイズ性の低下を最小限に抑えることができる。

【 0 0 5 9 】

50

また、マスタ 3 a の波形整形回路 9 が時刻 t 3 の立ち上がりエッジ、スレーブ 3 b の波形整形回路 9 が時刻 t 4 の立ち上がりエッジでのバス電圧波形の急激な変化を抑制するため、これらのエッジでのノイズの発生をより効果的に抑制することができる。

【 0 0 6 0 】

[他の実施形態]

以上、本発明の実施形態について説明したが、本発明は、上記実施形態に限定されることなく、種々の形態を採り得ることは言うまでもない。

【 0 0 6 1 】

(1) 上記実施形態では、抵抗切替回路 6 は、制御信号 C に応じて、高抵抗 R H また低抵抗 R L のいずれか一方を、伝送路 7 に接続するように構成したが、これに限定されるものではない。例えば、図 1 0 に示す抵抗切替回路 6 a のように、図 4 に示した抵抗切替回路 6 の高抵抗付加回路 6 1 を、トランジスタ T 2 1 を省略して、高抵抗 R H を常時伝送路 7 に接続ようにした高抵抗付加回路 6 1 a に置換すると共に、抵抗 R 2 2 を省略した構成とし、低抵抗 R L のみを、制御信号 C に応じて接続、切り離しを行うようにしてもよい。また、図 1 1 に示す抵抗切替回路 6 b のように、抵抗切替回路 6 a から更に高抵抗付加回路 6 1 a を省略した構成としてもよい。この場合、低抵抗 R L が切り離された場合、プルアップ抵抗はハイインピーダンスになる。また、この場合、トランジスタ T 2 2 をオフする代わりに、トランジスタ T 2 2 のオン抵抗が大きくなるように制御してもよい。

10

【 0 0 6 2 】

(2) 上記実施形態では、マスタ 3 a のドライバ回路 3 2 a のプルアップ抵抗の抵抗値を低抵抗 R L と高抵抗 R H の 2 段階で制御しているが、3 段階以上で制御するように構成してもよい。

20

【 0 0 6 3 】

(3) 本発明の各構成要素は概念的なものであり、上記実施形態に限定されない。例えば、一つの構成要素が有する機能を複数の構成要素に分散させたり、複数の構成要素が有する機能を一つの構成要素に統合したりしてもよい。また、上記実施形態の構成の少なくとも一部を、同様の機能を有する公知の構成に置き換えてもよい。また、上記実施形態の構成の少なくとも一部を、他の上記実施形態の構成に対して付加、置換等してもよい。

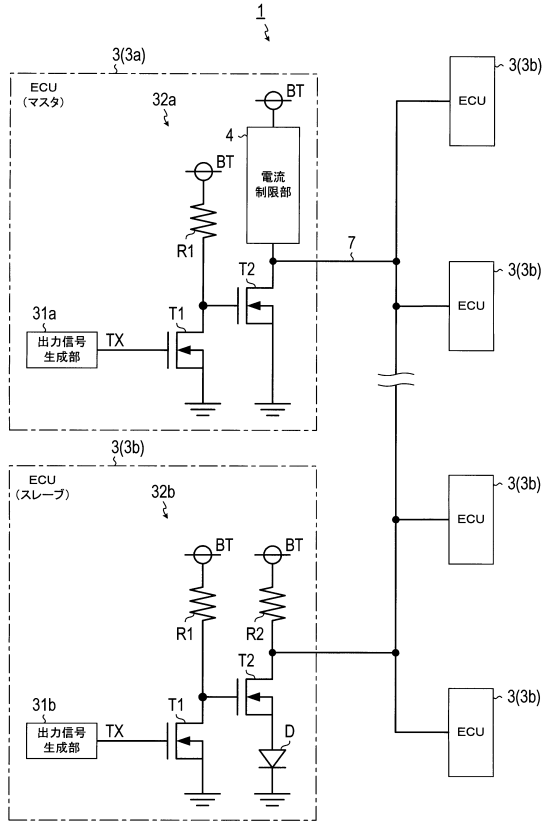
【 符号の説明 】

【 0 0 6 4 】

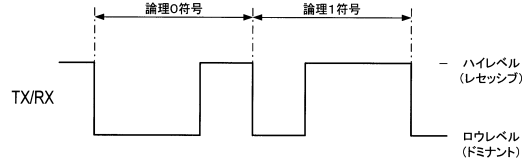
1 ... 車載通信システム 3 ... ノード 3 a ... マスタノード (マスタ) 3 b ... スレーブノード (スレーブ) 4 , 4 a ... 電流制限部 5 , 8 , 1 0 ... 制御信号生成回路 6 , 6 a , 6 b ... 抵抗切替回路 7 ... 伝送路 9 ... 波形整形回路 3 1 a , 3 1 b ... 出力信号生成部 3 2 a , 3 2 b ... ドライバ回路 5 1 ... 分圧回路 5 2 , 8 2 ... コンパレータ 5 3 ... N A N D 回路 6 1 , 6 1 a ... 高抵抗付加回路 6 2 ... 低抵抗付加回路 6 3 ... フィルタ回路 6 4 , 8 3 ... 反転回路 8 1 ... 可変分圧回路

30

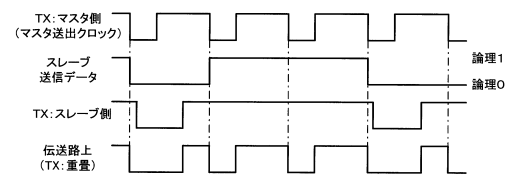
【図1】



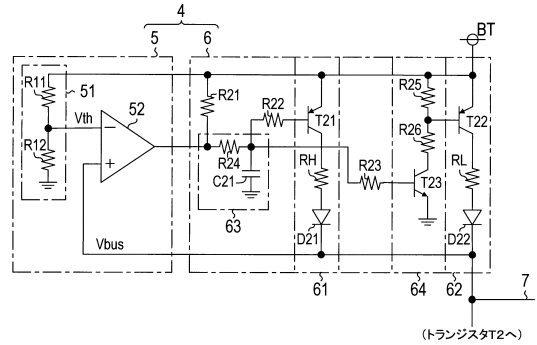
【図2】



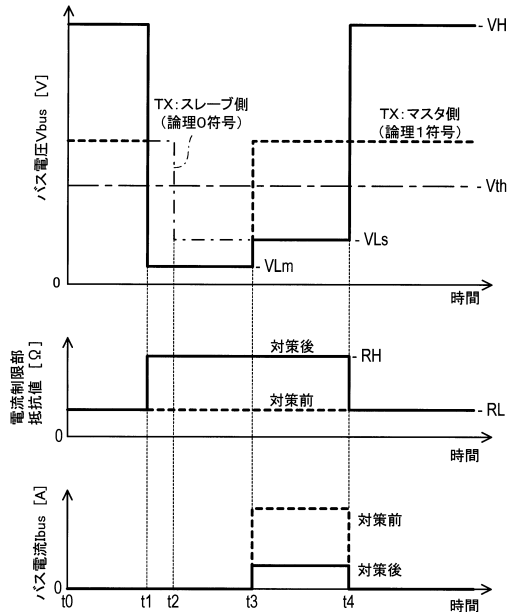
【図3】



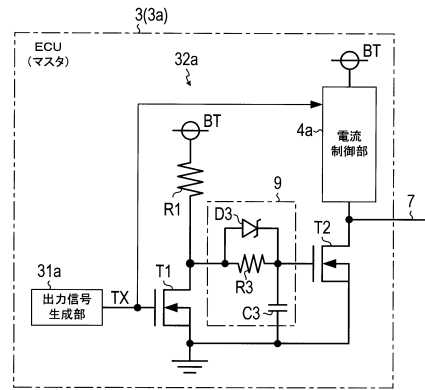
【図4】



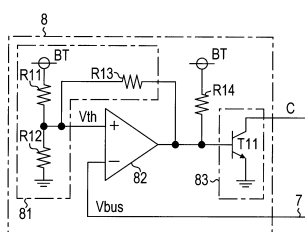
【図5】



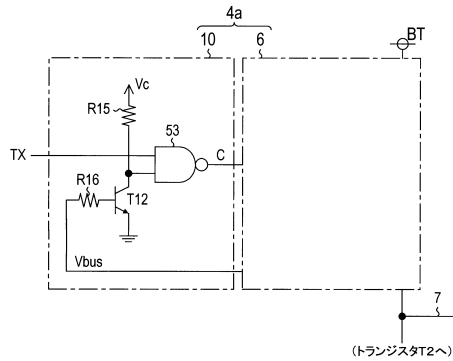
【図7】



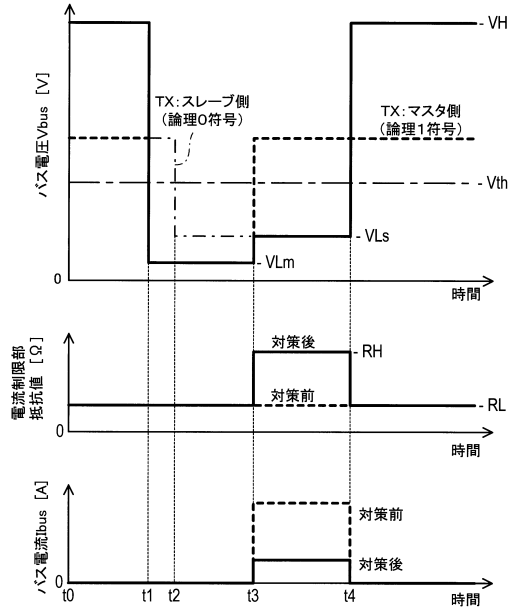
【図6】



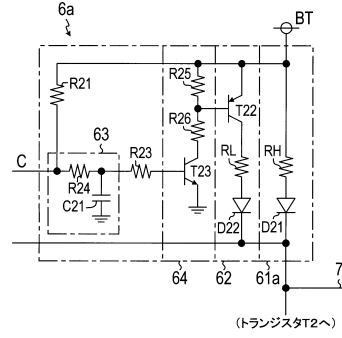
【図8】



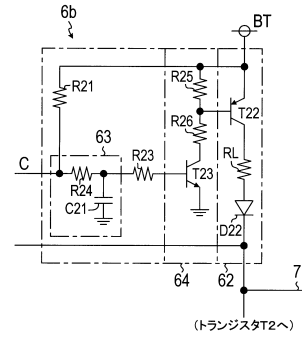
【図9】



【図10】



【図11】



フロントページの続き

- (72)発明者 加島 英樹
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 岸上 友久
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 阿部 弘

- (56)参考文献 特開2014-030125(JP,A)
特開2000-101407(JP,A)
特開平09-036922(JP,A)
特開2001-267906(JP,A)
特開昭62-068337(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 25/49
H03K 7/08
H03K 19/0175
H04L 7/00